

32

OPSP

ハードウェアマニュアル

ルネサス 32 ビットオープンプラットフォームシンセサイザブルプロセッサ

Hardware Manual

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

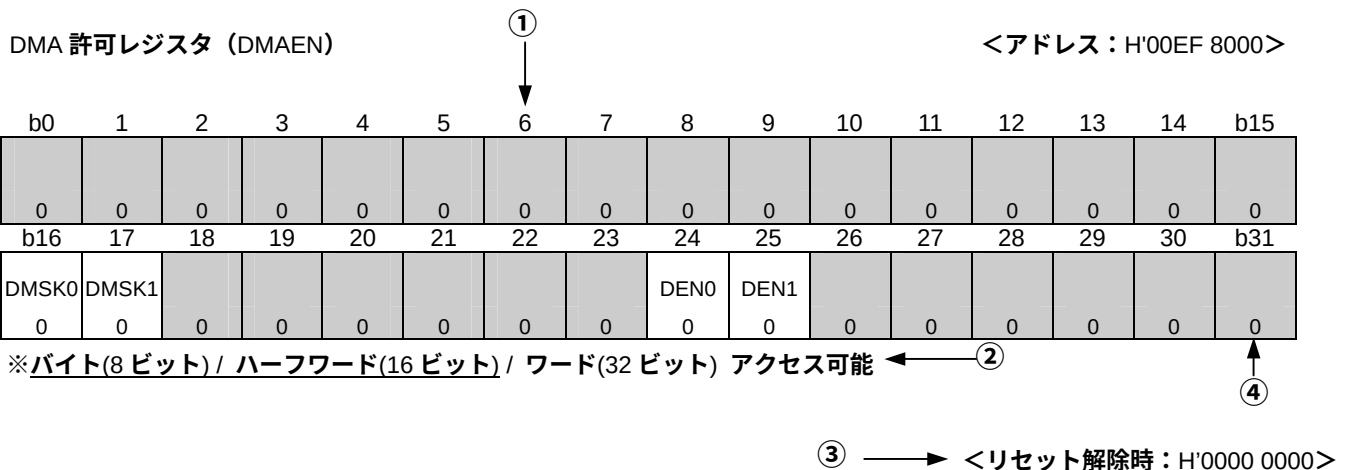
本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりましては、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。

レジスタ表の見方

- ① ビット番号：レジスタのビット番号
 - ② アクセス単位：アクセス可能単位を示します。
 - ③ リセット解除時の状態：リセット解除後の初期状態を 16 進数または 2 進数で示します。
 - ④ リセット解除時の状態：リセット解除後の初期状態をビット単位で示します。
 - 0 : リセット解除後は 0
 - 1 : リセット解除後は 1
 - ? : リセット解除後は不定
 - ⑤ 読み出し時の条件：
 - R : 読み出し可能
 - ? : 読み出しデータは不定（読み出し無効）
 - 0 : 常に 0 が読み出される
 - 1 : 常に 1 が読み出される
 - ⑥ 書き込み時の条件：
 - W : 書き込み可能
 - N : 書き込み禁止
 - 0 : 常に 0 を書き込む
 - 1 : 常に 1 を書き込む
 - : 書き込み無効（書き込み時、“0”または“1”どちらでも良い）
- 注：書き込み時に注意が必要 各レジスタ表の注文を参照してください。

レジスタ構成



b	ビット名	機能	R	W
0~15	何も配置されていません。"0"に固定してください。		0	0
16	DMSK0	0 : DEN0は書き込みマスク状態 1 : DEN0 は書き込みマスクを解除	0	注
17	DMSK1	0 : DEN1は書き込みマスク状態 1 : DEN1 は書き込みマスクを解除	0	注
18~23	何も配置されていません。"0"に固定してください。		0	0
24	DEN0	0 : DMA0のDMA転送禁止 1 : DMA0のDMA転送許可	R	W
25	DEN1	0 : DMA1のDMA転送禁止 1 : DMA1のDMA転送許可	R	W
26~31	何も配置されていません。"0"に固定してください。		0	0

注：「0」書き込みは無効、「1」書き込みデータは保持されない」ことを示します。

⑤ ⑥

目次

第1章 概要

1.1 OPSP概要.....	1-2
1.1.1 OPSP-CPU.....	1-2
1.1.2 メモリ管理機構.....	1-4
1.1.3 SRAMとキャッシュメモリの内蔵.....	1-4
1.1.4 バイエンディアン機構.....	1-4
1.1.5 オンチップユーザIPバス.....	1-4
1.1.6 クロック.....	1-4
1.1.7 強力な周辺機能.....	1-5
1.2 ブロック図.....	1-6
1.3 特長.....	1-7
1.3.1 OPSP-CPUの特長.....	1-7
1.3.2 内蔵メモリの特長.....	1-7
1.3.3 内蔵周辺I/Oの特長.....	1-8
1.4 端子機能.....	1-10

第2章 CPU

2.1 プロセッサモード.....	2-2
2.1.1 特権命令.....	2-2
2.2 CPUレジスタ.....	2-2
2.3 汎用レジスタ.....	2-2
2.4 制御レジスタ.....	2-3
2.4.1 プロセッサ状態語レジスタ：PSW (CR0).....	2-4
2.4.2 条件ビットレジスタ：CBR (CR1).....	2-5
2.4.3 割り込み用スタックポインタ：SPI (CR2)、ユーザー用スタックポインタ：SPU (CR3).....	2-5
2.4.4 EITベクタベースレジスタ：EVB(CR5).....	2-6
2.4.5 バックアップPC：BPC (CR6).....	2-6
2.5 アキュムレータ.....	2-7
2.6 プログラムカウンタ(PC).....	2-7
2.7 データフォーマット.....	2-8
2.7.1 バイエンディアン機能.....	2-8
2.7.2 データタイプ.....	2-8
2.7.3 データのフォーマット.....	2-9

第3章 アドレス空間

3.1 物理アドレス空間.....	3-2
3.1.1 物理アドレス空間概要.....	3-2
3.1.2 内部空間.....	3-3
3.1.3 内蔵RAM領域.....	3-3
3.1.4 SFR(Special Function Registers)領域.....	4
3.2 オペレーティングモード.....	3-5

3.2.1 プロセッサモード	3-5
3.2.2 特権命令	3-5
3.3 仮想アドレス空間	3-6
3.3.1 アドレス変換モード	3-6
3.3.2 スーパーバイザモードの仮想アドレス空間	3-6
3.3.3 ユーザモードの仮想アドレス空間	3-9
3.3.4 多重仮想空間	3-12
3.3.5 記憶保護	3-12

第4章 メモリマネジメントユニット (MMU)

4.1 メモリマネジメントユニットの概要	4-2
4.2 TLBアドレス変換方式	4-2
4.2.1 TLBアドレス変換	4-2
4.2.2 TLBの構成	4-3
4.2.3 ページ番号とアドレス	4-4
4.3 TLB エントリ関連レジスタ	4-5
4.3.1 命令TLBエントリタグレジスタ	4-6
4.3.2 命令TLBエントリデータレジスタ	4-7
4.3.3 データTLBエントリタグレジスタ	4-9
4.3.4 データTLBエントリデータレジスタ	4-10
4.4 MMUレジスタ	4-12
4.4.1 MMUアドレス変換モードレジスタ	4-13
4.4.2 MMUページサイズレジスタ	4-14
4.4.3 MMUアドレス空間IDレジスタ	4-15
4.4.4 MMU例外ステータスレジスタ	4-16
4.4.5 データMMU例外アドレスレジスタ	4-18
4.4.6 データMMU例外ページレジスタ	4-19
4.4.7 TLBサーチ仮想アドレスレジスタ	4-20
4.4.8 TLBオペレーションレジスタ	4-21
4.4.9 命令TLBインデクスレジスタ	4-23
4.4.10 データTLBインデクスレジスタ	4-25
4.5 MMU例外処理	4-27
4.5.1 TLBミス例外 (TME)	4-27
4.5.2 アクセス例外 (ACE)	4-27
4.6 メモリマネジメントユニットの注意事項	4-28
4.6.1 TLBエントリ設定及びMMU制御レジスタ設定時の注意事項	4-28

第5章 内蔵メモリ

5.1 内蔵メモリ概要	5-2
5.2 内蔵メモリとCPUバス	5-2
5.3 内蔵SRAM	5-2
5.4 キャッシュメモリ	5-3
5.4.1 キャッシュメモリ構成	5-3
5.5 キャッシュメモリ関連レジスタ	5-6
キャッシュメモリ関連レジスタのレジスタマッピング	5-6

5.5.1 命令キャッシュ領域制御レジスタ	5-7
5.5.2 データキャッシュ領域制御レジスタ	5-9
5.5.3 キャッシュ制御レジスタ	5-11
5.6 キャッシュメモリの動作	5-14
5.6.1 命令キャッシュメモリの動作	5-14
5.6.2 データキャッシュメモリの動作	5-15

第6章 EIT

6.1 EITの概要	6-2
6.2 OPSPのEIT事象	6-3
6.2.1 例外 (Exception)	6-3
6.2.2 割り込み (Interrupt)	6-4
6.2.3 トラップ (Trap)	6-4
6.3 EITの処理手順	6-5
6.4 EITの処理機構	6-7
6.5 EIT事象の受付	6-8
6.6 PC、PSWの退避と復帰	6-9
6.7 EITベクタエントリ	6-11
6.8 例外 (Exception) 処理	6-13
6.8.1 予約命令例外 (RIE)	6-13
6.8.2 アドレス例外 (AE)	6-14
6.8.3 特権命令例外 (PIE)	6-16
6.8.4 アクセス例外処理 (ACE)	6-18
6.8.5 TLBミス例外処理 (TME)	6-20
6.8.6 コプロセッサディスエーブル例外 (CDE)	6-22
6.9 割り込み (Interrupt) 処理	6-24
6.9.1 リセット割り込み (RI)	6-24
6.9.2 システムブレーク割り込み (SBI)	6-25
6.9.3 外部割り込み (EI)	6-27
6.9.4 コプロセッサ割り込み (CPI)	6-29
6.10 トラップ (Trap) 処理	6-31
6.10.1 トラップ (TRAP)	6-31
6.11 EITの優先順位	6-33
6.11.1 EIT処理の例	6-34

第7章 プログラマブル入出力ポート (PIO)

7.1 プログラマブル入出力ポート概要	7-2
7.2 端子の機能選択	7-4
7.2.1 プログラマブル入出力ポート端子の機能	7-4
7.2.2 ポートPi動作モードレジスタ	7-5
7.3 プログラマブル入出力ポート	7-6
7.3.1 プログラマブル入出力ポートの機能選択	7-6
7.3.2 ポートPi入力許可レジスタ	7-7
7.3.3 ポートPi方向レジスタ	7-8
7.3.4 ポートPiデータレジスタ	7-9

7.4 端子周辺回路	7-10
7.5 プログラマブル入出力ポート関連レジスタ設定順序例	7-11
7.5.1 端子をプログラマブル入出力ポートとして使用する際の設定順序	7-11
7.5.2 端子を内蔵周辺I/Oの入力として使用する際の設定順序	7-11
7.5.3 端子を内蔵周辺I/Oの出力として使用する際の設定順序	7-11

第8章 割り込みコントローラ (ICU)

8.1 割り込みコントローラ概要	8-2
8.2 割り込みコントローラ関連レジスタ	8-3
8.2.1 割り込みステータスレジスタ	8-5
8.2.2 割り込みリクエストレジスタ0	8-8
8.2.3 割り込みリクエストレジスタ1	8-10
8.2.4 システムブレーク割り込み制御レジスタ	8-12
8.2.5 割り込みマスクレジスタ	8-13
8.2.6 外部端子 (INT0~INT7) の割り込み制御レジスタ	8-14
8.2.7 内蔵周辺I/Oの割り込み制御レジスタ	8-17
8.2.8 ウェイクアップ割り込み制御レジスタ	8-19
8.3 割り込み優先順位	8-21
8.4 外部割り込み (EI) 動作説明	8-22
8.4.1 割り込み優先順位判定	8-22
8.4.2 割り込み優先レベルと割り込みマスク設定	8-23
8.4.3 割り込みコントローラの割り込み制御タイミング	8-24
8.4.4 外部割り込み (EI) ハンドラ処理例	8-28
8.5 システムブレーク割り込み (SBI) 動作説明	8-32
8.5.1 システムブレーク割り込み (SBI) の受付	8-32
8.5.2 システムブレーク割り込み (SBI) ハンドラ処理	8-32

第9章 外部バスインタフェース

9.1 外部バスインタフェース概要	9-2
9.1.1 外部バスインタフェース関連信号	9-2
9.1.2 内蔵資源アクセス時の外部バスインタフェース関連信号	9-3
9.2 基本バスタイミング	9-4
9.3 ブロックセレクトコントローラ	9-6
9.3.1 ブロックセレクトコントローラ概要	9-6
9.3.2 ブロックセレクトコントローラレジスタマッピング	9-7
9.3.3 BSELi制御レジスタ0	9-9
9.3.4 BSELi制御レジスタ1	9-12
9.3.5 BSELi制御レジスタ2	9-14
9.3.6 制御レジスタ設定方法	9-15
9.3.7 バスタイミング例	9-16

第10章 SDRAMコントローラ (SDRAMC)

10.1 SDRAMC概要	10-2
10.2 レジスタ説明	10-3

10.2.1 SDRAMリフレッシュ制御レジスタ0.....	10-4
10.2.2 SDRAMリフレッシュ制御レジスタ1.....	10-5
10.2.3 SDRAM初期化レジスタ0.....	10-7
10.2.4 SDRAM初期化レジスタ1.....	10-8
10.2.5 SDRAMiアドレスレジスタ	10-9
10.2.6 SDRAMiアクセスイネーブルレジスタ	10-11
10.2.7 SDRAMiタイミングレジスタ.....	10-12
10.2.8 SDRAMiモードレジスタ	10-14
10.3 SDRAM動作説明.....	10-15
10.3.1 SDRAMコマンド	10-15
10.3.2 リード・ライトアクセス	10-16
10.3.3 オートリフレッシュ	10-19
10.3.4 セルフリフレッシュ	10-20
10.3.5 初期化シーケンス.....	10-21
10.3.6 モードレジスタ設定	10-22
10.3.7 SDRAMCの設定手順.....	10-23
10.3.8 セルフリフレッシュモードへの移行・復帰手順	10-24
10.4 アクセスタイミング詳細	10-25
10.4.1 シングルリードタイミング.....	10-25
10.4.2 シングルライトタイミング.....	10-27
10.4.3 バーストリードタイミング.....	10-29
10.4.4 バーストライトタイミング.....	10-31
10.5 接続例	10-33

第11章 DMAC

11.1 DMAC概要	11-2
11.2 DMAC関連レジスタ.....	11-4
11.2.1 DMA転送許可レジスタ	11-6
11.2.2 DMA割り込み要求ステータスレジスタ	11-8
11.2.3 DMA転送終了検出レジスタ	11-9
11.2.4 DMAアービトレーションステータスレジスタ	11-10
11.2.5 DMAフライバイ転送レイテンシ制御レジスタ	11-11
11.2.6 DMAi制御レジスタ0	11-13
11.2.7 DMAi制御レジスタ1	11-22
11.2.8 DMAカレントソースアドレスレジスタ	11-23
11.2.9 DMAiリロードソースアドレスレジスタ	11-24
11.2.10 DMAiカレントデスティネーションアドレスレジスタ	11-25
11.2.11 DMAiリロードデスティネーションアドレスレジスタ	11-26
11.2.12 DMAiカレントバイトカウントレジスタ	11-27
11.2.13 DMAiリロードバイトカウントレジスタ	11-28
11.2.14 DMAi2次元アドレッシング制御レジスタ	11-29
11.2.15 DMAi2次元次行オフセットレジスタ	11-31
11.2.16 DMAi次ブロックオフセットレジスタ.....	11-32
11.2.17 DMAi2次元次ラインオフセットレジスタ	11-33
11.3 DMAC機能説明.....	11-34

11.3.1 DMACのアービトレーション	11-34
11.3.2 DMA要求入力センスモード選択について	11-34
11.3.3 外部デバイスへのページアクセス	11-37
11.3.4 DMA転送サイクル	11-38
11.3.5 DMA転送の終了条件	11-40
11.3.6 リロード機能	11-41
11.3.7 オペランド転送の中止動作	11-43
11.3.8 転送速度	11-44
11.3.9 DMAC関連レジスタの初期設定例	11-45
11.4 DMAC設定例	11-46
11.5 DMACの注意事項	11-49

第12章 マルチファンクションタイマ (MFT)

12.1 マルチファンクションタイマ概要	12-2
12.2 マルチファンクションタイマ関連レジスタ	12-4
12.2.1 MFT制御レジスタ	12-6
12.2.2 MFTリアルポートレジスタ	12-8
12.2.3 MFTiモードレジスタ	12-9
12.2.4 MFTi端子出力状態レジスタ	12-28
12.2.5 MFTiカウンタ	12-30
12.2.6 MFTiリロードレジスタ	12-31
12.2.7 MFTiコンペアレジスタ	12-32
12.2.8 MFTiコンペアリロードレジスタ	12-33
12.3 マルチファンクションタイマ動作例	12-35
12.3.1 定周期タイマの実現	12-36
12.3.2 PWM波形出力タイマの実現	12-41
12.3.3 ワンショットタイマの実現	12-45
12.3.4 リアルポートタイマの実現	12-50
12.3.5 周期/パルス幅計測タイマの実現	12-54
12.3.6 1相イベントカウンタの実現	12-59
12.3.7 2相イベントカウンタの実現	12-63
12.4 マルチファンクションタイマ設定手順例	12-68

第13章 シリアルI/O (SIO)

13.1 シリアルI/O概要	13-2
13.2 シリアルI/O関連レジスタ	13-4
13.2.1 SIOi制御レジスタ	13-5
13.2.2 SIOiモードレジスタ0	13-7
13.2.3 SIOiモードレジスタ1	13-10
13.2.4 SIOiステータスレジスタ	13-15
13.2.5 SIOi転送処理制御レジスタ	13-25
13.2.6 SIOiボーレートレジスタ	13-28
13.2.7 SIOiボーレート補正レジスタ	13-30
13.2.8 SIOi送信バッファレジスタ	13-32
13.2.9 SIOi受信バッファレジスタ	13-33

13.3 CSIO動作説明.....	13-34
13.3.1 CSIOのデータ転送速度（ボーレート）	13-34
13.3.2 CSIOモード送信（送信半二重）動作.....	13-34
13.3.3 CSIOモード送信タイミング例	13-36
13.3.4 CSIOモード受信（受信半二重）動作.....	13-38
13.3.5 CSIO受信タイミング例	13-40
13.3.6 CSIOモード送受信（全二重）動作	13-43
13.3.7 CSIOモード送受信（全二重）タイミング例	13-45
13.3.5 CSIO初期設定例.....	13-47
13.4 UART動作説明.....	13-48
13.4.1 UARTのデータ転送速度（ボーレート）	13-48
13.4.2 UARTモード送信動作.....	13-48
13.4.3 UARTモード送信タイミング例	13-49
13.4.4 UARTモード受信動作.....	13-50
13.4.5 UARTモード受信タイミング例	13-52
13.4.6 UARTモード送受信動作	13-53
13.4.7 UARTモード初期設定例	13-54
13.5 シリアルI/Oの注意事項.....	13-55
13.5.1 CSIOモード/UARTモード共通の注意事項.....	13-55
13.5.2 CSIOモードの注意事項	13-55
13.5.3 UARTモードの注意事項	13-56

第14章 オンチップユーザIPバス

14.1 オンチップユーザIPバス概要	14-2
14.2 オンチップユーザIPバス関連信号	14-2
14.3 オンチップユーザIPバス動作	14-3
14.3.1 CPUアクセス.....	14-3
14.3.2 DMAアクセス	14-5
14.4 ブロックセレクトコントローラの設定	14-9

第15章 クロック&パワーマネージャ(CPM)

15.1 クロック&パワーマネージャ概要	15-2
15.1.1 クロック系統.....	15-2
15.2 クロック&パワーマネージャ関連レジスタ	15-4
15.2.1 クロック制御レジスタ.....	15-5
15.2.2 PLL制御レジスタ.....	15-6
15.2.3 クロックモードレジスタ	15-7
15.2.4 BCLK分周比選択レジスタ	15-8

第16章 コプロセッサインタフェース

16.1 コプロセッサインタフェース概要	16-2
16.2 コプロセッサインタフェース関連レジスタ	16-3
16.2.1 コプロセッサネーブルレジスタ.....	16-4
16.2.2 コプロセッサ演算例外ステータスレジスタ.....	16-6

16.2.3 コプロセッサ割り込み要求レジスタ:	16-8
16.3 コプロセッサ使用時のパイプライン動作	16-10
16.3.1 パイプライン	16-10
16.3.2 パイプラインストール.....	16-10

付録

付録1 リトルエンディアンモード時の動作	A-2
付録1.1 外部端子	A-2
付録1.2 メモリ上のアドレス割付	A-3
付録1.3 SFRへのアクセス	A-3
付録1.4 命令コード	A-4

1.1 OPSP概要

OPSP (Open Platform Synthesizable Processor) とは、平成14年度補正予算 産学官連携型産業技術実用化開発補助事業に「オープン・プラットフォームの実用化開発」として採択されたプロジェクトにおいて開発した、シンセサイザブルなマイクロプロセッサのVerilogHDLモデルです。

1.1.1 OPSP-CPU

(1) M32R上位互換RISCアーキテクチャ

- OPSPは、シンセサイザブル32ビットRISCプロセッサで、OPSP-CPUコア（以下OPSP-CPUと略します）、内蔵SRAM（標準64KB）、および各種周辺機能を持っています。
- OPSP-CPUは、RISCアーキテクチャを採用しており、メモリアクセスはロード命令とストア命令により行い、各種の演算はレジスタ間演算命令で実行します。
- OPSP-CPUは、M32Rファミリの上位互換コアで、内部には32ビット汎用レジスタを16本備え、命令数は115あります。

(2) 2命令並列実行

- OPSP-CPUは、コンパイラなどによりスケジューリングされた2つの16ビット長命令を並列に実行することができます。これにより、効率よく演算処理を行うことが可能です。

(3) 5ステージのパイプライン処理

- OPSP-CPUは、命令フェッチ、デコード、実行、メモリアクセス、ライトバックの5ステージのパイプライン処理により、命令を処理します。ロード命令、ストア命令、レジスタ間演算命令だけでなく、ロード&アドレス更新、ストア&アドレス更新といった複合命令も1CPUCLKで実行します。
- 命令は、フェッチされた順に実行ステージに投入されますが、先に投入されたロード命令やストア命令の実行がメモリアクセスのウェイトサイクルの挿入により延びた場合には、後続のレジスタ間演算命令が先に実行される場合があります。OPSP-CPUは、このような「out-of-order-completion」などの採用により、クロックサイクルを無駄にしない命令実行制御を行います。

(4) コンパクトな命令コード

- OPSP-CPUの命令には、16ビット長命令と32ビット長命令の2つの形式があります。使用頻度の高い命令を16ビット長命令に割り付けており、プログラムのコードサイズを小さく抑えることができます。
- 32ビット長命令には、実行中の命令のアドレスから±32Mバイトの範囲に直接分岐することができる命令があり、アドレス空間がセグメント化されたアーキテクチャに比べ、プログラミングが容易になっています。

(5) 高速乗算器・積和演算器

- OPSP-CPUは、32ビット×16ビットの高速乗算器の内蔵により、32ビット×32ビットの整数乗算命令を4CPUCLKで実行します。
- OPSP-CPUは、アキュムレータを2本備えています。
- OPSP-CPUは、56ビットのアキュムレータによる積和演算命令（または乗算命令）として、次の5つをサポートしており、いずれも1CPUCLKで実行できます。
 - レジスタ上位16ビット×レジスタ上位16ビット
 - レジスタ下位16ビット×レジスタ下位16ビット
 - レジスタ下位16ビット×レジスタ上位16ビット
 - レジスタ32ビット全体×レジスタ上位16ビット
 - レジスタ32ビット全体×レジスタ下位16ビット
- OPSP-CPUは、アキュムレータに格納された値を16ビットまたは32ビットに丸める命令や、アキュムレータの値を、桁合わせのためシフトしてレジスタに格納する命令を備えています。これらの命令も1サイクルで実行します。
- OPSP-CPUは、積和演算命令とその他の命令を並列に実行することができるため、積和演算命令と並行してデータのロード命令やストア命令を実行することができます。また、2本の56ビットアキュムレータを用いて32ビットの積和を高速に処理することができます。

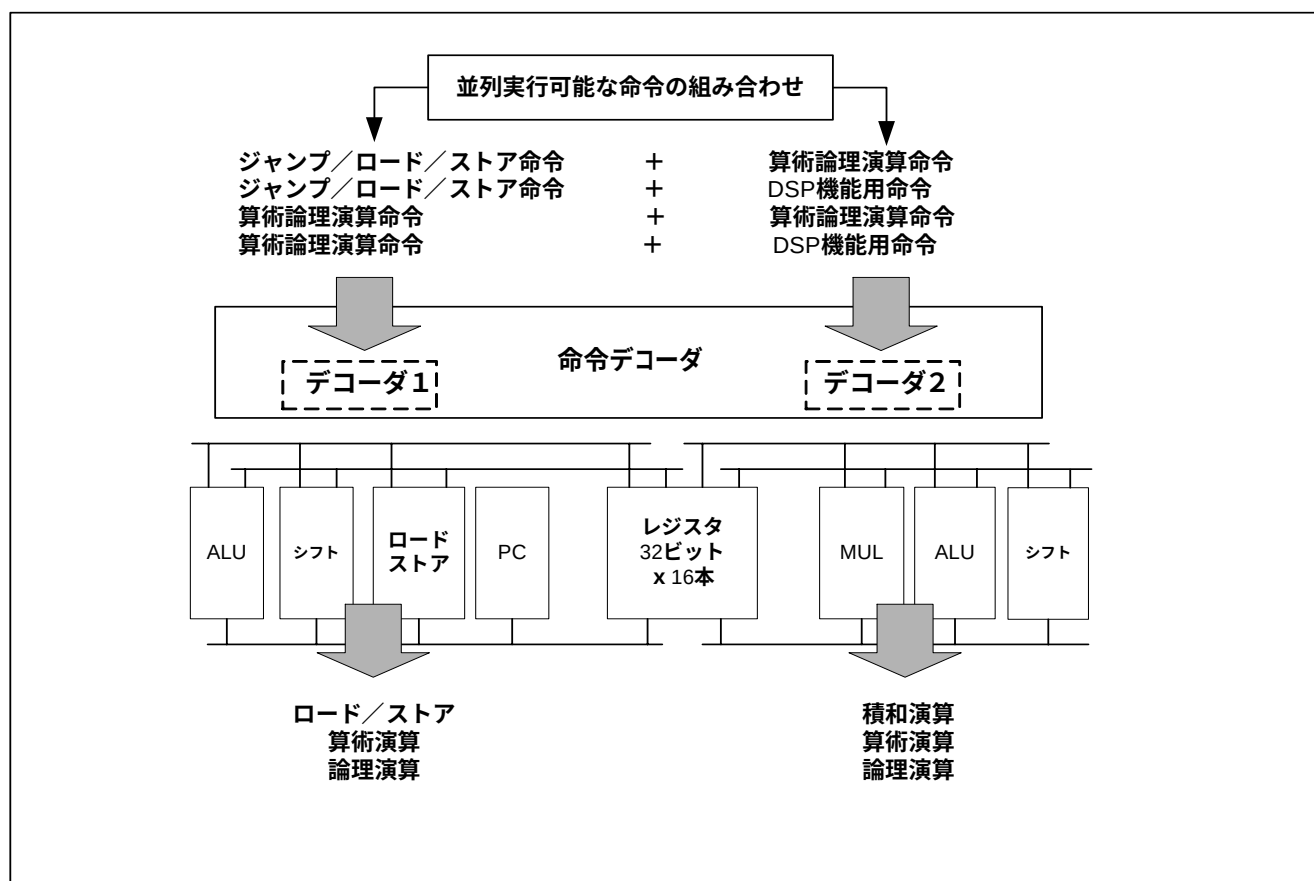


図1.1.1 OPSP-CPUの並列実行機能

1.1.2 メモリ管理機構

- OPSP-CPUはメモリ管理ユニット（MMU）を内蔵し、仮想記憶方式を用いるオペレーティングシステムを効率よく実行することができます。アドレス変換バッファ（TLB）は、命令TLB（ITLB） / データTLB（DTLB）、それぞれ32エントリ、フルアソシアティブであり、仮想アドレスから物理アドレスへの変換を1クロックで行います。
- OPSP-CPUには、2つのプロセッサモード（ユーザモード / スーパーバイザモード）があります。ユーザモードでは、スーパーバイザモードとは異なるスタックポインタを用い、またシステム領域に対するメモリアクセス、特権命令の実行が禁止されます。

1.1.3 SRAMとキャッシュメモリの内蔵

- OPSPは、64KバイトのSRAMを内蔵しています。
- OPSP-CPUには、命令8Kバイト、データ8Kバイトのキャッシュメモリを内蔵しています。それぞれ2ウェイ・セットアソシアティブのキャッシュメモリとして動作し、物理アドレスでキャッシングを行います。
- OPSPは、CPUコア、SRAM、キャッシュメモリが32ビットの内部バスで結合されています。

1.1.4 バイエンディアン機構

- OPSPは、外部端子（LEMOD）の設定により、リトルエンディアンモード、ビッグエンディアンモードを切り替えることができます。OPSPはリセット解除時に端子レベルを読み取り、動作モードを決定します。動作中にLEMOD端子のレベルを変更した場合の動作は保証しません。
- このマニュアルは、ビッグエンディアンモードで記述しています。リトルエンディアンモード時の動作については、「付録1.リトルエンディアンモード時の動作」をご覧ください。

1.1.5 オンチップユーザIPバス

- OPSPはユーザIP接続用のオンチップユーザIPバスを持っています。
- ユーザIPとSDRAMとの間でフライバイ転送を行なうことができます。

1.1.6 クロック

表1.1.1にOPSPのクロック種類を示します。

表1.1.1 OPSPクロックの種類

クロック名		機能ブロック
入力クロック	CLKIN	メインクロック
CPUクロック	CPUCLK	CPUコア MMU キャッシュメモリ 内蔵SRAM
外部出力クロック	BCLK	システムクロック
周辺IOクロック	PCLK	DMAコントローラ SDRAMコントローラ ブロックセレクトコントローラ その他周辺IO
JTAGクロック	TCK	JDI（Jtag Debug Interface）

1.1.7 強力な周辺機能

- 2チャンネルのSDRAMコントローラ (SDRAMC)
- 6チャンネルのマルチファンクションタイマ (MFT)
- 2チャンネルのDMAコントローラ (DMAC)
- 2チャンネルのシリアルI/O (SIO)
- 8レベルの割り込みコントローラ (ICU)
- 8ブロックのブロックセレクトコントローラ (BSELC)
- 32ビットの汎用入出力ポート (PIO)
- JTAGデバッグインタフェース (JDI)

1.2 ブロック図

図1.2.1にOPSPのブロック図を示します。

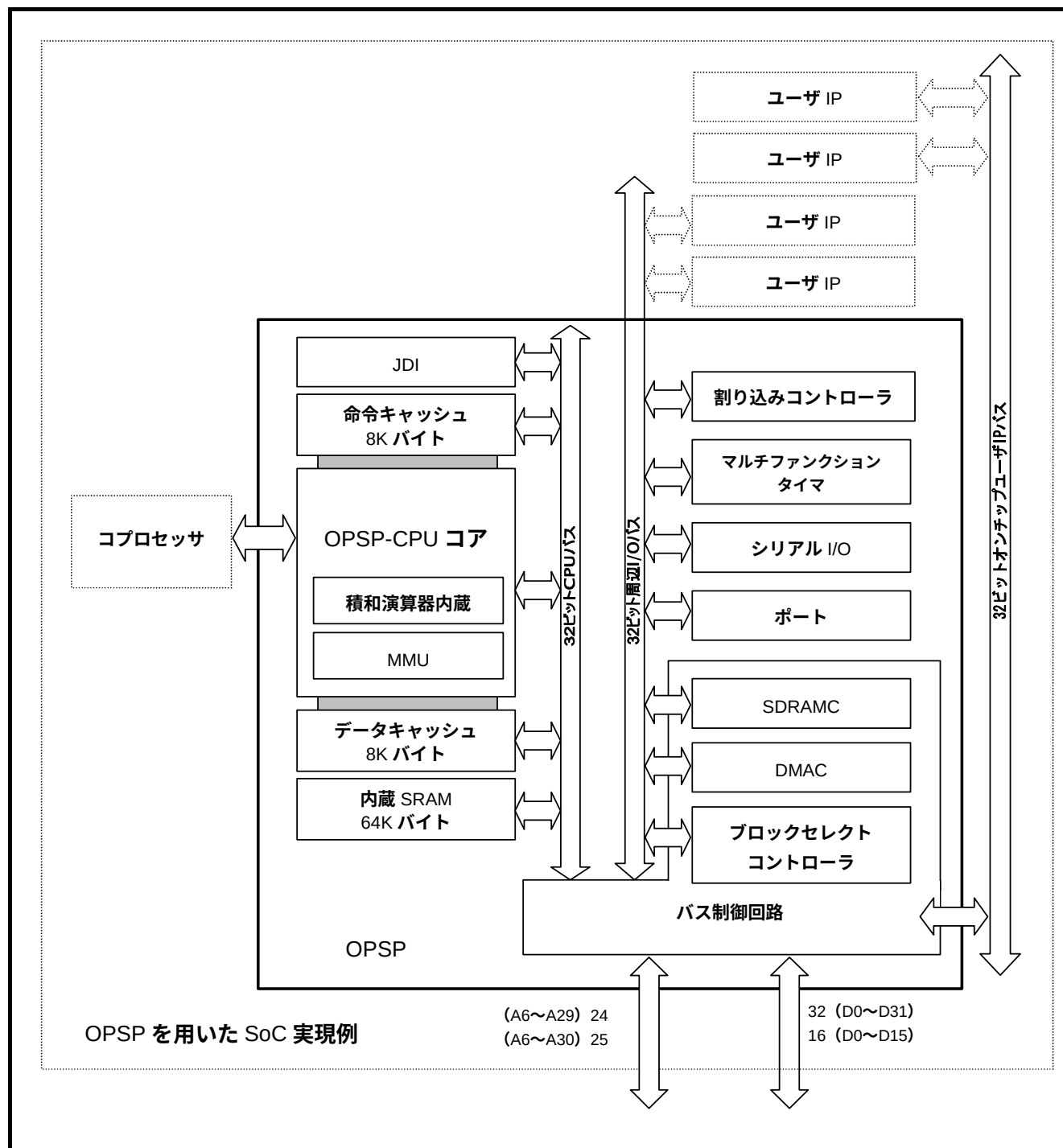


図1.2.1 ブロック図

1.3 特長

1.3.1 OPSP-CPUの特長

表1.3.1 OPSP-CPUの特長

機能ブロック	特 長
M32R上位互換 CPUコア	● 論理アドレス空間：4Gバイトリニア ● インプリメンテーション：5段パイプライン方式 ● 2命令並列実行 ● レジスタ構成 - 汎用レジスタ：32ビット×16本 - 制御レジスタ：32ビット×6本 ● 命令セット 16ビット／32ビット命令形式 115命令／6アドレッシングモード ● 積和演算器内蔵 ● 動作周波数：200MHz（max）（注）
メモリ管理ユニット （MMU）	● TLBエントリ数：命令用32エントリ、データ用32エントリ フルアソシアティブ ● ページサイズ：4K/16K/64Kバイト（ユーザページ）、4Mバイト（システムページ）
キャッシュメモリ	● 命令キャッシュ：8Kバイト、128ビット×256エントリ、2ウェイセットアソシアティブ ● データキャッシュ：8Kバイト 128ビット×256エントリ、2ウェイセットアソシアティブ コピーバック方式

注. TSMC013Gの参考値

1.3.2 内蔵メモリの特長

表1.3.2 内蔵メモリの特長

機能ブロック	特 長
内蔵SRAM	● 容量：64Kバイト（標準）、入出力32ビット

1.3.3 内蔵周辺I/Oの特長

表1.3.3 内蔵周辺I/Oの特長 (1)

機能ブロック	特 長
DMAC	● チャンネル数 : 2チャンネル ● 転送要求 : ソフトウェア／内蔵周辺I/O／外部端子 ● 最大転送バイト数 : 64Mバイト ● アドレス空間 : 512Mバイト ● チャンネル優先度 : 0ch > 1ch (優先順位固定) ● 割り込み要求 : バイトカウント="0"の場合に発生 ● 転送モード : バス権連続取得モード、バス権逐次解放モード ● リロード機能 (ソースアドレス、デスティネーションアドレス、バイトカウント) ● 2次元アドレッシング機能 ● SDRAM オンチップユーザIPバス間のフライバイ転送サポート
シリアルI/O (SIO)	● チャンネル数 : 2チャンネル ● クロック同期型 (CSIOモード) /非同期型 (UARTモード) 切り替え可能 ● 転送モード : 送信半二重／受信半二重／送受信全二重 ● 転送クロック : 外部クロック/内部クロック (CSIOモード) 内部クロック (UARTモード) ● 転送データ長 : 5～16ビット ● 転送順序 : LSBファースト／MSBファースト ● 受信割り込み要求 : 受信完了／受信エラー検出 ● 送信割り込み要求 : 送信バッファレジスタエンプティ／送信完了 ● DMA要求 : 送信バッファレジスタエンプティ／受信完了
マルチファンクションタイマ (MFT)	● チャンネル数 : 6チャンネル ● 出力系タイマ : 定周期、PWM波形出力、ワンショット、リアルポートタイマ ● 入力系タイマ : 周期/パルス幅計測、1相/2相イベントカウンタ

表1.3.4 内蔵周辺I/Oの特長 (2)

機能ブロック	特 長
ブロックセレクト コントローラ (BSEL)	● 外部メモリアクセス制御 ● ブロック数 : 8ブロック ● ブロックサイズ : 64Mバイト ● データバス幅 : 16ビット/32ビット ● ソフトウェアウェイト制御 : 最大31ウェイトに設定可能、チャンネルごとに設定可能、 ● リードアクセス、ライトアクセス別に設定可能 ● READY#信号によるウェイト挿入機能
SDRAMコントローラ (SDRAMC)	● チャンネル数 : 2チャンネル ● SDRAM容量 : 8Mバイト/16Mバイト/32Mバイト/64Mバイト ● 先頭アドレス設定 : 8Mバイト/16Mバイト/32Mバイト/64Mバイト境界 (容量に依存) ● マルチプレクスアドレス出力 : アドレス最大13ビット、バンクアドレス最大2ビット ● リフレッシュ : オートリフレッシュ方式 (プログラマブルリフレッシュカウンタ内蔵) 及びセルフリフレッシュ方式 ● ウェイト設定 : RAS-CASレイテンシ、CASレイテンシ、ライトリカバリ、アクセスウェイト、リフレッシュウェイト、初期化チャージプリウェイト、初期化オートリフレッシュウェイト ● バーストアクセス方式 : ランダムカラム (SDRAMバースト長 : 1)
割り込みコントローラ (ICU)	● 外部端子割り込み ● 内蔵周辺I/O割り込み ● システムブレーク割り込み ● 外部割り込み : 8要因 (INT0~INT7) ● INT0~INT7の入力センス : 立ち上がりエッジ/立ち下がりエッジ/Hレベル/Lレベル ● レベルによる割り込み管理 : 8レベル (割り込み禁止を含む)
プログラマブル入出力 ポート (PIO)	● ポート数 : 32本 ● 入出力制御 : 入力制御レジスタ、出力制御レジスタにより、各ビット単位で入力ポート又は、出力ポートに設定可能

1.4 端子機能

図1.4.1に端子機能図を示し、表1.4.1～表1.4.4に端子機能説明を示します。

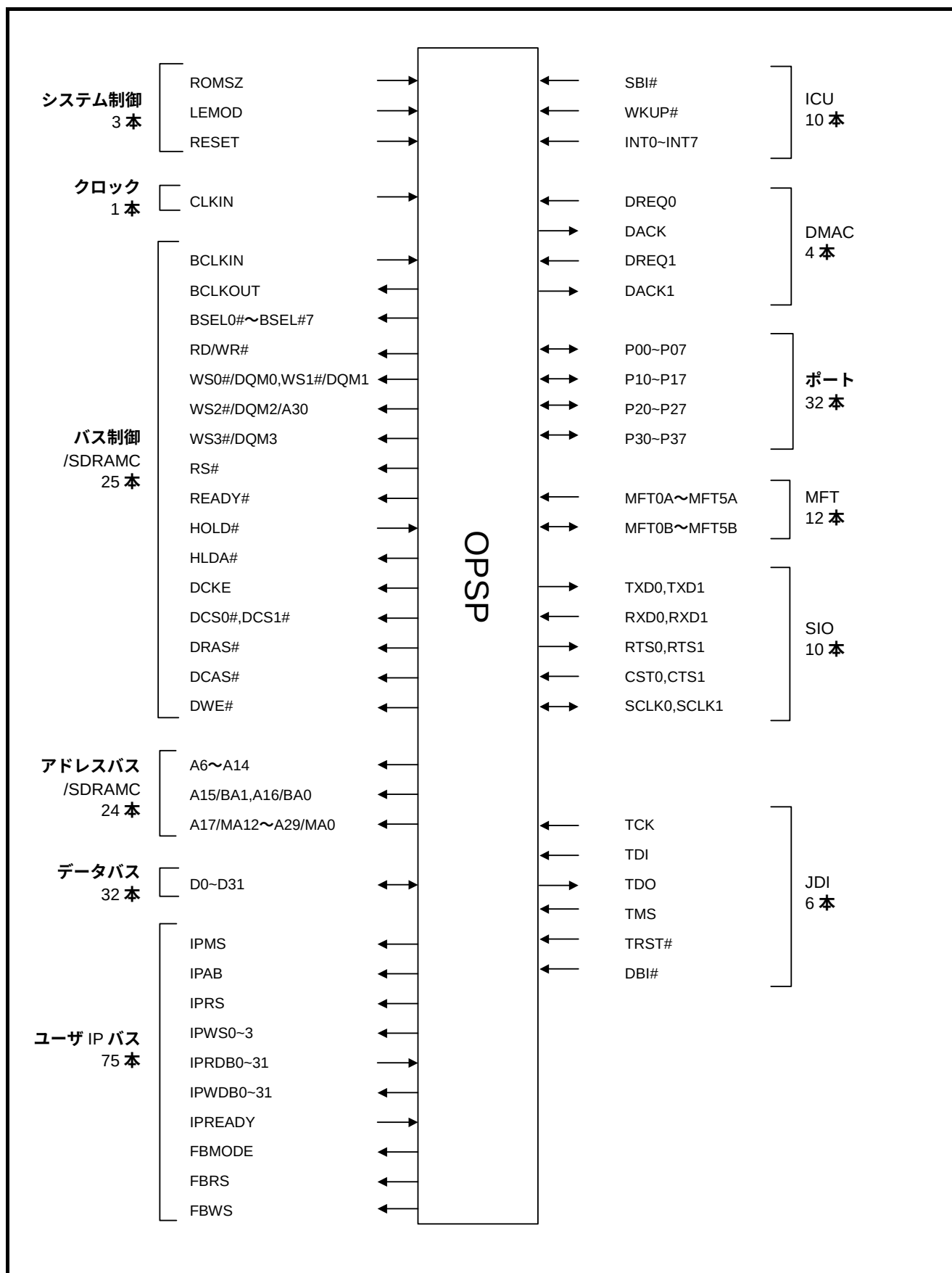


図1.4.1 端子機能図

表1.4.1 端子機能説明 (1)

種類	端子名	名称	入出力	機能
クロック	CLKIN	クロック入力	入力	メインクロック入力です。
システム制御	ROMSZ	バス幅選択	入力	リセットベクタを含む外部ユーザ領域 (BSEL0#領域) のデータバス幅を指定する信号です。ROMSZの値はシステム固定で请使用してください。 ROMSZ="L"の場合、16ビット幅 (D0~D15) ROMSZ="H"の場合、32ビット幅 (D0~D31)になります。 動作中に値を変更した場合の動作は保証されません。
	LEMOD	リトルエンディアンモード	入力	バイトエンディアンを設定します。 LEMOD="L"の場合、ビッグエンディアンモード LEMOD="H"の場合、リトルエンディアンモードになります。 動作中に値を変更した場合の動作は保証されません。
	RESET#	リセット	入力	OPSPをリセットします。
アドレスバス	A6~A30	アドレスバス	出力	64Mバイトのアドレス空間に対応する25ビットアドレスバス (A6~A30) を備えています。 データバス幅32ビット設定時、LSB側のA30信号は端子から出力されません。ライトアクセス時には32ビットデータバスの有効なアクセスバイト位置を示すWS0#~WS3#信号を出力します。 データバス16ビット設定時、A30信号が出力され、ライトアクセスの有効なアクセスバイト位置はWS0#、WS1#信号で示します。 外部バスサイクルが実行されていないときの出力値は不定です。 A30端子は、WS2#端子およびDQM2端子と共用です。
データバス	D0~D31	データバス	入出力	外部バス用の32ビットのデータバスです。ブロックごとに32ビットバス (D0~D31)、16ビットバス (D0~D15) に設定できます。
バス制御	BCLKIN	バスクロック入力	入力	バスクロック入力です。BCLKOUTをフィードバック入力してください。
	BCLKOUT	バスクロック出力	出力	バスクロック出力です。バスクロックを使用するデバイスに接続し、逆端をBCLKINに入力してください。
	BSEL0#~BSEL7#	ブロックセレクト	出力	外部デバイスへのアクセス時にブロック0~ブロック7の8ブロック中、どのブロックに有効アドレスが出力されたかを示します。
	RS#	リードストローブ	出力	リードアクセス時の読み込みタイミングを示します。ただしSDRAMコントローラ設定領域アクセス時、RS#信号は出力しません ("H"レベル出力)。

表1.4.2 端子機能説明 (2)

種類	端子名	名称	入出力	機能
バス制御	WS0#～WS3#	ライトストロープ	出力	ライトアクセス時に書き込みタイミングを示します。 データバス幅32ビット設定時、有効なバイト位置の書き込みタイミングをWS0#～WS3#信号で示します。 データバス幅16ビット設定時、有効なバイト位置の書き込みタイミングをWS0#、WS1#信号で示します WS2#端子 (A30端子と共用) からはA30信号が出力され、WS3#端子からは"H"信号が出力されます。 WS0#～WS3#端子は、DQM0～DQM3端子と共用であり、WS2#端子については、A30端子とも共用です。 以下にWS0#～WS3#信号とD0～D31信号の対応 (有効なバイト位置) を示します。 ●WS0# : D0～D7 ●WS1# : D8～D15 ●WS2# : D16～D23 ●WS3# : D24～D31
	RD/WR#	リード/ライト	出力	外部バスアクセス時のリード/ライトを示す信号です。 リード時は"H"レベル、ライト時は"L"レベルを出力します。 ただし、SDRAMコントローラ設定領域アクセス時、RD/WR#信号は出力しません (変化しません)。
	READY#	レディ	入力	BSELアクセス時、バスウエイト終了時に"L"レベルを入力してください。READY#端子によるウエイト制御の有効・無効はブロックセレクトコントローラで設定できます。 ブロックセレクトコントローラ設定で、この端子の極性を変更することができます。
	HOLD#	ホールドリクエスト	入力	外部デバイスよりバス権の要求を入力します。
	HLDA#	ホールド アクノリッジ	出力	バス権を外部デバイスに渡すことを示します。
SDRAMC	BA1,BA0	SDRAMバンクアドレス	出力	SDRAMのバンクアドレス端子に接続します。 BA1端子はA15端子と、BA0端子はA16端子と共用です。
	MA12～MA0	SDRAMアドレスバス	出力	SDRAMのアドレス端子に接続します。 MA12～MA0端子はA17～A29端子と共用です。
	DCKE	SDRAMクロック制御	出力	SDRAMのCKE端子に接続します。
	DCS0#, DCS1#	SDRAMチップセレクト	出力	SDRAMのチップセレクト端子に接続します。
	DRAS#	SDRAMロウアドレスストロープ	出力	SDRAMのRAS端子に接続します。
	DCAS#	SDRAMカラムアドレスストロープ	出力	SDRAMのCAS端子に接続します。
	DWE#	SDRAMライトイネーブル	出力	SDRAMのWE端子に接続します。
	DQM0～DQM3	SRAM出力 ディスエーブル /ライトマスク	出力	SDRAMのディスエーブル/ライトマスク端子に接続します。 データバス幅32ビット設定時、DQM0～DQM3端子が有効になります。 データバス幅16ビット設定時、DQM0、DQM1端子が有効になります。 DQM0～DQM3端子は、WS0#～WS3#端子と共用であり、DQM2端子については、A30端子とも共有です。

表1.4.3 端子機能説明 (3)

種類	端子名	名称	入出力	機能
ICU	SBI#	システムブレーク割り込み	入力	システムブレーク割り込み信号です。
	WKUP#	ウェイクアップ	入力	スタンバイ（低消費電力モード）からの復帰に使用します。
	INT0~INT7	外部割り込み	入力	外部割り込み信号です。
DMAC	DREQ0, DREQ1	外部DMA要求	入力	外部からDMA要求を行います。
	DACK0, DACK1	外部DMA要求アックノリッジ	出力	DMA要求を受け付けたことを示します。
MFT	MFT0A ~MFT5A	MFTA入力	入力	MFTAの入力端子です。
	MFT0B ~MFT5B	MFTB入出力	入出力	MFTBの入出力端子です。
ユーザIPバス	IPRDB0~IPRDB31	オンチップユーザIPバスリードデータバス	入力	オンチップユーザIPバスのリードデータバスです。
	IPMS	モジュールセレクト	出力	ユーザIPモジュールへのアクセスを示します。
	IPAB	アドレスバス	出力	ユーザIPモジュール内のレジスタアドレスを示します。
	IPRS	リードストロブ	出力	ユーザIPモジュールへのリードアクセス時の読み出しタイミングを示します。
	IPWS0~IPWS3	ライトストロブ	出力	ユーザIPモジュールへのライトアクセス時の書き込みタイミングを示します。
	IPWDB0~IPWDB31	オンチップユーザIPバスライトデータバス	出力	オンチップユーザIPバスのライトデータバスです。
	FBMODE	フライバイモード	出力	フライバイ転送モード信号です
	FBRS	フライバイリードストロブ	出力	フライバイ転送時のユーザIPのリードストロブ信号です。
	FBWS	フライバイライトストロブ	出力	フライバイ転送時のユーザIPのライトストロブ信号です。
ポート	P00~P07	ポート0	入出力	プログラマブル入出力ポートです。
	P10~P17	ポート1		
	P20~P27	ポート2		
	P30~P37	ポート3		
SIO	TXD0~TXD1	シリアルI/O送信	出力	シリアルI/Oの送信データを出力します。
	RXD0~RXD1	シリアルI/O受信	入力	シリアルI/Oの受信データを入力します。
	SCLK0, SCLK1	SIO SCLK端子	入出力	外部クロック選択時：転送クロックを入力します。 内部クロック選択時：転送クロックを出力します。
	CTS0,CTS1	SIO CTS端子	入力	UARTモード：送信要求を入力します。 CSIOモード：転送クロックの要求を入力します。
	RTS0,RTS1	SIO RTS端子	出力	UARTモード：送信要求を出力します。 CSIOモード：転送クロックの要求を出力します。

表1.4.4 端子機能説明 (4)

種類	端子名	名称	入出力	機能
JTAG	TCK	TCK端子	入力	テスト回路へのクロック入力です。
	TDI	TDI端子	入力	テスト命令コード、テストデータを入力する同期シリアルデータ入力端子です。TCKの立ち上がりでサンプリングされます。
	TDO	TDO端子	出力	テスト命令コード、テストデータを出力する同期シリアルデータ出力端子です。TCKの立下りで変化、Shift-IRもしくはShift-DR状態のときのみ出力されます。それ以外の状態ではハイインピーダンス状態になります。
	TMS	TMS端子	入力	テスト回路の状態遷移を制御するテストモード選択入力です。TCKの立下りでサンプリングされます。
	TRST#	TRST端子	入力	テスト回路を非同期に初期化する”L”アクティブのテストリセット入力です。リセット動作を保証するため、この信号が”L”から”H”に変化するときにはTMS信号入力を”H”に保つ必要があります。JTAGを使用しない場合は、TRST#=”L”を入力し、テスト回路をリセットしてください。
	DBI#	DBI#端子	入力	デバッグ割り込みの入力端子です。

2.1 プロセッサモード

OPSP-CPUコア（以下OPSP-CPUと略します）は、スーパーバイザモードおよび、ユーザモードの2つのプロセッサモードを提供します。プロセッサモードを用いて、リソースに対する階層的な保護機構を実現することができます。各プロセッサモードは、メモリアクセスや実行可能な命令に対する権限を規定しており、スーパーバイザモードはユーザモードに対してより高い権限を持っています。

EIT事象が発生すると、CPUはスーパーバイザモードに移行します。EIT事象が発生する直前のプロセッサモードは、プロセッサ状態語レジスタ(PSW)のバックアップPM(BPM)ビットに記憶されます。RTE命令の実行により、BPMビットに記憶されたプロセッサモードに復帰します。

2.1.1 特権命令

特権命令は、スーパーバイザモードでのみ実行可能な命令です。ユーザモードで特権命令を実行すると、特権命令例外が発生します。特権命令には「RTE命令」、「MVTC命令」、「SETPSW命令」、「CLRPSW命令」があります。

2.2 CPUレジスタ

OPSP-CPUコアには16本の汎用レジスタ、6本の制御レジスタ、2本のアキュムレータ及びプログラムカウンタがあります。アキュムレータは64ビット、その他のレジスタはすべて32ビット構成になっています。

2.3 汎用レジスタ

汎用レジスタは32ビット幅で16本（R0～R15）あり、データやベースアドレスの保持などに使用します。R14はリンクレジスタとして、R15はスタックポインタ（SPIまたはSPU）として使用されます。リンクレジスタはサブルーチン呼び出し命令実行の際、戻り先番地の格納に使われます。またスタックポインタは、プロセッサ状態語レジスタ（PSW）のスタックモード（SM）ビットの値に応じて割り込み用スタックポインタ（SPI）と、ユーザー用スタックポインタ（SPU）とに切り替わります。

b0	b31		b0	b31	
		R0			R8
		R1			R9
		R2			R10
		R3			R11
		R4			R12
		R5			R13
		R6			R14（リンクレジスタ）
		R7			R15（スタックポインタ）（注）

注. スタックポインタは、PSWのSMビットの値に応じて割り込み用スタックポインタ(SPI)とユーザー用スタックポインタ(SPU)とに切り替わります。

図2.3.1 汎用レジスタ

2.4 制御レジスタ

制御レジスタには、プロセッサ状態語レジスタ (PSW)、条件ビットレジスタ (C)、割り込み用スタックポインタ (SPI)、ユーザー用スタックポインタ (SPU)、EITベクタベースレジスタ(EVB)、バックアップPC (BPC) の6つがあります。

これら制御レジスタの設定や読み出しには、専用の「MVTC命令」と「MVFC命令」を使用します。また、PSWに対しては「SETPSW命令」と「CLRPSW命令」も使用できます。

「MVTC命令」、「SETPSW命令」および「CLRPSW命令」はプロセッサモード(PM)がスーパーバイザモードのときのみ使用できる特権命令です。プロセッサモードは、プロセッサ状態語レジスタ(PSW)のプロセッサモード(PM)ビットで設定します。

プロセッサモードの詳細については、「第3章 アドレス空間」をご覧ください。

CRn	b0	b31	
CR0	PSW		プロセッサ状態語レジスタ
CR1	CBR		条件ビットレジスタ
CR2	SPI		割り込み用スタックポインタ
CR3	SPU		ユーザー用スタックポインタ
CR5	EVB		EIT ベクタベースレジスタ
CR6	BPC		バックアップPC

注 1. CRn(n=0~3,5,6)は、制御レジスタの番号です。

注 2. 制御レジスタの設定、読み出しには、専用の「MVTC 命令」と「MVFC 命令」を使用します。

図2.4.1 制御レジスタ

2.4.1 プロセッサ状態語レジスタ：PSW（CR0）

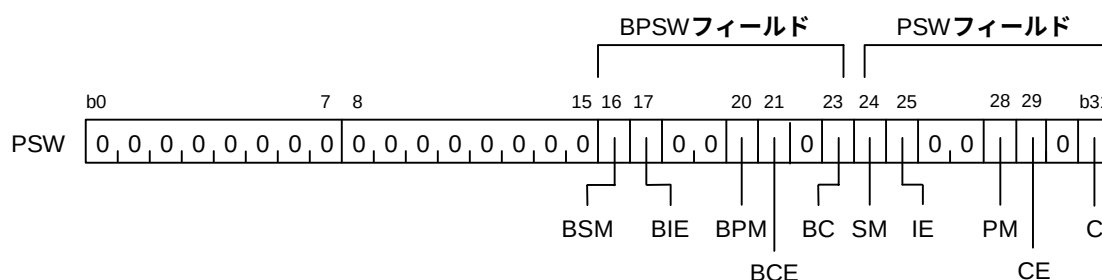
プロセッサ状態語レジスタ（PSW）は、OPSP-CPUのステータスを表示するレジスタで、通常使用するPSWフィールドと、EIT発生時にPSWフィールドを退避するためのBPSWフィールドからなります。

PSWフィールドは、スタックモード(SM)、割り込みイネーブル(IE)、プロセッサモード(PM)、コプロセッサ割り込みイネーブルビット(CE)、条件ビット(C)の各ビットで構成されています。

また、BPSWフィールドは、バックアップSMビット(BSM)、バックアップIEビット(BIE)、バックアップPMビット(BPM)、バックアップCEビット(BCE)、バックアップCビット(BC)で構成されています。

リセット解除時、BSM,BIE,BPM,BCE,BCは不定、それ以外のビットは"0"です。

プロセッサモードを切り替える場合には、MVT命令でBPM="1"を設定した後、RTE命令を実行してユーザ空間（H'0000 0000～H'7FFF FFFF領域）に分岐して下さい。なお、MVT命令でPMビットを直接変更する場合は、必ずユーザ空間で行ってください。



<リセット解除時："B'0000 0000 0000 0000 ??00 ??0? 0000 0000">

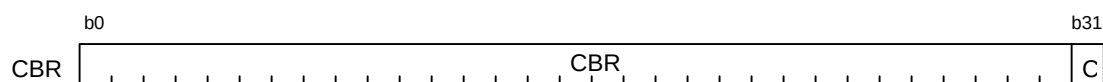
b	ビット名	機能	R	W
0~15	何も配置されていません。"0"に固定してください。		0	0
16	BSM バックアップSMビット	EIT受付時に、SMビットの値を保存	R	W
17	BIE バックアップIEビット	EIT受付時に、IEビットの値を保存	R	W
18,19	何も配置されていません。"0"に固定してください。		0	0
20	BPM バックアップPM	EIT受付時に、PMビットの値を保存	R	W
21	BCE バックアップCE	EIT受付時に、CEビットの値を保存	R	W
22	何も配置されていません。"0"に固定してください。		0	0
23	BC バックアップCビット	EIT受付時に、Cビットの値を保存	R	W
24	SM スタックモードビット	0：割り込み用スタックポインタを使用 1：ユーザ用スタックポインタを使用	R	W
25	IE 割り込みイネーブルビット	0：割り込み受付禁止 1：割り込み受付許可	R	W
26,27	何も配置されていません。"0"に固定してください。		0	0
28	PM プロセッサモードビット	0：スーパーバイザモード 1：ユーザモード	R	W
29	CE コプロセッサ 割り込みイネーブルビット	0：コプロセッサ割り込みを受け付けない 1：コプロセッサ割り込みを受け付ける	R	W

30	何も配置されていません。"0"に固定してください。	0	0
31	C 条件ビット	R	W
		命令の実行に応じて演算結果のキャリー、 ボロー、オーバーフローの有無を示す。	

2.4.2 条件ビットレジスタ：CBR (CR1)

条件ビットレジスタ(CBR)は、PSWのうち条件ビット(C)を抜き出して別レジスタとしたものです。PSWの条件ビットに書き込まれた値はこのレジスタに反映されます。このレジスタは読み出しのみ可能です。（「MVTC命令」で書き込みを行っても無視されます。）

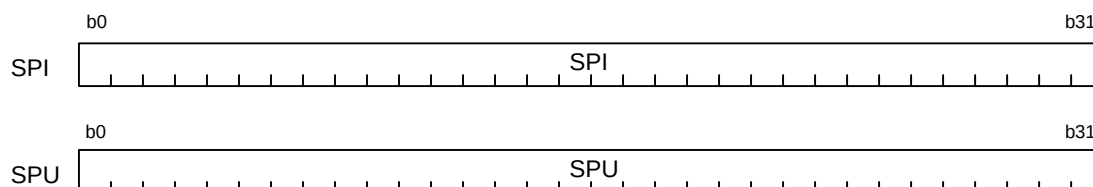
リセット解除時、CBRは"H'0000 0000"です。



2.4.3 割り込み用スタックポインタ：SPI (CR2)、ユーザー用スタックポインタ：SPU (CR3)

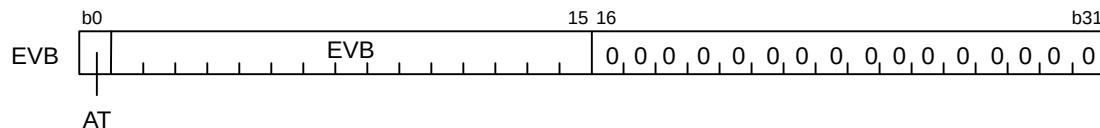
割り込み用スタックポインタ(SPI)、ユーザ用スタックポインタ(SPU)は、現在のスタックポインタのアドレスを保持します。これらのレジスタは、汎用レジスタR15としてアクセスできます。このとき、R15をSPIとして使用するかSPUとして使用するかは、PSWのスタックモードビット(SM)によって切り替わります。

リセット解除時、SPI、SPUは不定です。



2.4.4 EITベクタベースレジスタ :EVB(CR5)

EITベクタベースレジスタ(EVB)は、EITベクタエントリの先頭アドレスを保持します。EITベクタエントリの先頭アドレスの上位16ビットは、このレジスタの上位16ビットの値となります。



<リセット解除時：H'0000 0000>

b	ビット名	機能	R	W
0	AT	アドレス変換モード	R	N
アドレス変換モードビット				
1~15	EVB	EITベクタエントリのA1~A15を設定してください。	R	W
ベクタベースビット				
16~31	何も配置されていません。"0"に固定してください。		0	0

(1) AT (アドレス変換モード) ビット(b0)

このビットは、MMUアドレス変換モードレジスタ (MATM) のアドレス変換モードビット (AT) のコピーで読み出し専用ビットです。

(2) EVB (ベクタベースビット) ビット(b1~b15)

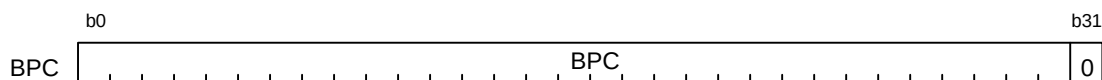
このビットにより、EITベクタエントリの先頭番地A1~A15を設定します。だし、リセット割り込み (RI) ベクタは、EITベクタベースビットの設定に関係なく、"H'0000 0000"に配置されます。

注. EVBレジスタは、リセット直後、1回のみ設定することができます。EVBレジスタへの書き込みは、リセットハンドラの先頭で行ってください。

2.4.5 バックアップPC : BPC (CR6)

バックアップPC (BPC) は、EIT発生時にプログラムカウンタ (PC) の値を退避するためのレジスタです。ビット31は0固定です。

EIT発生時には、発生したEITの種類により「EITの発生したPC値」または「次命令のPC値」がセットされ、「RTE命令」実行時にBPCの値はPCに戻されます。



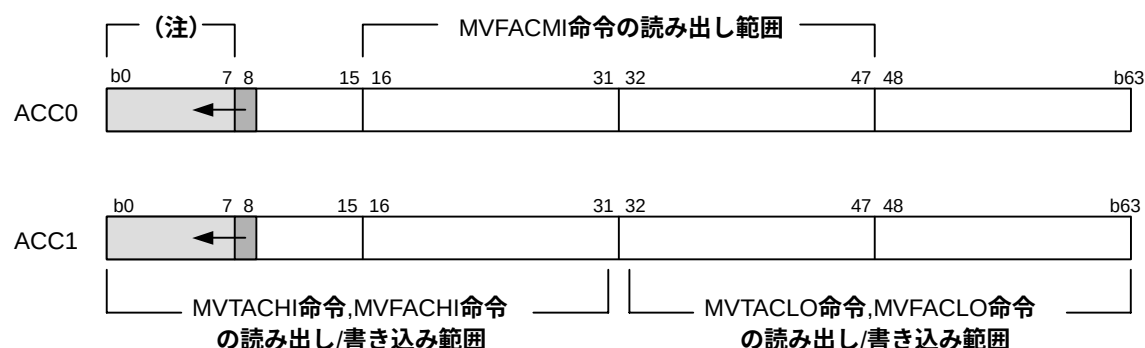
2.5 アキュムレータ

アキュムレータは、DSP機能用命令で使用される56ビットのレジスタでACC0、ACC1の2本あります。アキュムレータは、読み出し時や書き込み時には64ビットのレジスタとして扱われます。この時、アキュムレータのビット0～7の扱いは、読み出し時にはビット8の値を符号拡張し、書き込み時には無視します。また、アキュムレータは乗算命令「MUL」でも使用され、この命令実行の際はアキュムレータACC0,ACC1の値が破壊されるので注意してください。

アキュムレータへの書き込みには「MVTACHI命令」と「MVTACLO命令」を使用します。「MVTACHI命令」は上位側32ビット（ビット0～31）に、「MVTACLO命令」は下位側32ビット（ビット32～63）にデータを書き込みます。

読み出しには「MVFACHI命令」、「MVFACLO命令」、「MVFACMI命令」を使用します。「MVFACHI命令」で上位側32ビット（ビット0～31）、「MVFACLO命令」で下位側32ビット（ビット32～63）、「MVFACMI命令」で中央の32ビット（ビット16～47）のデータをそれぞれ読み出します。

リセット解除時、ACC0、ACC1は不定です。

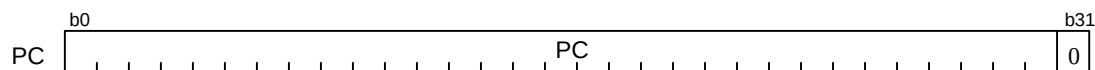


注. ビット0～7は、ビット8の値を符号拡張された値が常に読み出されます。この部分への書き込みは無視されます。

2.6 プログラムカウンタ(PC)

プログラムカウンタ（PC）は32ビットのカウンタで、現在実行中の命令アドレスを保持します。OPSP-CPUの命令は偶数アドレスから始まるため、LSB(ビット31)は"0"になります。

リセット解除時、PCは"H0000 0000"です。



2.7 データフォーマット

2.7.1 バイエンディアン機能

OPSP-CPUはデータフォーマットとして、ビッグエンディアンとリトルエンディアン、いずれかの方式を選択可能なバイエンディアン機能をサポートしています。ビッグエンディアン方式とリトルエンディアン方式の切り替え方法は、LEMOD端子によって切り替えることができます。

リトルエンディアン時の動作については、「付録1 リトルエンディアン時の動作」を参照してください。

2.7.2 データタイプ

OPSP-CPUの命令セットで扱えるデータタイプは、符号付き、または符号なしの 8、16、32ビット整数です。符号付き整数の値は2の補数で表現されます。

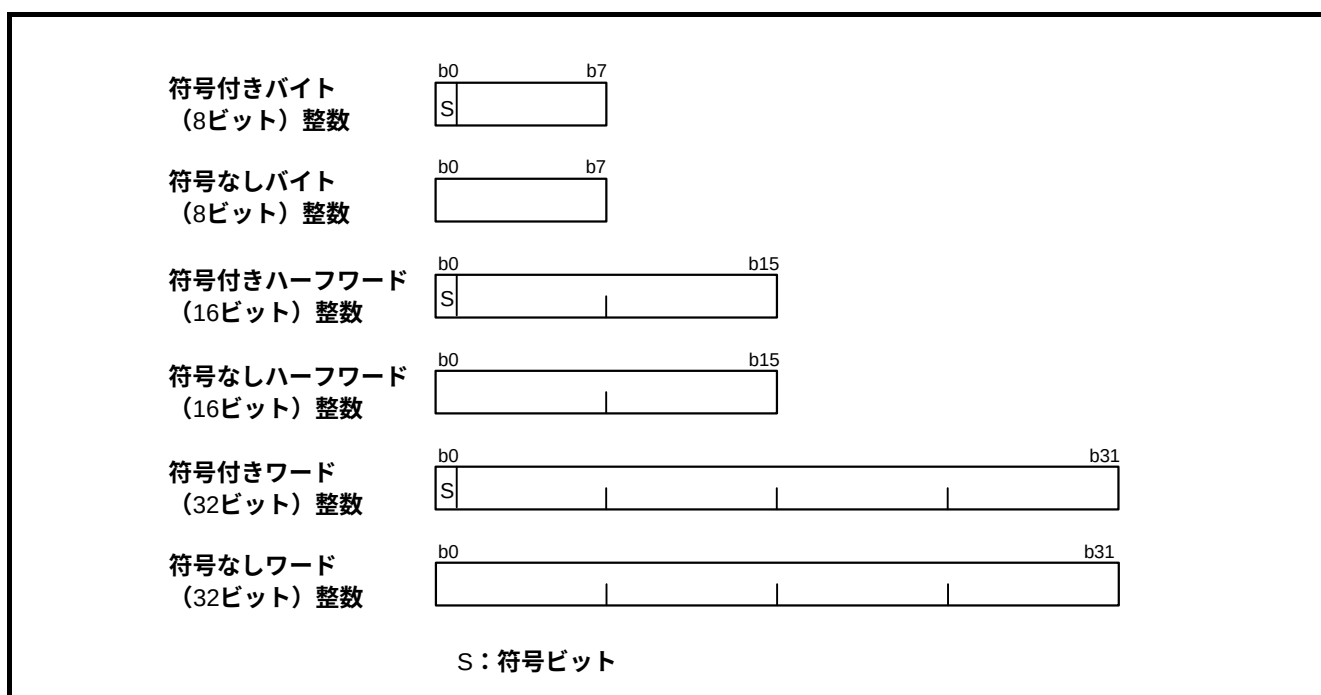


図2.7.1 データタイプ

2.7.3 データのフォーマット

(1) OPSP-CPUレジスタ上のデータフォーマット

OPSP-CPUのレジスタ上でのデータサイズは常にワード（32ビット）です。

メモリ上のバイト（8ビット）、ハーフワード（16ビット）のデータをロードする場合には、ワード（32ビット）データに符号拡張（LDB, LDH命令）またはゼロ拡張（LDUB, LDUH命令）後、レジスタに格納されます。

OPSP-CPUのレジスタ上のデータをメモリにストアする場合は、ST命令ではレジスタ上の32ビットデータ、STH命令ではLSB側の16ビットデータ、またSTB命令ではLSB側8ビットデータをそれぞれメモリにストアします。

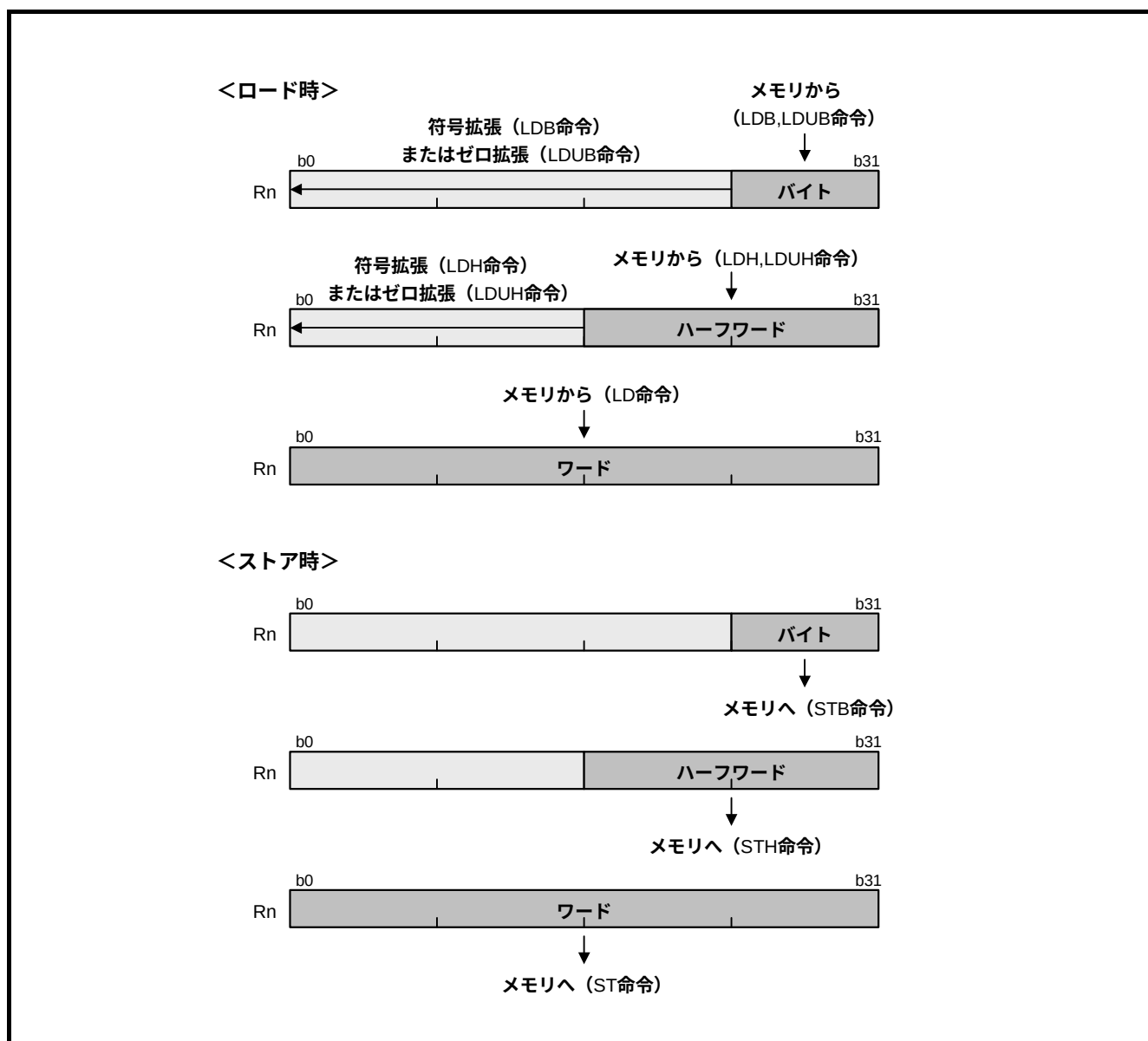


図2.7.2 レジスタ上のデータフォーマット

(2) メモリ上のデータフォーマット

メモリ上でのデータサイズはバイト（8ビット）、ハーフワード（16ビット）、ワード（32ビット）の3種類です。バイトデータは任意のアドレスに配置できますが、ハーフワードデータはハーフワード境界（アドレスの最下位ビットが"0"の番地）、またワードデータはワード境界（アドレスの下位2ビットが"00"の番地）に配置されなければなりません。この境界上にはないメモリデータにアクセスしようとするアドレス例外が発生します。

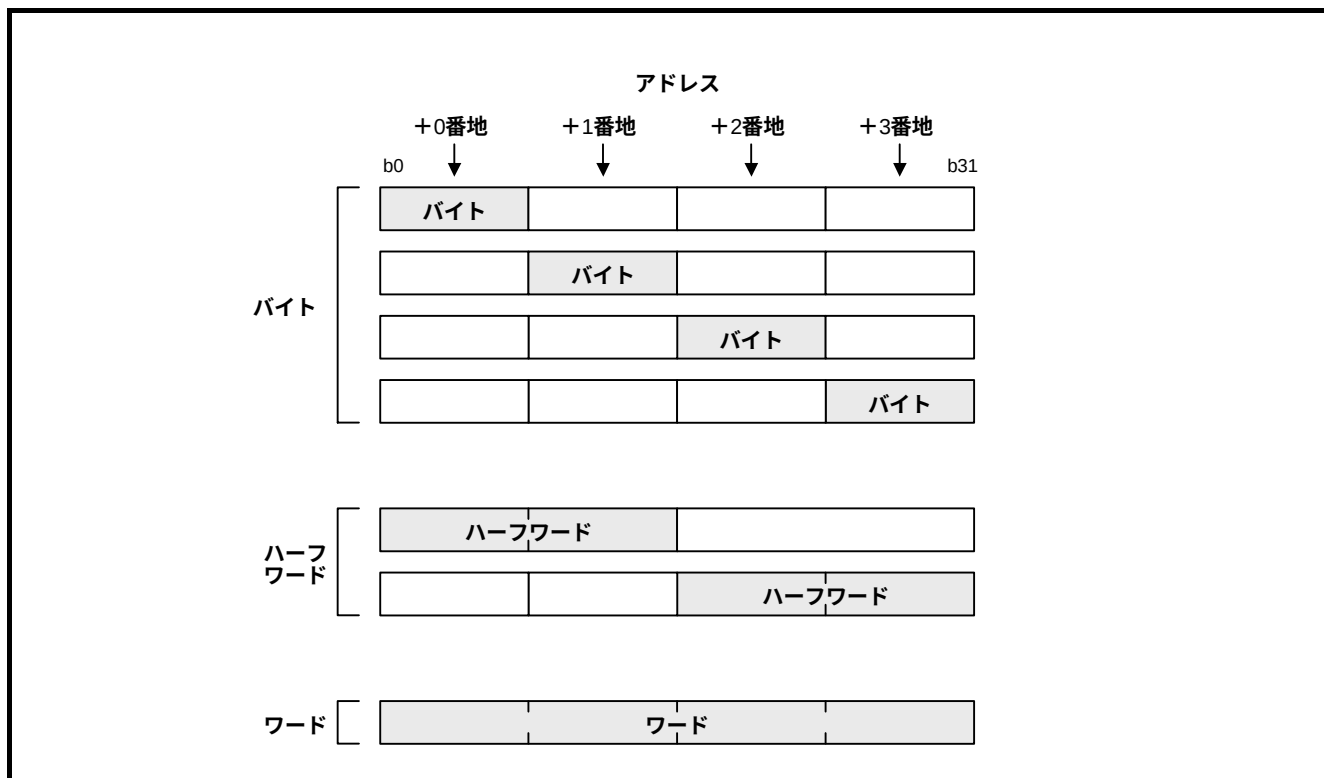


図2.7.3 メモリ上のデータフォーマット

第3章

アドレス空間

3.1 物理アドレス空間

3.1.1 物理アドレス空間概要

図3.1.1にOPSPの物理アドレス空間を示します。H'0000 0000～H'1FFF FFFFの512Mバイトはユーザ空間に割り当てられます。この領域は64Mバイト単位のブロックに分割されており、各ブロックはブロックセレクト信号(BSEL0#～BSEL7#)で選択されます。ただし、ブロック0には2MBの内部空間、14MBの外部領域が割り当てられています。詳細は、「3.1.2 内部空間」を参照してください。

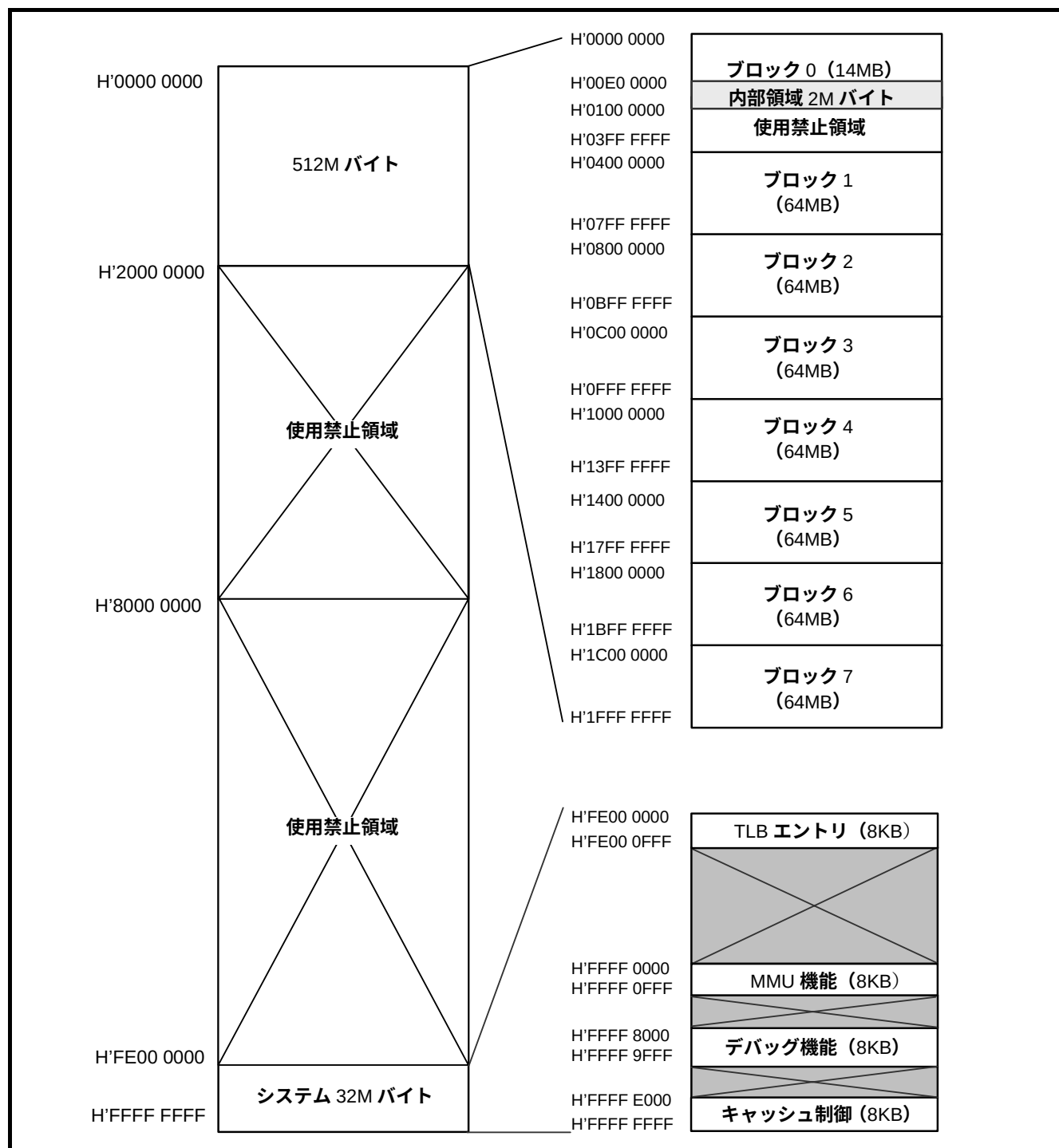


図3.1.1 物理アドレス空間

3.1.2 内部空間

メモリマップのブロック0中の内部空間2Mバイトの領域(H'00E0 0000~H'00FF FFFF)は、内蔵RAM領域/SFR (Special Function Register) 領域です。この領域へアクセスした場合、外部へのアクセス信号は出力されません。

3.1.3 内蔵RAM領域

H'00F0 0000~H'00F0 FFFF番地には、内蔵RAM（64Kバイト）が配置されます。図3.1.2に内蔵RAM/SFR領域のアドレスマップを示します。

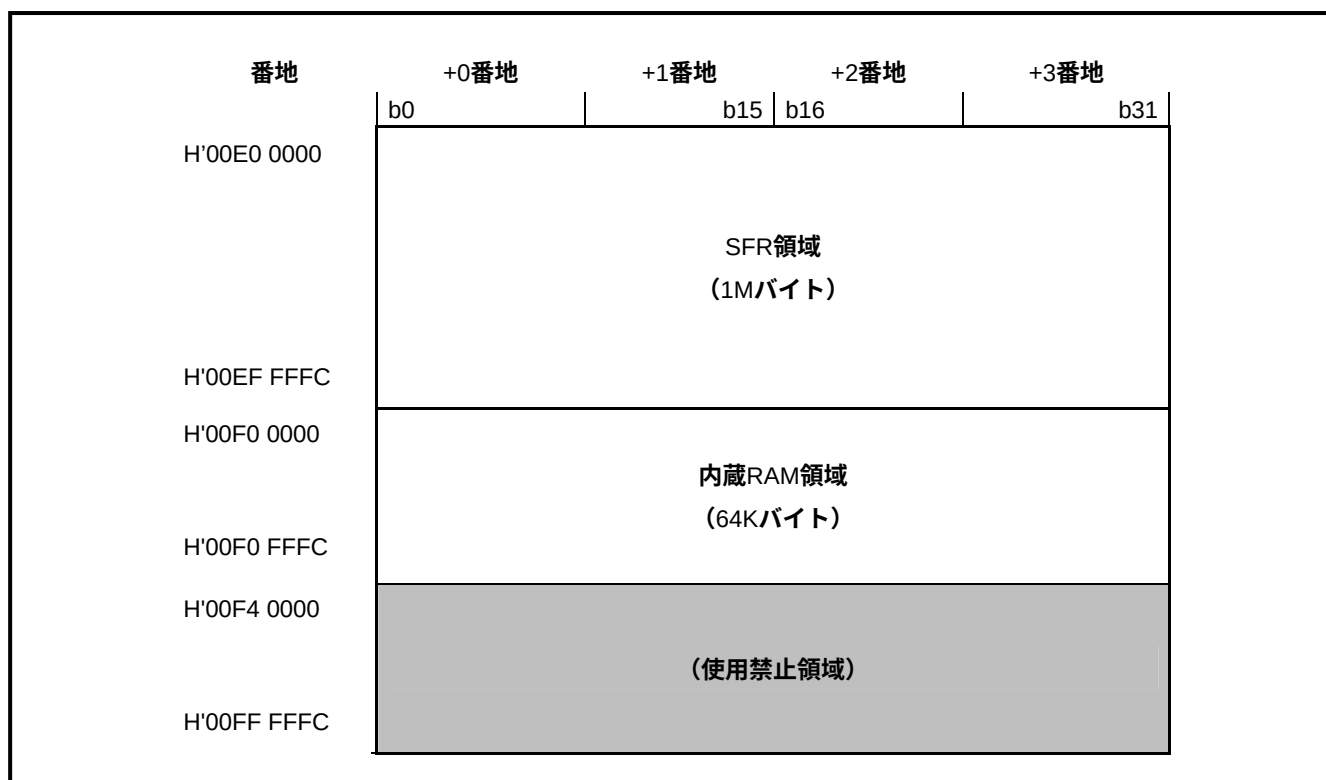


図3.1.2 内蔵RAM領域／SFR（Special Function Register）

3.1.4 SFR(Special Function Registers)領域

H'00E0 0000~H'00EF FFFFはSFR領域です。各周辺I/Oモジュールに4KバイトのSFR領域が割り当てられます。
図3.1.3にSFR領域のアドレスマップ概要を示します。

番地	+0番地	+1番地	+2番地	+3番地
	b0	b15	b16	b31
H'00E0 0000	(使用禁止領域)			
H'00EF 1000	PIO			
H'00EF 1FFC	(使用禁止領域)			
H'00EF 2000	(使用禁止領域)			
H'00EF 2FFC	(使用禁止領域)			
H'00EF 3000	(使用禁止領域)			
H'00EF 3FFC	CPM			
H'00EF 4000	(使用禁止領域)			
H'00EF 4FFC	BSEL			
H'00EF 5000	(使用禁止領域)			
H'00EF 5FFC	SDRAMC			
H'00EF 6000	(使用禁止領域)			
H'00EF 6FFC	(使用禁止領域)			
H'00EF 7000	(使用禁止領域)			
H'00EF 7FFC	DMAC			
H'00EF 8000	(使用禁止領域)			
H'00EF 8FFC	(使用禁止領域)			
H'00EF 9000	(使用禁止領域)			
H'00EF 9FFC	(使用禁止領域)			
H'00EF A000	(使用禁止領域)			
H'00EF AFFC	(使用禁止領域)			
H'00EF B000	(使用禁止領域)			
H'00EF BFFC	(使用禁止領域)			
H'00EF C000	MFT			
H'00EF CFFC	(使用禁止領域)			
H'00EF D000	SIO			
H'00EF DFFC	(使用禁止領域)			
H'00EF E000	(使用禁止領域)			
H'00EF EFFC	(使用禁止領域)			
H'00EF F000	(使用禁止領域)			
H'00EF F000	(使用禁止領域)			
H'00EF FFFC	ICU			

図3.1.3 内蔵レジスタマッピング

3.2 オペレーティングモード

3.2.1 プロセッサモード

OPSP-CPUには、スーパーバイザモードとユーザモードの二つのプロセッサモードがあります。プロセッサモードを用いて、リソースに対するの階層的な保護機構が実現することができます。

各プロセッサモードは、メモリアクセスや実行可能な命令に対する権限を規定しており、スーパーバイザモードはユーザモード対して、より高い権限をもっています。

EIT事象が発生すると、CPUはスーパーバイザモードに移行します。EIT事象が発生する直前のプロセッサモードは、PSWレジスタのBPMビットに記憶されます。RTE命令の実行により、BPMビットに記憶されたプロセッサモードに復帰します。

3.2.2 特権命令

特権命令は、スーパーバイザモードでのみ実行可能な命令です。ユーザモードで特権命令を実行すると、特権命令例外が発生します。OPSP-CPUでの特権命令は「RTE命令」、「MVTC命令」、「SETPSW命令」、「CLRPSW命令」です。

3.3 仮想アドレス空間

OPSP-CPUの仮想アドレスは常に32ビット幅で扱われ、4Gバイトのリニアな空間を提供します。

アドレス変換モードをオンにすると、MMUのアドレス変換機構により仮想アドレスから物理アドレスへの変換が行われます。

3.3.1 アドレス変換モード

【アドレス変換モードオン】

仮想アドレスを物理アドレスに変換します。MMUは、領域によって、ハードウェアマッピングまたは、TLBマッピングを行います。

アドレス変換モードは、MMUアドレス変換モードレジスタ（MATM）のアドレス変換モードビット（T）で指定します。

T=0：アドレス変換モードをオフに設定

T=1：アドレス変換モードをオンに設定

詳しくは、「第4章 メモリマネジメントユニット」を参照してください。

【アドレス変換モードオフ】

MMUはアドレス変換を行いません。

3.3.2 スーパーバイザモードの仮想アドレス空間

表3.3.1にスーパーバイザモードの仮想アドレス空間の概要を、図3.3.1、図3.3.2にスーパーバイザモード時のアドレスマップを示します。

表3.3.1 スーパーバイザモードの仮想アドレス空間概要

仮想アドレス領域	アドレス変換オン		アドレス変換オフ	
	マッピング	キャッシュ属性	マッピング	キャッシュ属性
H'0000 0000～ H'7FFF FFFF	TLBマッピング領域 (注)	TLBエントリのノン キャッシュビット 指定	アドレス変換なし	キャッシュメモリ関 連レジスタで指定
H'8000 0000～ H'9FFF FFFF	ハードウェア マッピング領域 H'0000 0000～ H'1FFF FFFF	キャッシュメモリ関 連レジスタで指定		キャッシング不可
H'A000 0000～ H'BFFF FFFF	ハードウェア マッピング領域 H'0000 0000～ H'1FFF FFFF	キャッシング不可		
H'C000 0000～ H'DFFF FFFF	TLBマッピング領域 (注)	TLBエントリのノン キャッシュビット 指定		
H'E000 0000～ H'FFFF FFFF	アドレス変換なし	キャッシング不可		

注. TLBマッピング領域：MMUによるTLBアドレス変換を行います。TLBアドレス変換方式の詳細は、「第4章 メモリマネジメントユニット」を参照してください。

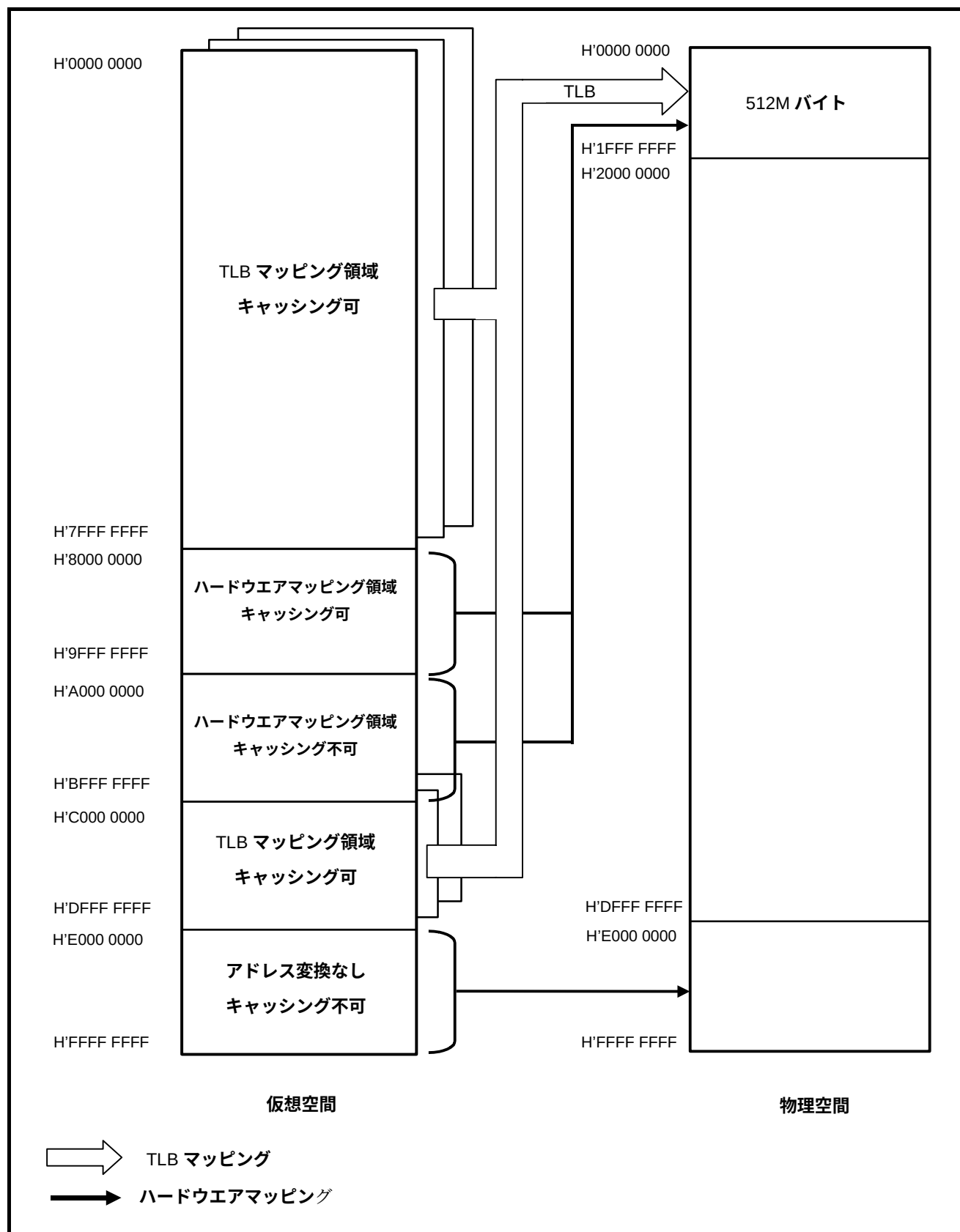


図3.3.1 スーパーバイザモードのアドレスマップ (アドレス変換オン)

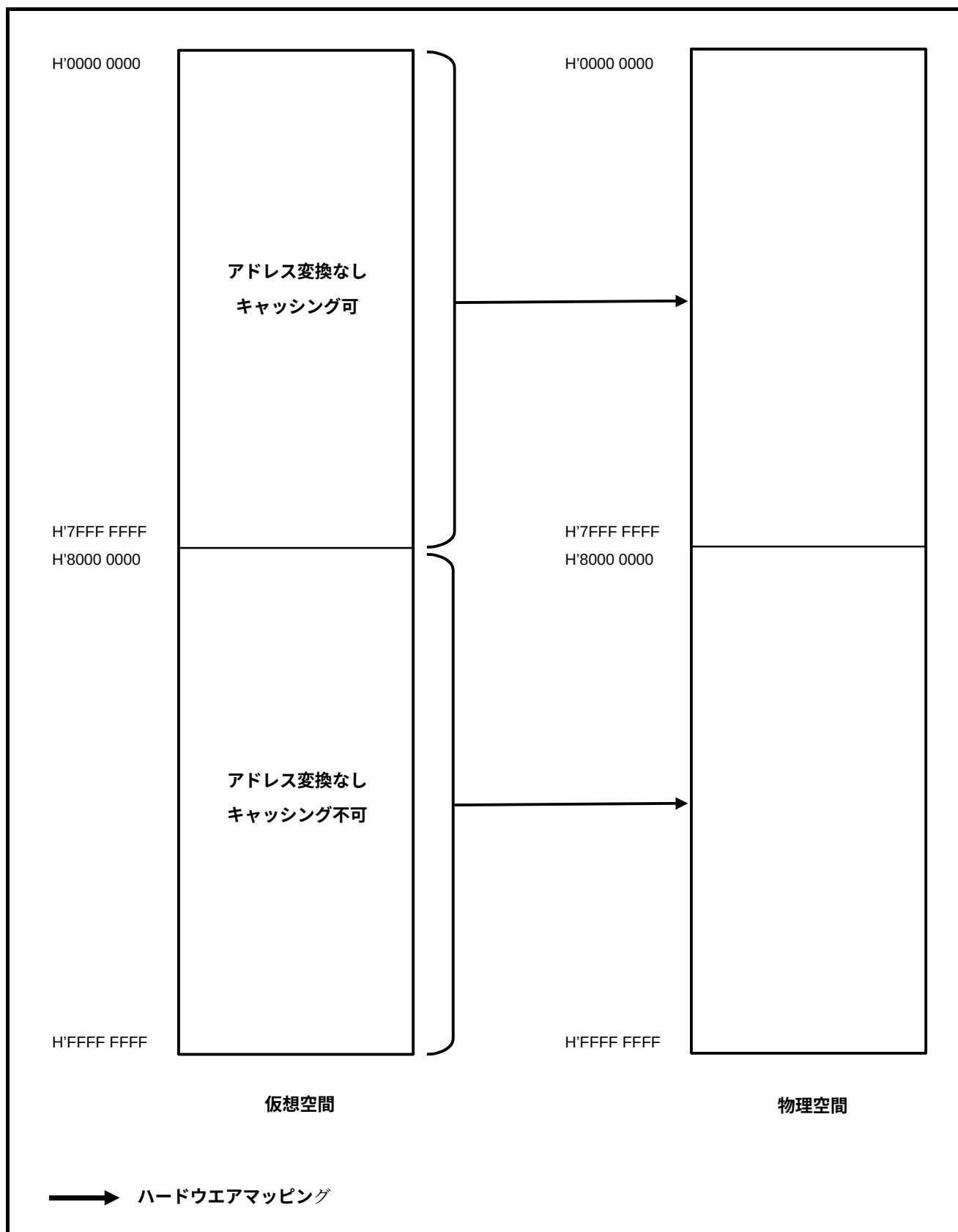


図3.3.2 スーパーバイザモードのアドレスマップ（アドレス変換オフ時）

3.3.3 ユーザモードの仮想アドレス空間

表3.3.2にユーザモードの仮想アドレス空間概要を、図3.3.3、図3.3.4にユーザモード時のアドレスマップを示します。

表3.3.2 ユーザモードの仮想アドレス空間概要

仮想アドレス領域	アドレス変換オン		アドレス変換オフ	
	マッピング	キャッシュ属性	マッピング	キャッシュ属性
H'0000 0000～ H'7FFF FFFF	TLBマッピング領域 (注)	TLBエントリのノンキ ャッシュビット指定	アドレス変換なし	キャッシュメモリ関 連レジスタで指定
H'8000 0000～ H'FFFF FFFF	アクセス例外領域	キャッシング不可	アクセス例外領域	キャッシング不可

注. TLBマッピング領域：MMUによるTLBアドレス変換を行います。TLBアドレス変換方式の詳細は、「第4章 メモリマネジメントユニット」を参照してください。

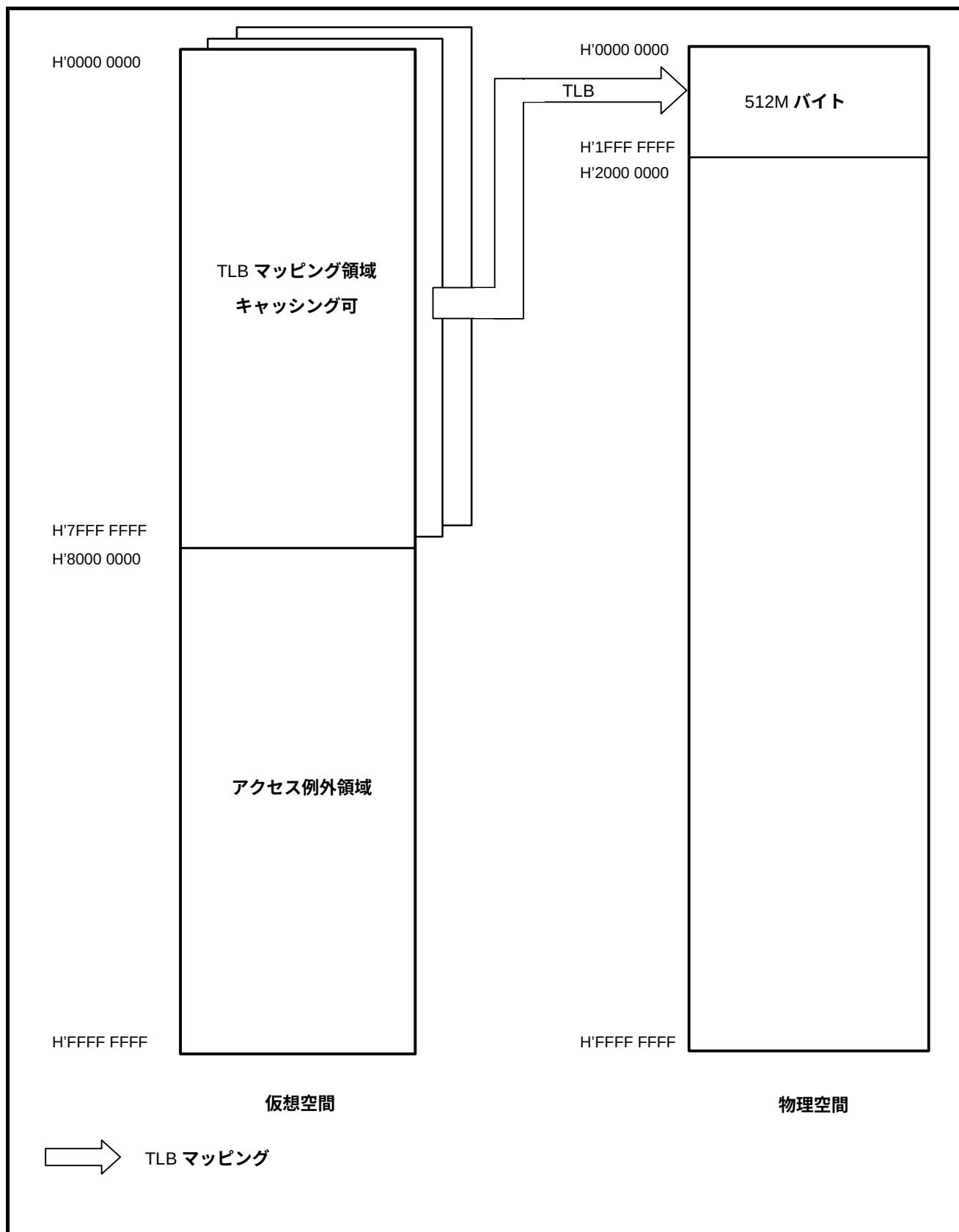


図3.3.3 ユーザモードのアドレスマップ（アドレス変換オン時）

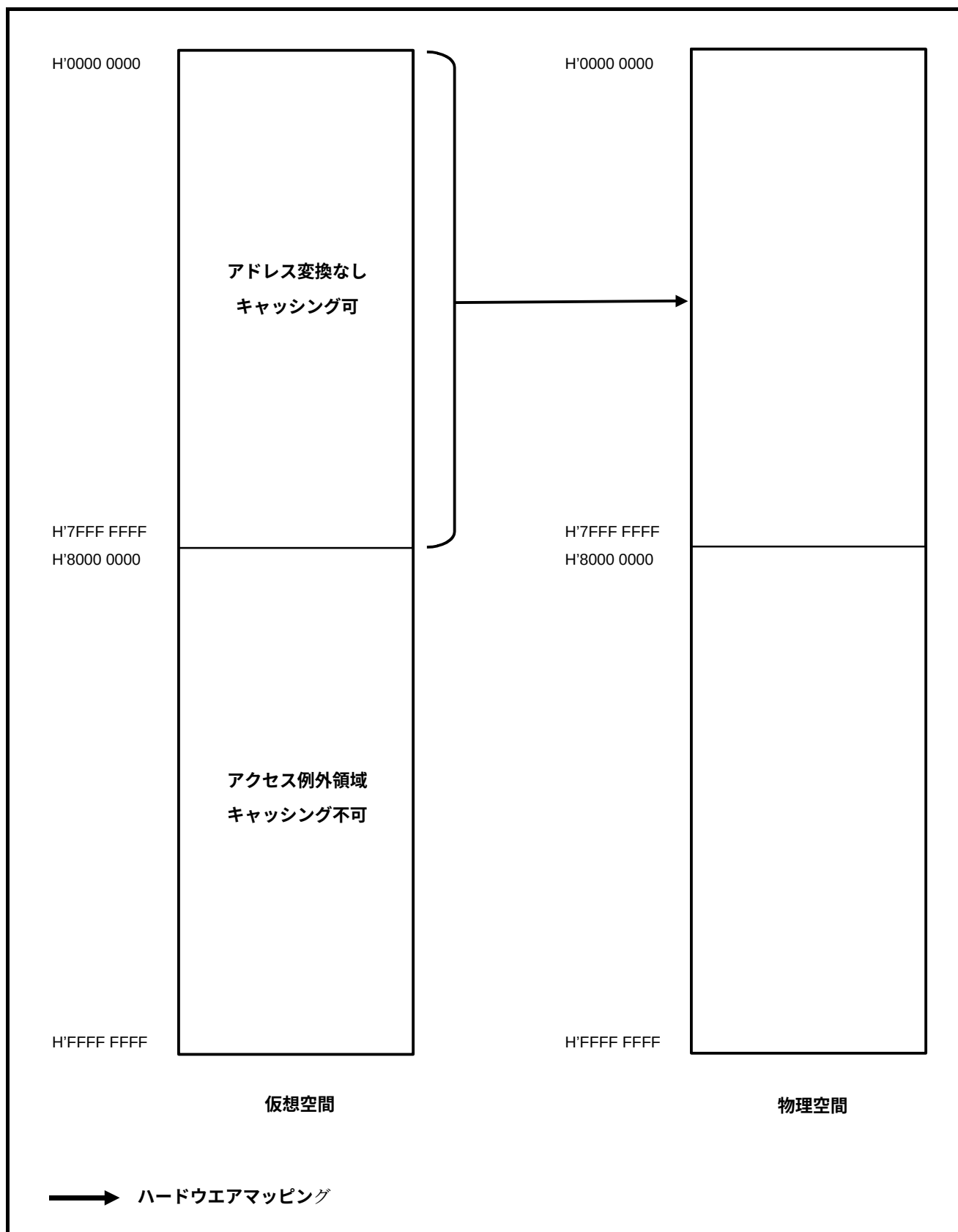


図3.3.4 ユーザモードのアドレスマップ（アドレス変換オフ時）

3.3.4 多重仮想空間

OPSP-CPUは8ビットのアドレス空間ID(ASID)をサポートしており、多重仮想空間を形成します。これにより複数のプロセスが仮想アドレス空間を共有することができます。多重仮想空間を使用する場合は、MMUアドレス空間IDレジスタ（MASID）のアドレス空間IDビット（ASID）に実行中プロセスのアドレス空間IDを設定してください。

3.3.5 記憶保護

ユーザモードで領域H'8000 0000～ H'FFFF FFFFへのアクセスを行うと、アクセス例外が発生します。また、TLBマッピング領域に対しては、TLBエントリタグレジスタのアクセス制御ビット(AC)を用いることにより、ページ毎にアクセス権を制御することができます。詳細は、「第4章 メモリマネジメントユニット」を参照してください。

第4章

メモリマネジメントユニット (MMU)

4.1 メモリマネジメントユニットの概要

OPSP-CPUには、メモリマネジメントユニット (MMU) が内蔵されており、TLB (Translation Buffer) を用いた仮想アドレスと物理アドレスのアドレス変換を行います。アドレス変換はページング方式で、4種類 (4K/16K/64K/4Mバイト) のページサイズをサポートしています。MMUを用いることにより、仮想記憶方式によるメモリ管理を行うことができます。

4.2 TLBアドレス変換方式

4.2.1 TLBアドレス変換

OPSP-CPUのMMUは、TLB (Translation Buffer) を用いたアドレス変換を行います。TLBは仮想-物理アドレス変換情報を保持する高速変換バッファで、命令/データ用それぞれ32エントリあります。TLBには、仮想ページ番号 (VPN)、アドレス空間ID (ASID) とそれに対応した物理ページ番号 (PPN) および属性情報を登録します。

TLBによるアドレス変換は、CPUからのTLBマッピング領域に対する命令フェッチおよびデータアクセス時に行われます。CPUからのTLBマッピング領域に対するアクセス時、アクセスしたページに対する仮想-物理アドレス変換情報がTLBに登録されていれば、その情報から物理アドレスを生成します (TLBヒット)。TLBに変換情報が登録されていなければ、TLBミス例外を発生させます (TLBミス)。TLBミス例外発生時は、ソフトウェアによりTLBエントリの変換情報を更新する必要があります。

TLBによるアドレス変換手順を以下に示します。

(1) 仮想ページ番号フィールドの比較

仮想アドレスとTLB全エントリの仮想ページ番号フィールドとを比較し、一致するエントリを検索します。一致するエントリが複数ある場合は、複数のエントリと一致したことを示すフラグがセットされます。

(2) TLBヒット判定

次の条件をすべて満たす場合、TLBヒットが成立します。これら条件を満たさない場合は、TLBミスとなります。

- ① 仮想アドレスの仮想ページ番号と、TLBエントリの仮想ページ番号フィールドが一致するTLBエントリが存在する場合
- ② ページ番号が一致したTLBエントリの有効ビット (V) が1である場合
- ③ ページ番号が一致したTLBエントリの属性が、グローバルページの場合、または、ページ番号が一致したTLBエントリのアドレス空間ID (ASID) とアドレス空間IDレジスタ (MSID) のアドレス空間ID (ASID) ビットが一致する場合

(3) 判定後の処理

【TLBヒットの場合】

MMUは、TLBエントリに格納されたアドレス空間ID (ASID)、物理ページ番号フィールドとオフセットから、物理アドレスを生成します。

【TLBミスの場合】

TLBミス例外を発生します。TLBミス例外発生時は、ソフトウェアによりTLBエントリの変換情報を更新する必要があります。

4.2.2 TLBの構成

表4.2.1にTLBの構成、図4.2.1にTLBのブロック図を示します。TLBには命令フェッチ時の変換に使用する命令TLBとデータアクセス時の変換に使用するデータTLBがあります。

表4.2.1 TLBの構成

項目	概要	
	命令TLB	データTLB
エントリ数	32	32
エントリ構成	タグ部 28bit データ部 27bit	タグ部 28bit データ部 27bit
マッピング方式	フルアソシアティブ	フルアソシアティブ

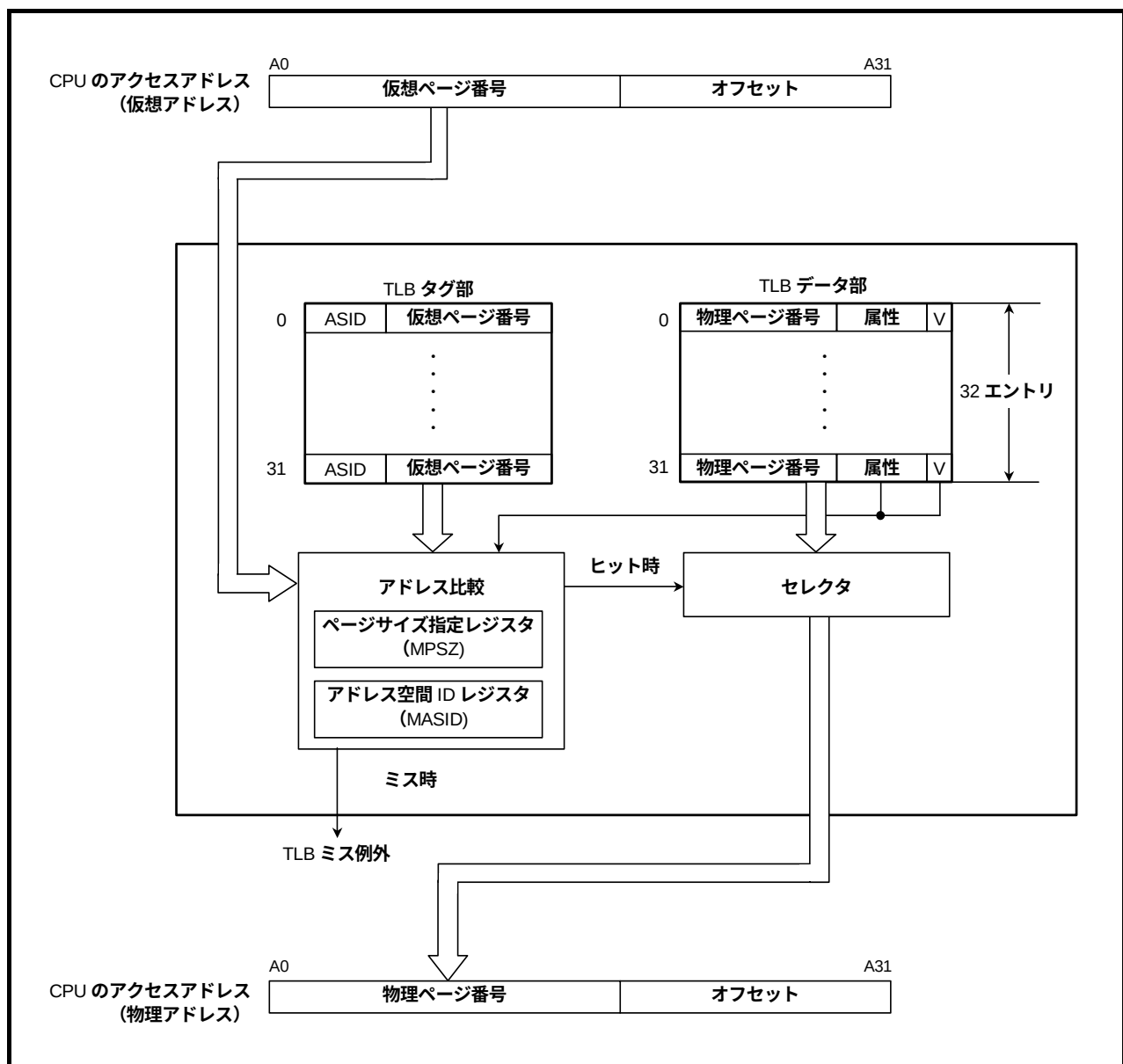


図4.2.1 TLBブロック図

4.2.3 ページ番号とアドレス

ページ番号は、ページサイズによりその有効ビット数が異なります。図4.2.2にページ番号とアドレスの関係を示します。

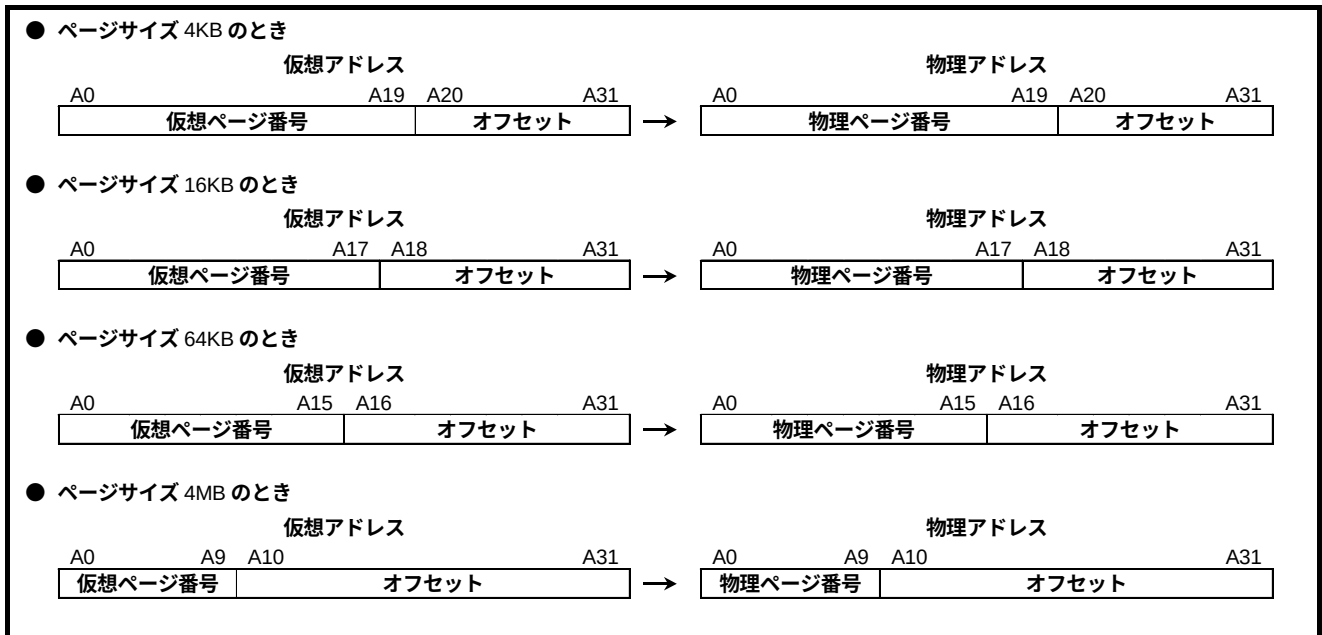


図4.2.2 ページ番号とアドレス

4.3 TLB エントリ関連レジスタ

以下にTLBエントリ関連のレジスタマッピングと各レジスタについて説明します。

TLBエントリのレジスタマッピング

番地	b0	+0番地	b7	b8	+1番地	b15	b16	+2番地	b23	b24	+3番地	b31
H'FE00 0000	命令TLBエントリ0タグレジスタ (ITLBTAG0)											
H'FE00 0004	命令TLBエントリ0データレジスタ (ITLBDA0)											
⋮	(省略)											
H'FE00 00F8	命令TLBエントリ31タグレジスタ (ITLBTAG31)											
H'FE00 00FC	命令TLBエントリ31データレジスタ (ITLBDA31)											
H'FE00 0100	(使用禁止領域)											
⋮												
H'FE00 03FC												
H'FE00 0400	命令TLB無効エントリ領域 (注)											
⋮												
H'FE00 07FC	データTLBエントリ0タグレジスタ (DTLBTAG0)											
H'FE00 0800												
H'FE00 0804	データTLBエントリ0データレジスタ (DTLBDA0)											
⋮	(省略)											
H'FE00 08F8	データTLBエントリ31タグレジスタ (DTLBTAG31)											
H'FE00 08FC	データTLBエントリ31データレジスタ (DTLBDA31)											
H'FE00 0900	(使用禁止領域)											
⋮												
H'FE00 0BFC	データTLB無効エントリ領域 (注)											
H'FE00 0C00												
⋮												
H'FE00 0FFC												

注. 読み出し時"0"、書き込みは無効です。

4.3.1 命令TLBエントリタグレジスタ

命令TLBエントリ0タグレジスタ (ITLBTAG0)

<アドレス: H'FE00 0000>

↓

↓

命令TLBエントリ31タグレジスタ (ITLBTAG31)

<アドレス: H'FE00 00F8>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
VPN															
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
ASID															
?	?	?	?	0	0	0	0	?	?	?	?	?	?	?	?

※ワード (32ビット) アクセスのみ可能

<リセット解除時: 不定>

b	ビット名	機能	R	W
0~19	VPN 仮想ページ番号ビット	仮想ページ番号	R	W
20~23	何も配置されていません。"0"に固定してください。		0	0
24~31	ASID アドレス空間IDビット	アドレス空間ID	R	W

命令TLBエントリタグレジスタには、CPUの命令フェッチ時の仮想アドレスから物理アドレスへのアドレス変換に使用するTLBエントリタグ情報を設定します。

(1) VPN (仮想ページ番号) ビット (b0~b19)

このビットにより、仮想ページ番号を設定します。

(2) ASID (アドレス空間ID) ビット (b24~b31)

このビットにより、アドレス空間IDを設定します。

4.3.2 命令TLBエントリデータレジスタ

命令TLBエントリ0データレジスタ (ITLBDATA0)

<アドレス: H'FE00 0004>

↓

命令TLBエントリ31データレジスタ (ITLBDATA31)

<アドレス: H'FE00 00FC>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	?	?	?	?	?	?	?	PPN	?	?	?	?	?	?	?
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
?	?	?	?	0	0	0	0	N	?	AC	?	L	G	V	0

※ワード (32ビット) アクセスのみ可能

<リセット解除時: 不定>

b	ビット名	機能	R	W
0	何も配置されていません。"0"に固定してください。		0	0
1~19	PPN 物理ページ番号ビット	物理ページ番号	R	W
20~23	何も配置されていません。"0"に固定してください。		0	0
24	N キャッシュ制御ビット	0: キャッシュブル 1: ノンキャッシュブル	R	W
25~27	AC アクセス制御ビット	AC[0] 0: 読み出し禁止 1: 読み出し許可 AC[1] 0: 書き込み禁止 1: 書き込み許可 AC[2] 0: 実行禁止 1: 実行許可	R	W
28	L ラージページビット	0: 非ラージページ 1: ラージページ	R	W
29	G グローバルページビット	0: ローカルページ 1: グローバルページ	R	W
30	V 有効ビット	0: エントリ無効 1: エントリ有効	R	W
31	何も配置されていません。"0"に固定してください。		0	0

命令TLBエントリデータレジスタには、CPUの命令フェッチ時の仮想アドレスから物理アドレスへのアドレス変換に使用するTLBエントリデータ情報を設定します。

(1) PPN (物理ページ番号) ビット (b0~b19)

このビットにより、物理ページ番号を設定します。b1~b2は、"0"を設定してください。

物理ページ番号 (PPN) はページサイズ情報により表4.3.1に示すビットが有効となり、それ以外のビットは書き込み時"0"にマスクされます。

ページサイズは、TLBエントリデータ登録時の以下のページサイズ情報により決定されます。

- ・ページサイズ指定レジスタ (MPSZ) のページサイズビット (PSZ)
- ・TLBエントリデータレジスタのラージページ (L) ビット

表4.3.1 物理ページ番号有効ビット

ページサイズ	物理ページ番号 有効ビット	ラージページ (L) ビット 設定	ページサイズ指定レジスタ (MPSZ) 設定
4KB	PPN[1:19]	0	PSZ="00"
16KB	PPN[1:17]	0	PSZ="01"
64KB	PPN[1:15]	0	PSZ="10"
4MB	PPN[1:9]	1	無効

(2) N (キャッシュ属性) ビット (b24)

このビットにより、各エントリに対応するページのキャッシュ属性を設定します。

(3) AC (アクセス制御) ビット (b25~b27)

このビットにより、各エントリに対応するページのアクセス制御を設定します。

(4) L (ラージページ) ビット (b28)

このビットにより、各エントリに対応するページのラージページ属性を設定します。このビットを"0"にクリアした場合は、ページサイズ指定レジスタ (MPSZ) のページサイズビット (PSZ) の値をページサイズとして使用します。このビットを"1"にセットした場合は、ページサイズ4MBのページとして使用します。

(5) G (グローバルページ) ビット (b29)

このビットにより、各エントリに対応するページのグローバルページ属性を設定します。このビットを"0"にクリアした場合はローカルページとして使用し、TLB参照時にアドレス空間ID (ASID) が有効になります。このビットを"1"にセットした場合は、グローバルページとして使用し、TLB参照時にアドレス空間ID (ASID) を無視します。

(6) V (有効) ビット (b30)

このビットにより、各エントリの有効/無効を設定します。

TLBオペレーションレジスタ (MTOP) により命令TLBエントリのインバリデートを行った場合、このビットは"0"にクリアされます。

4.3.3 データTLBエントリタグレジスタ

データTLBエントリ0タグレジスタ (DTLBTAG0)

<アドレス: H'FE00 0800>

↓

↓

データTLBエントリ31タグレジスタ (DTLBTAG31)

<アドレス: H'FE00 08F8>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
VPN															
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
ASID															
?	?	?	?	0	0	0	0	?	?	?	?	?	?	?	?

※ワード (32ビット) アクセスのみ可能

<リセット解除時: 不定>

b	ビット名	機能	R	W
0~19	VPN 仮想ページ番号ビット	仮想ページ番号	R	W
20~23	何も配置されていません。"0"に固定してください。		0	0
24~31	ASID アドレス空間IDビット	アドレス空間ID	R	W

データTLBエントリタグレジスタには、CPUのデータアクセス時の仮想アドレスから物理アドレスへのアドレス変換に使用するTLBエントリタグ情報を設定します。

(1) VPN (仮想ページ番号) ビット (b0~b19)

このビットにより、仮想ページ番号を設定します。

(2) ASID (アドレス空間ID) ビット (b24~b31)

このビットにより、アドレス空間IDを設定します。

4.3.4 データTLBエントリデータレジスタ

データTLBエントリ0データレジスタ (DTLBDATA0)

<アドレス: H'FE00 0804>

データTLBエントリ31データレジスタ (DTLBDATA31)

<アドレス: H'FE00 08FC>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	?	?	?	?	?	?	?	PPN	?	?	?	?	?	?	?
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
?	?	?	?	0	0	0	0	N	?	AC	?	L	G	V	0

※ワード (32ビット) アクセスのみ可能

<リセット解除時: 不定>

b	ビット名	機能	R	W
0	何も配置されていません。"0"に固定してください。		0	0
1~19	PPN 物理ページ番号ビット	物理ページ番号	R	W
20~23	何も配置されていません。"0"に固定してください。		0	0
24	N キャッシュ制御ビット	0: キャッシュブル 1: ノンキャッシュブル	R	W
25~27	AC アクセス制御ビット	AC[0] 0: 読み出し禁止 1: 読み出し許可 AC[1] 0: 書き込み禁止 1: 書き込み許可 AC[2] 0: 実行禁止 1: 実行許可	R	W
28	L ラージページビット	0: 非ラージページ 1: ラージページ	R	W
29	G グローバルページビット	0: ローカルページ 1: グローバルページ	R	W
30	V 有効ビット	0: エントリ無効 1: エントリ有効	R	W
31	何も配置されていません。"0"に固定してください。		0	0

データTLBエントリデータレジスタには、CPUのデータアクセス時の仮想アドレスから物理アドレスへのアドレス変換に使用するTLBエントリデータ情報を設定します。

(1) PPN (TLB物理ページ番号) ビット (b0~b19)

このビットにより、TLB物理ページ番号を設定します。b1~b2は、"0"を設定してください。

TLB物理ページ番号 (PPN) はページサイズ情報により表4.3.2に示すビットが有効となり、それ以外のビットは書き込み時"0"にマスクされます。

ページサイズは、TLBエントリデータ登録時の以下のページサイズ情報により決定されます。

- ・ページサイズ指定レジスタ (MPSZ) のページサイズ (PSZ) ビット
- ・TLBエントリデータレジスタのラージページ (L) ビット

表4.3.2 物理ページ番号有効ビット

ページサイズ	物理ページ番号 有効ビット	ラージページ (L) ビット 設定	ページサイズ指定レジスタ (MPSZ) 設定
4KB	PPN[1:19]	0	PSZ="00"
16KB	PPN[1:17]	0	PSZ="01"
64KB	PPN[1:15]	0	PSZ="10"
4MB	PPN[1:9]	1	無効

(2) N (キャッシュ属性) ビット (b24)

このビットにより、各エントリに対応するページのキャッシュ属性を設定します。

(3) AC (アクセス制御) ビット (b25~b27)

このビットにより、各エントリに対応するページのアクセス制御を設定します。

(4) L (ラージページ) ビット (b28)

このビットにより、各エントリに対応するページのラージページ属性を設定します。このビットを"0"にクリアした場合は、ページサイズ指定レジスタ (MPSZ) のページサイズビット (PSZ) の値をページサイズとして使用します。このビットを"1"にセットした場合は、ページサイズ4MBのページとして使用します。

(5) G (グローバルページ) ビット (b29)

このビットにより、各エントリに対応するページのグローバルページ属性を設定します。このビットを"0"にクリアした場合はローカルページとして使用し、TLB参照時にアドレス空間ID (ASID) が有効になります。このビットを"1"にセットした場合は、グローバルページとして使用し、TLB参照時にアドレス空間ID (ASID) を無視します。

(6) V (有効) (ビットb30)

このビットにより、各エントリの有効/無効を設定します。

TLBオペレーションレジスタ (MTOP) によりデータTLBエントリのインバリデートを行った場合、このビットは"0"にクリアされます。

4.4 MMUレジスタ

以下にMMU関連のレジスタマッピングと各レジスタについて説明します。

MMUのレジスタマッピング

番地	b0	+0番地	b7	b8	+1番地	b15	b16	+2番地	b23	b24	+3番地	b31
H'FFFF 0000	アドレスモード変換レジスタ (MATM)											
H'FFFF 0004	ページサイズ指定レジスタ (MPSZ)											
H'FFFF 0008	アドレス空間IDレジスタ (MASID)											
H'FFFF 000C	MMU例外ステータスレジスタ (MESTS)											
H'FFFF 0010	データMMU例外アドレスレジスタ (MDEVA)											
H'FFFF 0014	データMMU例外ページレジスタ (MDEVP)											
H'FFFF 0018	(使用禁止領域)											
H'FFFF 001C	(使用禁止領域)											
H'FFFF 0020	TLBサーチアドレスレジスタ (MSVA)											
H'FFFF 0024	TLBオペレーション指定レジスタ (MTOP)											
H'FFFF 0024	命令TLBインデクスレジスタ (MIDXI)											
H'FFFF 002C	データTLBインデクスレジスタ (MIDXID)											

4.4.1 MMUアドレス変換モードレジスタ

MMUアドレス変換モードレジスタ (MATM)

<アドレス: H'FFFF 0000>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	AT 0	T 0

※バイト (8ビット) /ハーフワード (16ビット) /ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~29	何も配置されていません。"0"に固定してください。		0	0
30	AT アドレス変換モードステータスビット	0: アドレス変換モードオフ 1: アドレス変換モードオン	R	N
31	T アドレス変換モード設定ビット	0: アドレス変換モードオフ要求 1: アドレス変換モードオン要求	R	W

(1) AT (アドレス変換モードステータス) ビット (b30)

このビットにより、アドレス変換モードステータスを参照することができます。

(2) T (アドレス変換モード設定) ビット (b31)

このビットにより、アドレス変換モードを設定します。

アドレス変換モードの切り替えタイミングを以下に示します。

【アドレス変換オンタイミング】

このビットに"1"を書き込んだ後、分岐命令 (RTE命令・トラップ命令・SC命令・SNC命令を除く) による分岐発生で、OPSP-CPUのアドレス変換モードが"オン"に切替わると共に、アドレス変換モードステータスビット (AT) が"1"になります。

【アドレス変換オフタイミング】

このビットに"0"を書き込んだ後、分岐命令 (RTE命令・トラップ命令・SC命令・SNC命令を除く) による分岐発生で、OPSP-CPUのアドレス変換モードが"オフ"に切替わる共に、アドレス変換モードステータスビット (AT) が"0"になります。

注. アドレス変換モードを切り替えるプログラムを作成する場合、MATMレジスタへの書き込み命令 (アドレス変換モード設定ビットの"1"セットまたは"0"クリア) 後、同レジスタの読み出し命令を配置してください。その後、分岐発生でアドレス変換モードが切替わります。

4.4.2 MMUページサイズレジスタ

MMUページサイズレジスタ (MPSZ)

<アドレス: H'FFFF 0004>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

※バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~29	何も配置されていません。"0"に固定してください。		0	0
30,31	PSZ	00: ページサイズ4KB	R	N
	ページサイズビット	01: ページサイズ16KB		
		10: ページサイズ64KB		
		11: 設定禁止		

(1) PSZ (ページサイズ) ビット (b30~b31)

このビットにより、ページサイズを指定します。TLBエントリデータ部のラージページビット (L) を"0"にクリアしている場合 (非ラージページを選択している場合)、このビットで指定したページサイズが対象となるTLBエントリのページサイズとなります。

非ラージページを使用する場合、TLBエントリデータ登録前に、このビットによりページサイズを決定する必要があります。TLBエントリデータ登録後、このビットの内容を変更した場合のアドレス変換動作は保証されません。

4.4.3 MMUアドレス空間IDレジスタ

MMUアドレス空間IDレジスタ (MASID)

<アドレス: H'FFFF 0008>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

※バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~23	何も配置されていません。"0"に固定してください。		0	0
24~31	ASID	アドレス空間ID	R	W
	アドレス空間IDビット			

(1) ASID (アドレス空間IDビット) (b24~b31)

このビットにより、アドレス空間IDを指定します。

OPSP-CPUは8ビットのASID領域を設定可能です。ASIDによりTLBをマルチプロセスで共用できます。

4.4.4 MMU例外ステータスレジスタ

MMU例外ステータスレジスタ (MESTS)

<アドレス: H'FFFF 000C>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
TMH															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
									DRW	DA	DT			IA	IT
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

※ワード (32ビット) アクセスのみ可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0	TMH	0: TLB多重ヒット発生なし 1: TLB多重ヒット発生	R	N
1~24	何も配置されていません。"0"に固定してください。		0	0
25	DRW	0: データリード 1: データライト	R	—
26	DA	【読み出し時】 0: データアクセス例外発生なし 1: データアクセス例外発生 【書き込み時】 0: 書き込み無効 1: データアクセス例外ステータスクリア	R	注1
27	DT	【読み出し時】 0: データTLBミス例外発生なし 1: データTLBミス例外発生 【書き込み時】 0: 書き込み無効 1: データTLBミス例外ステータスクリア	R	注1
28~29	何も配置されていません。"0"に固定してください。		0	0
30	IA	【読み出し時】 0: 命令アクセス例外発生なし 1: 命令アクセス例外発生 【書き込み時】 0: 書き込み無効 1: 命令アクセス例外ステータスクリア	R	注1
31	IT	【読み出し時】 0: 命令TLBミス例外発生なし 1: 命令TLBミス例外発生 【書き込み時】 0: 書き込み無効 1: 命令TLBミス例外ステータスクリア	R	注1

注1. 「0」書き込みは無効、「1」書き込みは保持されない」ことを示します。

(1) TMH (TLB多重ヒット発生) ビット (b0)

このビットにより、命令フェッチ、データアクセス、サーチ起動時のTLB多重ヒット発生状態を参照することができます。TLB多重ヒット（複数のエントリに対してTLBヒットを検出）が発生した場合、このビットは"1"にセットされます。

(2) DRW (データリードライト) ビット (b25)

このビットにより、データアクセスによるMMU例外（データTLBミス例外またはデータアクセス例外）が発生したアクセスのリード／ライト属性を示します。このビットはデータアクセス例外発生ビット（DA）またはデータTLBミス例外発生ビット（DT）が"1"の場合のみ有効です。

データアクセス例外発生ビット（DA）またはデータTLBミス例外発生ビット（DT）が"0"にクリアされた場合、このビットも"0"にクリアされます。

(3) DA (データアクセス例外発生) ビット (b26)

このビットにより、データアクセス例外発生状態を示します。

(4) DT (データTLBミス例外発生) ビット (b27)

このビットにより、データTLBミス例外発生状態を示します。

(5) IA (命令アクセス例外発生) ビット (b30)

このビットにより、命令アクセス例外発生状態を示します。

(6) IT (命令TLBミス例外発生) ビット (b31)

このビットにより、命令TLBミス例外発生状態を示します。

4.4.5 データMMU例外アドレスレジスタ

データMMU例外アドレスレジスタ (MDEVA)

<アドレス: H'FFFF 0010>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
DEVA															
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?

※ワード（32ビット）アクセスのみ可能

<リセット解除時: 不定>

b	ビット名	機能	R	W
0~31	DEVA	データMMU例外仮想アドレス	R	N
データMMU例外仮想アドレスビット				

(1) DEVA（データMMU例外仮想アドレス）ビット（b0~b31）

データアクセスによるMMU例外（データTLBミス例外またはデータアクセス例外）が発生した仮想アドレスを示します。

4.4.6 データMMU例外ページレジスタ

データMMU例外ページレジスタ (MDEVP)

<アドレス: H'FFFF 0014>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
DEVN															
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
ASID															
?	?	?	?	0	0	0	0	0	0	0	0	0	0	0	0

※ワード（32ビット）アクセスのみ可能

<リセット解除時: 不定>

b	ビット名	機能	R	W
0~19	DEVN データMMU例外仮想ページ 番号ビット	データMMU例外仮想ページ番号	R	N
20~23	何も配置されていません。"0"に固定してください。		0	0
24~31	ASID アドレス空間IDビット	アドレス空間ID	R	N

(1) DEVN（データMMU例外仮想ページ番号）ビット（b0~b19）

データアクセスによるMMU例外（データTLBミス例外またはデータアクセス例外）を発生した仮想ページ番号を示します。

データMMU例外ページレジスタ（MDEVA）のMDEVAビットの上位20ビットと同じ値を示します。

(2) ASID（アドレス空間ID）ビット（b24~b31）

データアクセスによるMMU例外（データTLBミス例外またはデータアクセス例外）を発生したアドレス空間IDを示します。

アドレス空間IDレジスタ（MASID）のMASIDビットと同じ値を示します。

4.4.7 TLBサーチ仮想アドレスレジスタ

TLBサーチ仮想アドレスレジスタ (MSVA)

<アドレス: H'FFFF 0020>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
SVN															
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
SASID															
?	?	?	?	0	0	0	0	0	0	0	0	0	0	0	0

※ワード（32ビット）アクセスのみ可能

<リセット解除時：不定>

b	ビット名	機能	R	W
0~19	SVN TLBサーチオペレーション ページ番号ビット	TLBサーチオペレーション用ページ番号	R	W
20~23	何も配置されていません。"0"に固定してください。		0	0
24~31	SASID TLBサーチオペレーション アドレス空間IDビット	TLBサーチオペレーションアドレス空間ID	R	W

(1) SVA (TLBサーチオペレーションページ番号) ビット (b0~b19)

TLBサーチオペレーションで、TLBエントリタグレジスタの仮想ページ番号 (VPN) と比較するページ番号を設定します。

(2) SASID (アドレス空間ID) ビット (b24~b31)

TLBサーチオペレーションで、TLBエントリタグレジスタのアドレス空間ID (ASID) と比較するアドレス空間IDを設定します。

4.4.8 TLBオペレーションレジスタ

TLBオペレーションレジスタ (MTOP)

<アドレス: H'FFFF 0024>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TOP 0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	0	0	0	0	INVI 0	INVD 0	0	S 0

※ワード (32ビット) アクセスのみ可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~14	何も配置されていません。"0"に固定してください。		0	0
15	TOP	【読み出し時】	R	0
	TLBオペレーションステータス	0: TLBへのアクセス可能		
	ビット	1: TLBへのアクセス禁止		
16~27	何も配置されていません。"0"に固定してください。		0	0
28	INVI	【読み出し時】	0	W
	命令TLBインバリデートビット	0: 読み出し固定		
		【書き込み時】		
		0: 何もしない		
		1: 命令TLBエントリのインバリデートを行う		
29	INVD	【読み出し時】	0	W
	データTLBインバリデート	0: 読み出し固定		
	ビット	【書き込み時】		
		0: 何もしない		
		1: データTLBエントリのインバリデートを行う		
30	何も配置されていません。"0"に固定してください。		0	0
31	S	【読み出し時】	0	W
	TLBサーチオペレーション	0: 読み出し固定		
	ビット	【書き込み時】		
		0: 何もしない		
		1: TLBのサーチオペレーションを行う		

(1) TOP (TLBオペレーションステータス) ビット (b15)

このビットにより、ユーザがTLBアクセス可能であるかどうかを参照することができます。

TLBインバリデート実行中やTLBサーチオペレーション実行中などのハードウェアによるTLB操作中、ソフトウェアによるTLBアクセスは禁止です。

MMU制御レジスタの設定後及びTLBエントリの設定後は必ずこのビットが"0"であることを確認してから、TLBエントリ領域へのアクセスを行ってください。同様に、TLBサーチ結果を参照する場合も、このビットが"0"であることを確認してから、命令TLBインデックスレジスタ (MIDX1) とデータTLBインデックスレジスタ (MIDX0) にアクセスしてください。

(2) INVI (命令TLBインバリデート起動) ビット (b28)

このビットを"1"にセットすることにより、MMUは命令TLB全エントリのインバリデート（無効化）操作を行い、命令TLBエントリデータレジスタの有効ビット（V）を"0"にクリアします。

(3) INV D (データTLBインバリデート起動) ビット (b29)

このビットを"1"にセットすることにより、MMUはデータTLB全エントリのインバリデート（無効化）操作を行い、データTLBエントリデータレジスタの有効ビット（V）を"0"にクリアします。

(4) S (TLBサーチオペレーション起動) ビット (b31)

このビットを"1"にセットすることにより、MMUはTLBサーチオペレーションを行います。1回の起動で命令TLBとデータTLBの双方をサーチします。TLBサーチアドレスレジスタ（MSVA）で指定された仮想ページアドレスとアドレス空間IDと、各エントリのTLBタグ内の仮想アドレス、アドレス空間IDとの比較を行い、両者が一致するエントリをサーチします。サーチ結果は、命令TLBインデクスレジスタ（MIDX I）とデータTLBインデクスレジスタ（MIDX D）にセットされます。

4.4.9 命令TLBインデクスレジスタ

命令TLBインデクスレジスタ (MIDXI)

<アドレス: H'FFFF 0028>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
IEB															
1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
					INE	IDXI									
0	0	0	0	0	1	?	?	?	?	?	?	?	0	0	0

※ワード (32ビット) アクセスのみ可能

<リセット解除時: 不定>

b	ビット名	機能	R	W
0~20	IEB 命令TLBエントリベースビット	命令TLBエントリアドレスの上位ビットを示します	R	—
21	INE 命令TLBノーエントリビット	0: 命令TLB一致エントリあり 1: 命令TLB一致エントリなし	R	0
22~28	IDXI 命令TLBエントリインデクス ビット	命令TLBエントリインデクス	R	0
29~31	何も配置されていません。"0"に固定してください。		0	0

(1) IEB (命令TLBエントリベース) ビット (b0~b20)

このビットは、命令TLBエントリアドレスの上位ビット (A0~A20) を示します。

TLBサーチを起動した場合、もしくは、命令TLBミス例外、命令アクセス例外が発生した場合、このレジスタをワード (32ビット) 参照することにより、該当する命令TLBエントリアドレス (H'FE00 0000~H'FE00 00FC) として使用することが可能です。一致エントリが無い場合 (INEビットが"1"の場合) は、命令TLBエントリ無効領域 (H'FE0 0 0400~H'FE00 07FC) を示すアドレスになります。

(2) INE (命令TLBノーエントリ) ビット (b21)

このビットは、TLBサーチを起動した場合、もしくは、命令TLBミス例外、命令アクセス例外が発生した場合に、該当するエントリが命令TLBエントリ内に存在するかどうかを示します。

【TLBサーチを起動した場合】

命令TLBサーチのヒット／ミス結果を示します。命令TLBサーチの結果、一致エントリがなければ、このビットは"1"にセットされます。

【命令TLBミス例外が発生した場合】

命令TLBミス例外が発生した場合、このビットは"1"にセットされます。

【命令アクセス例外が発生した場合】

命令TLBに一致エントリが存在し、かつ、TLBエントリデータ部のアクセス制御 (AC) ビットによりアクセス例外が発生した場合、このビットは"0"にクリアされます。ユーザモードにおける、アクセス禁止領域アクセスに対するアクセス例外の場合、このビットは"1"にセットされます。

(3) IDX1 (命令TLBエントリインデクス) ビット (b22~b28)**【TLBサーチを起動した場合】**

命令TLBエントリでサーチヒットしたエントリインデクスを保持します。

【命令アクセス例外が発生した場合】

命令アクセス例外が発生したエントリのインデクスを保持します。

注1.このレジスタは、最後にサーチ実行または命令MMU例外が発生したときの情報を格納します。サーチ実行、またはMMU例外発生後に、次のアクセスで意図せずMMU例外が発生した場合でも、情報が上書きされます。

注2.サーチ起動時に命令TLBにおいて多重ヒット状態が発生した場合、TMH (多重ヒットビット) が"1"に設定されます。このとき、命令TLBノーエントリ (INE) ビットには"0"が設定され、命令TLBエントリインデクスビット (IDX1) は不定になります。

注3.TLBオペレーションレジスタ (MTOP) のTLBオペレーションステータスビット (TOP) で、TLBサーチ終了を確認してから、命令インデクスレジスタ (MIDX1) をリードしてください。

4.4.10 データTLBインデクスレジスタ

データTLBインデクスレジスタ (MIDXD)

<アドレス: H'FFFF 002C>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
DEB															
1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
					DNE	IDX									
0	0	0	0	1	1	?	?	?	?	?	?	?	0	0	0

※ワード (32ビット) アクセスのみ可能

<リセット解除時: 不定>

b	ビット名	機能	R	W
0~20	DEB データTLBエントリベース ビット	データTLBエントリアドレスの上位ビットを示します	R	—
21	DNE データTLBノーエントリビット	0: データTLB一致エントリあり 1: データTLB一致エントリなし	R	0
22~28	IDXD データTLBエントリインデクスビット	データTLBエントリインデクス	R	0
29~31	何も配置されていません。"0"に固定してください。		0	0

(1) DEB (データTLBエントリベース) ビット (b0~b20)

このビットは、データTLBエントリアドレスの上位ビット (A0~A20) を示します。

TLBサーチを起動した場合、もしくは、データTLBミス例外、データアクセス例外が発生した場合、このレジスタをワード (32ビット) 参照することにより、該当するデータTLBエントリアドレス (H'FE00 0800~H'FE00 08FC) として使用することが可能です。一致エントリが無い場合 (DNEビットが"1"の場合) は、データTLBエントリ無効領域 (H'FE00 0C00~H'FE00 0FFC) を示すアドレスになります。

(2) DNE (データTLBノーエントリ) ビット (b21)

このビットは、TLBサーチを起動した場合、もしくは、データTLBミス例外、データアクセス例外が発生した場合に、該当するエントリがデータTLBエントリ内に存在するかどうかを示します。

【TLBサーチを起動した場合】

データTLBサーチのヒット／ミス結果を参照することができます。データTLBサーチの結果、一致エントリがなければ、このビットは"1"にセットされます。

【データTLBミス例外が発生した場合】

データTLBミス例外が発生すると、このビットは"1"にセットされます。

【データアクセス例外が発生した場合】

データTLBに一致エントリが存在し、かつ、TLBエントリデータレジスタのアクセス制御 (AC) ビットによりアクセス例外が発生した場合、このビットは"0"にクリアされます。ユーザモードにおける、アクセス禁止領域アクセスに対するアクセス例外の場合、このビットは"1"にセットされます。

(3) IDX (データTLBエントリインデックス) ビット (b22~b28)**【TLBサーチを起動した場合】**

データTLBエントリでサーチヒットしたエントリインデックスを示します。

【データアクセス例外が発生した場合】

データアクセス例外が発生したエントリのインデックスを示します。

注1.このレジスタは、最後にサーチ実行またはデータMMU例外が発生したときの情報を示します。サーチ実行、またはMMU例外発生後に、次のアクセスで意図せずMMU例外が発生した場合でも、情報が上書きされます。

注2.サーチ起動時にデータTLBにおいて、多重ヒット状態が発生した場合、TMH (多重ヒットビット) が"1"に設定されます。このとき、データTLBノーエントリビット (DNE) には"0"が設定され、データTLBエントリインデックス (IDX) は不定になります。

注3.TLBオペレーションレジスタ (MTOP) のTLBオペレーションステータスビット (TOP) で、TLBサーチ終了を確認してから、データインデックスレジスタ (MIDX) をリードしてください。

4.5 MMU例外処理

4.5.1 TLBミス例外 (TME)

【発生条件】

TLBミス例外 (TME : TLB Miss Exception) は、アクセスしようとした仮想アドレスに対応するアドレス変換情報が、TLBエントリに存在しない場合に発生します。命令フェッチの場合は、命令TLBミス例外 (ITME) を起動します。また、データアクセスの場合は、データTLBミス例外 (DTME) を起動します。

例外ハンドラ内でMMU例外ステータスレジスタ (MESTS) の命令TLBミス例外発生ビット (IT) およびデータTLBミス例外発生ビット (DT) により、命令TLBミス例外かデータTLBミス例外かを判別してください。

TLBミス例外が発生した場合、その命令によるメモリアクセスは行われません。TLBミス例外が検出されたときに外部割り込み要求があってもTLBミス例外が受け付けられます。

【ITMEのMMU例外処理】

例外が発生した仮想アドレス (PC値) をBPCに設定します。

【DTMEのMMU例外処理】

例外が発生した仮想アドレスをデータMMU例外アドレスレジスタ (MDEVA) に設定します。

例外が発生した仮想アドレスページ番号をデータMMU例外ページレジスタ (MDEVP) のデータMMU例外仮想ページ番号ビット (DEVN) に設定します。

4.5.2 アクセス例外 (ACE)

【発生条件】

アクセス例外 (ACE : Access Exception) は、アクセスしたページがアクセス禁止に設定されている場合に発生します。実行禁止に設定されているページに対して命令フェッチを行った場合は、命令アクセス例外 (IACE) を起動します。読み出し禁止に設定されているページに対してデータリードを行った場合、または、書き込み禁止に設定されているページに対してデータライトを行った場合、データアクセス例外 (DACE) を起動します。

例外ハンドラ内でMMU例外ステータスレジスタ (MESTS) の命令アクセス例外発生ビット (IA) およびデータアクセス例外発生ビット (DA) により、命令アクセス例外かデータアクセス例外かを判別してください。

アクセス例外が発生した場合、その命令によるメモリアクセスは行われません。アクセス例外が検出されたときに外部割り込み要求があってもアクセス例外が受け付けられます。

【IACEのMMU例外処理】

例外が発生した仮想アドレス (PC値) をBPCに設定します。

【DACEのMMU例外処理】

例外が発生した仮想アドレスをデータMMU例外アドレスレジスタ (MDEVA) に設定します。

例外が発生した仮想アドレスページ番号をデータMMU例外ページレジスタ (MDEVP) のデータMMU例外仮想ページ番号ビット (DEVN) に設定します。

4.6 メモリアネジメントユニットの注意事項

4.6.1 TLBエントリ設定及びMMU制御レジスタ設定時の注意事項

TLBエントリタグ部及びTLBエントリデータ部の更新、TLBサーチ及びTLBインバリデートの実行およびMMU制御レジスタの設定を、アドレス変換モードオン (MMUアドレス変換モードレジスタのアドレス変換モード設定ビット (T) = "1") の状態で行う場合には、必ずハードウェアマップ領域で行ってください。

TLBエントリデータレジスタに登録した物理ページ番号は、ページサイズ情報 (MMUページサイズレジスタまたはTLBエントリデータ部のラージページビット) によって下位ビットがマスクされます。TLBエントリデータ登録前にページサイズ情報を設定してください。TLBエントリデータ登録後、ページサイズ情報を変更した場合のアドレス変換動作は保証されません。

第5章

内蔵メモリ

5.1 内蔵メモリ概要

OPSPは、以下のメモリを内蔵しています。

- 64KバイトのSRAM
- 16Kバイトのキャッシュメモリ
 - ・命令キャッシュ：8Kバイト
 - ・データキャッシュ：8Kバイト

キャッシングは2ウェイ・セットアソシアティブ方式、書き込みはコピーバック方式で行われます。

5.2 内蔵メモリとCPUバス

OPSPでは、CPUと内蔵メモリは32ビットCPUバスにより接続されています。内蔵周辺I/Oは32ビットCPUバスとは異なる内蔵周辺I/O用の32ビットバスにより接続されており、これら2つの内部バスはバス制御回路により制御されます。また、OPSPには、ユーザIP接続用の32ビットオンチップユーザIPバスがあります。(図5.2.1参照)

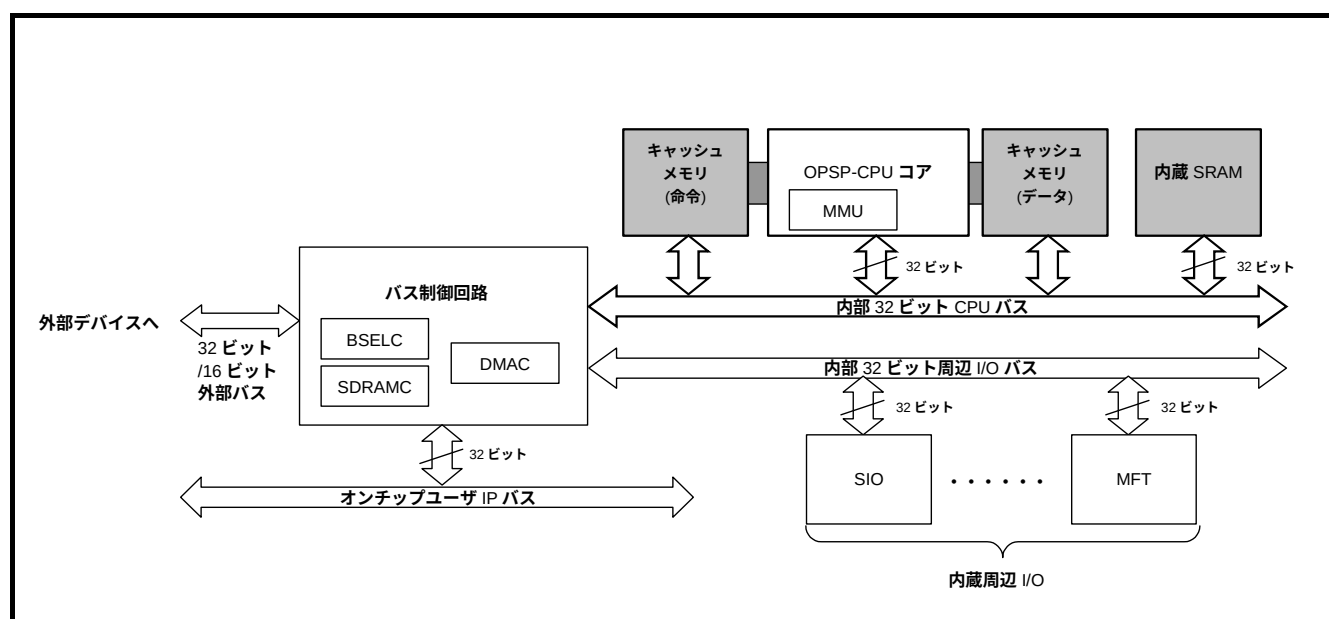


図5.2.1 内蔵メモリと内部バス接続

5.3 内蔵SRAM

OPSPは、64KバイトのSRAMを内蔵しています。また、内蔵SRAMは内部32ビットCPUバスに接続されています。表5.3.1に内蔵SRAMの概要を示します。

表5.3.1 内蔵SRAMの概要

項目	概要
容量	64Kバイト
配置アドレス	H'00F0 0000 ~ H'00F0 FFFF
ウェイト挿入	0ウェイト動作
内部バス接続	32ビットCPUバスへ接続

5.4 キャッシュメモリ

5.4.1 キャッシュメモリ構成

OPSPは、2つの2ウェイ・セットアソシアティブ方式のキャッシュメモリ（命令キャッシュとデータキャッシュ）を内蔵しており、物理アドレスでキャッシングを行います。その容量は16バイト×256エントリ×2ウェイ構成の各8Kバイト、計16Kバイトです。

OPSPのキャッシュメモリは、CPUがアクセスした命令は命令キャッシュ内に、またCPUがアクセスしたデータはデータキャッシュ内に取り込み、高速アクセスします。この動作はラインサイズである128ビット（16バイト）単位に行われます。

命令キャッシュとCPU間、データキャッシュとCPU間のバスは互いに独立しており、キャッシュヒット時CPUは命令フェッチとデータアクセスを並列に行うことができます。またそれぞれ内部32ビットCPUバスとも独立しているため、内部32ビットCPUバスの状態によらず命令フェッチ、データアクセスが可能です。

命令キャッシュ内のタグメモリ部は、17ビットのタグアドレス及びValidビットで構成されます。データキャッシュ内のタグメモリ部は、17ビットのタグアドレス、Validビット及びDirtyビットで構成されます。Validビットは、キャッシュメモリに格納されているデータが有効な場合、“1”にセットされます。またDirtyビットは、格納されているデータが書き換えられた場合、“1”にセットされ、キャッシュリプレース時及びキャッシュコピーバック操作時にデータの書き戻しが必要であることを示します。

表5.4.1にキャッシュメモリの概要を、図5.4.1に命令キャッシュ、図5.4.2にデータキャッシュの概要を示します。

表5.4.1 キャッシュメモリの概要

項目	命令キャッシュ	データキャッシュ
容量	8Kバイト	8Kバイト
動作モード	命令キャッシュモード/命令キャッシュオフモード	データキャッシュモード/データキャッシュオフモード
マッピング方式	2ウェイ・セットアソシアティブ方式	2ウェイ・セットアソシアティブ方式
リプレース方式	LRUアルゴリズム	LRUアルゴリズム
主記憶更新方式	なし	コピーバック方式
コヒーレンシ保証	なし	なし
ラインサイズ	128ビット（16バイト）	128ビット（16バイト）
キャッシング領域	H'0000 0000 ~ H'1FFF FFFF	H'0000 0000 ~ H'1FFF FFFF
タグアドレス	A3-A19(17ビット)	A3-A19(17ビット)
ラインアドレス	A20-A27（8ビット）	A20-A27（8ビット）
データ部	16バイト×256エントリ×2ウェイ=8Kバイト	16バイト×256エントリ×2ウェイ=8Kバイト

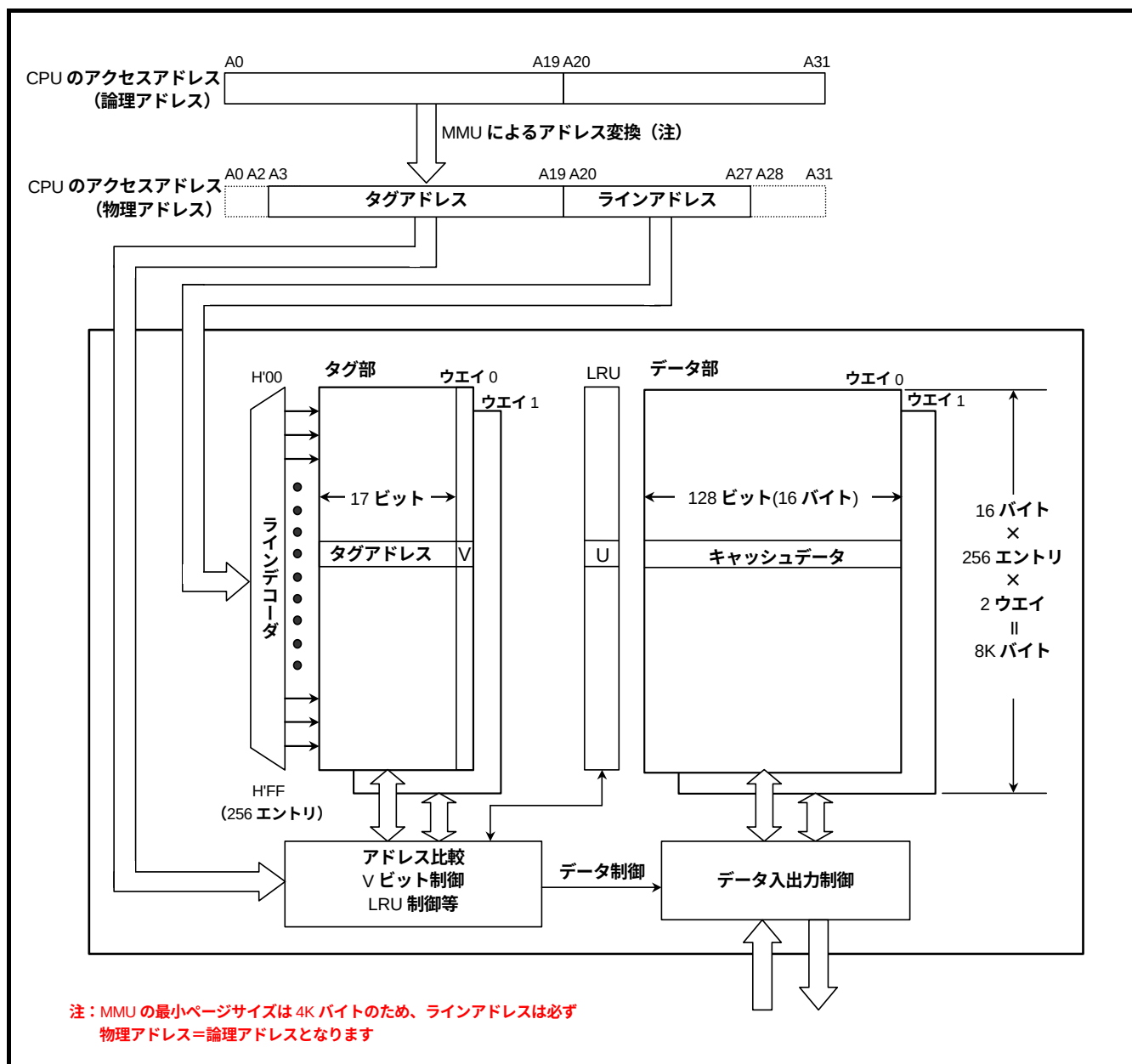


図5.4.1 命令キャッシュの構成

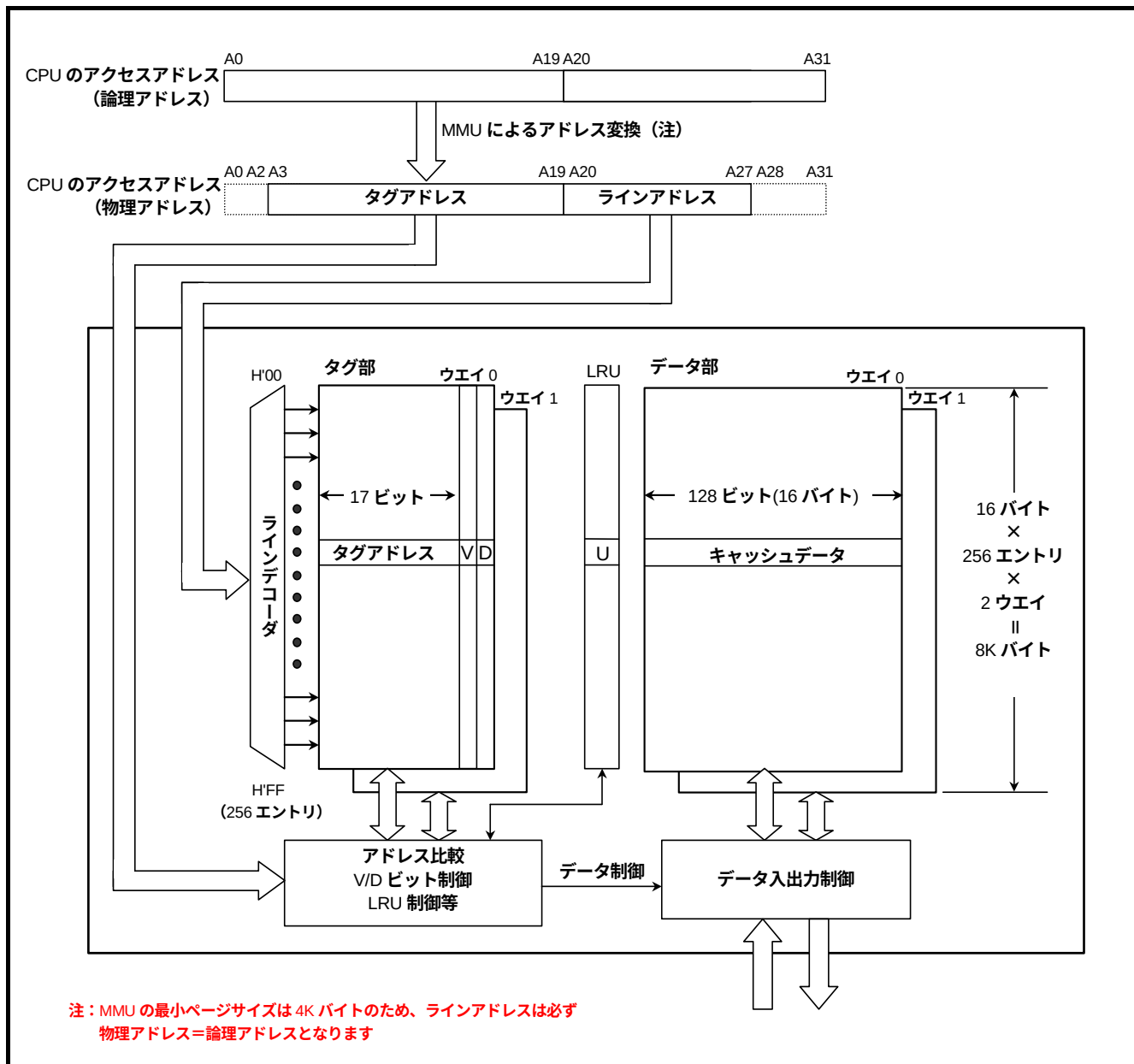


図5.4.2 データキャッシュの構成

5.5 キャッシュメモリ関連レジスタ

キャッシュメモリ関連のレジスタマッピングとレジスタについて以下に説明します。

キャッシュメモリ関連レジスタのレジスタマッピング

番地	b0	+0番地	b7	b8	+1番地	b15	b16	+2番地	b23	b24	+3番地	b31
H'FFFF FFF0	命令キャッシュ領域制御レジスタ (MCICAR)											
H'FFFF FFF4	データキャッシュ領域制御レジスタ (MDCAR)											
H'FFFF FFF8	(使用禁止領域)											
H'FFFF FFFC	キャッシュ制御レジスタ (MCCR)											

5.5.1 命令キャッシュ領域制御レジスタ

命令キャッシュ領域制御レジスタ(MCICAR)

<アドレス: H'FFFF FFF0>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
IAS								IAB0	IAB1	IAB2	IAB3	IAB4	IAB5	IAB6	IAB7
1	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

※ハーフワード（16ビット）/ワード（32ビット）アクセス可能

<リセット解除時: H'0000 80FF>

b	ビット名	機能	R	W
0~15	何も配置されていません。"0"に固定してください。		0	0
16	IAS 内蔵SRAM領域 命令キャッシュ制御ビット	0: 内蔵SRAM領域を命令キャッシュ非対象領域とする 1: 内蔵SRAM領域を命令キャッシュ対象領域とする	R	W
17~23	何も配置されていません。"0"に固定してください。		0	0
24	IAB0 ブロック0領域 命令キャッシュ制御ビット	0: ブロック0 (BSEL0) 領域を命令キャッシュ非対象領域とする 1: ブロック0 (BSEL0) 領域を命令キャッシュ対象領域とする	R	W
25	IAB1 ブロック1領域 命令キャッシュ制御ビット	0: ブロック1 (BSEL1) 領域を命令キャッシュ非対象領域とする 1: ブロック1 (BSEL1) 領域を命令キャッシュ対象領域とする	R	W
26	IAB2 ブロック2領域 命令キャッシュ制御ビット	0: ブロック2 (BSEL2) 領域を命令キャッシュ非対象領域とする 1: ブロック2 (BSEL2) 領域を命令キャッシュ対象領域とする	R	W
27	IAB3 ブロック3領域 命令キャッシュ制御ビット	0: ブロック3 (BSEL3) 領域を命令キャッシュ非対象領域とする 1: ブロック3 (BSEL3) 領域を命令キャッシュ対象領域とする	R	W
28	IAB4 ブロック4領域 命令キャッシュ制御ビット	0: ブロック4 (BSEL4) 領域を命令キャッシュ非対象領域とする 1: ブロック4 (BSEL4) 領域を命令キャッシュ対象領域とする	R	W
29	IAB5 ブロック5領域 命令キャッシュ制御ビット	0: ブロック5 (BSEL5) 領域を命令キャッシュ非対象領域とする 1: ブロック5 (BSEL5) 領域を命令キャッシュ対象領域とする	R	W
30	IAB6 ブロック6領域 命令キャッシュ制御ビット	0: ブロック6 (BSEL6) 領域を命令キャッシュ非対象領域とする 1: ブロック6 (BSEL6) 領域を命令キャッシュ対象領域とする	R	W
31	IAB7 ブロック7領域 命令キャッシュ制御ビット	0: ブロック7 (BSEL7) 領域を命令キャッシュ非対象領域とする 1: ブロック7 (BSEL7) 領域を命令キャッシュ対象領域とする	R	W

このレジスタにより命令キャッシュの対象領域設定を行います。このレジスタは、MMUアドレス変換オフモード（MMUアドレス変換モードレジスタのアドレス変換モードステータス（AT）ビットが"0"）の場合のみ有効です。MMUアドレス変換オンモード（MMUアドレス変換モードレジスタのアドレス変換モードステータス（AT）ビットが"1"）の場合、MMU命令キャッシュの対象領域はページ単位で指定され、このレジスタの指定は無効となります。

このレジスタの設定にかかわらずSFR領域は命令キャッシュの対象領域にはなりません。

このレジスタに対する操作は、命令キャッシュオフモード（キャッシュ制御レジスタの命令キャッシュモード（ICM）ビットが"0"）のときに行ってください。命令キャッシュオンモード（キャッシュ制御レジスタの命令キャッシュモード（ICM）ビットが"1"）のときにこのレジスタの値を書き換えた場合、以降の動作は保証されません。

(1) IAS（内蔵SRAM領域命令キャッシュ制御）ビット(b16)

このビットにより、内蔵SRAM領域に対する命令キャッシュ対象領域/非対象領域の設定を行います。このビットに"1"をセットした場合、内蔵SRAM領域を命令キャッシュ対象領域に設定します。このビットを"0"にクリアした場合、内蔵SRAM領域を命令キャッシュ非対象領域に設定します。

MMUアドレス変換オンモード（MMUアドレス変換モードレジスタのアドレス変換モードステータス（AT）ビットが"1"）の場合はMMUの設定が使用され、このビットの設定は無効となります。

(2) IAB0~IAB7(ブロック0~7領域命令キャッシュ制御)ビット(b24~b31)

このビットにより、ブロックセレクト信号（BSEL0#~BSEL7#信号）で管理されているブロック0~ブロック7の各ブロック領域に対する命令キャッシュ対象領域/非対象領域の設定を行います。SDRAMCの領域を該当ブロックに割り付けた場合もこのビットによる命令キャッシュ対象領域/非対象領域の設定の対象となります。

このビットに"1"をセットした場合、各ブロック領域を命令キャッシュ対象領域に設定します。このビットを"0"にクリアした場合、各ブロック領域を命令キャッシュ非対象領域に設定します。

MMUアドレス変換オンモード（MMUアドレス変換モードレジスタのアドレス変換モードステータス（AT）ビットが"1"）の場合はMMUの設定が使用され、このビットの設定は無効となります。

5.5.2 データキャッシュ領域制御レジスタ

データキャッシュ領域制御レジスタ(MCDCAR)

<アドレス：H'FFFF FFF4>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
DAS								DAB0	DAB1	DIAB2	DAB3	DAB4	DAB5	DAB6	DAB7
1	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

※ハーフワード（16ビット）/ワード（32ビット）アクセス可能

<リセット解除時：H'0000 80FF>

b	ビット名	機能	R	W
0~15	何も配置されていません。"0"に固定してください。		0	0
16	DAS 内蔵SRAM領域 データキャッシュ制御ビット	0: 内蔵SRAM領域をデータキャッシュ非対象領域とする 1: 内蔵SRAM領域をデータキャッシュ対象領域とする	R	W
17~23	何も配置されていません。"0"に固定してください。		0	0
24	DAB0 ブロック0領域 データキャッシュ制御ビット	0: ブロック0 (BSEL0) 領域をデータキャッシュ非対象領域とする 1: ブロック0 (BSEL0) 領域をデータキャッシュ対象領域とする	R	W
25	DAB1 ブロック1領域 データキャッシュ制御ビット	0: ブロック1 (BSEL1) 領域をデータキャッシュ非対象領域とする 1: ブロック1 (BSEL1) 領域をデータキャッシュ対象領域とする	R	W
26	DAB2 ブロック2領域 データキャッシュ制御ビット	0: ブロック2 (BSEL2) 領域をデータキャッシュ非対象領域とする 1: ブロック2 (BSEL2) 領域をデータキャッシュ対象領域とする	R	W
27	DAB3 ブロック3領域 データキャッシュ制御ビット	0: ブロック3 (BSEL3) 領域をデータキャッシュ非対象領域とする 1: ブロック3 (BSEL3) 領域をデータキャッシュ対象領域とする	R	W
28	DAB4 ブロック4領域 データキャッシュ制御ビット	0: ブロック4 (BSEL4) 領域をデータキャッシュ非対象領域とする 1: ブロック4 (BSEL4) 領域をデータキャッシュ対象領域とする	R	W
29	DAB5 ブロック5領域 データキャッシュ制御ビット	0: ブロック5 (BSEL5) 領域をデータキャッシュ非対象領域とする 1: ブロック5 (BSEL5) 領域をデータキャッシュ対象領域とする	R	W
30	DAB6 ブロック6領域 データキャッシュ制御ビット	0: ブロック6 (BSEL6) 領域をデータキャッシュ非対象領域とする 1: ブロック6 (BSEL6) 領域をデータキャッシュ対象領域とする	R	W
31	DAB7 ブロック7領域 データキャッシュ制御ビット	0: ブロック7 (BSEL7) 領域をデータキャッシュ非対象領域とする 1: ブロック7 (BSEL7) 領域をデータキャッシュ対象領域とする	R	W

このレジスタによりデータキャッシュの対象領域設定を行います。このレジスタは、MMUアドレス変換オフモード（MMUアドレス変換モードレジスタのアドレス変換モードステータス（AT）ビットが"0"）の場合のみ有効です。MMUアドレス変換オンモード（MMUアドレス変換モードレジスタのアドレス変換モードステータス（AT）ビットが"1"）の場合、MMUデータキャッシュの対象領域はページ単位で指定され、このレジスタの指定は無効となります。

このレジスタの設定にかかわらずSFR領域はデータキャッシュの対象領域にはなりません。

このレジスタに対する操作は、データキャッシュオフモード（キャッシュ制御レジスタのデータキャッシュモード（DCM）ビットが"0"）のときに行ってください。データキャッシュオンモード（キャッシュ制御レジスタのデータキャッシュモード（DCM）ビットが"1"）のときにこのレジスタの値を書き換えた場合、以降の動作は保証されません。

(1) DAS (内蔵SRAM領域データキャッシュ制御) ビット(b16)

このビットにより、内蔵SRAM領域に対するデータキャッシュ対象領域/非対象領域の設定を行います。このビットに"1"をセットした場合、内蔵SRAM領域をデータキャッシュ対象領域に設定します。このビットを"0"にクリアした場合、内蔵SRAM領域をデータキャッシュ非対象領域に設定します。

MMUアドレス変換オンモード（MMUアドレス変換モードレジスタのアドレス変換モードステータス（AT）ビットが"1"）の場合はMMUの設定が使用され、このビットの設定は無効となります。

(2) DAB0~DAB7(ブロック0~7領域データキャッシュ制御)ビット(b24~b31)

このビットにより、ブロックセレクト信号（BSEL0#~BSEL7#信号）で管理されているブロック0~ブロック7の各ブロック領域に対するデータキャッシュ対象領域/非対象領域の設定を行います。SDRAMCの領域を該当ブロックに割り付けた場合もこのビットによるデータキャッシュ対象領域/非対象領域の設定の対象となります。このビットに"1"をセットした場合、各ブロック領域をデータキャッシュ対象領域に設定します。このビットを"0"にクリアした場合、各ブロック領域をデータキャッシュ非対象領域に設定します。

MMUアドレス変換オンモード（MMUアドレス変換モードレジスタのアドレス変換モードステータス（AT）ビットが"1"）の場合はMMUの設定が使用され、このビットの設定は無効となります。

5.5.3 キャッシュ制御レジスタ

キャッシュ制御レジスタ(MCCR)

<アドレス：H'FFFF FFFC>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	CC	IIV	DIV	DCB			ICM	DCM
								0	0	0	0	0	0	0	0

※バイト（8ビット）/ハーフワード（16ビット）/ワード（32ビット）アクセス可能

<リセット解除時：H'0000 0000（注1）>

b	ビット名	機能	R	W
0~23	何も配置されていません。"0"に固定してください。		0	0
24	CC キャッシュモード変更ビット	0: キャッシュモードを変更する 1: キャッシュモードを変更せず、IIV,DIV,DCBの実行のみを行う	0	注2
25	IIV 命令キャッシュ インバリデートビット	[読み出し時] 0: 命令キャッシュインバリデートは実行されていない 1: 命令キャッシュインバリデート実行中 [書き込み時] 0: なにもしない 1: 命令キャッシュのインバリデートを行う	0	注2
26	DIV データキャッシュインバリデートビット	0: なにもしない 1: データキャッシュのインバリデートを行う	0	注2
27	DCB	0: なにもしない 1: データキャッシュのコピーバックを行う。	0	注2
28~29	何も配置されていません。"0"に固定してください。		0	0
30	ICM 命令キャッシュモードビット	0: 命令キャッシュオフ 1: 命令キャッシュオン	R	W
31	DCM データキャッシュモード ビット	0: データキャッシュオフ 1: データキャッシュオン	R	W

注1. リセット解除後、ハードウェアによるインバリデート動作のため、IIVビットに"1"がセットされている場合があります。

注2. 「0」書き込みは無効、「1」書き込みデータは保持されない」ことを示します。

このレジスタは、データキャッシュメモリ、命令キャッシュメモリの制御を行うレジスタです。

キャッシュ動作モード（データキャッシュモード又はデータキャッシュオフモード、あるいは命令キャッシュモード又は命令キャッシュオフモード）の選択と、データキャッシュのインバリデート（無効化）、コピーバック（書き戻し）、および、命令キャッシュのインバリデートを行うことができます。

リセット解除時、キャッシュモードは命令キャッシュ、データキャッシュともにオフモードで、命令キャッシュ、データキャッシュはインバリデートされています。

(1) CC (キャッシュモード変更) ビット (b24)

このビットにより、命令キャッシュモード (ICM) ビットおよびデータキャッシュモード (DCM) ビットの書き込みマスクを制御します。

キャッシュモードを変更する場合には、ICMおよびDCMビットへの書き込みと同時に、このビットを"0"にクリアしてください。

キャッシュモードを変更せずにインバリデートやコピーバックを行う場合は、IIVビットなどへの書き込みと同時に、このビットを"1"にセットしてください。このビットを"1"にセットすることによりICM/DCMビットへ書き込んだ値はマスクされ、ICM/DCMビットへの書き込みは行われません。

このビットは"1"にセットしても、その値を保持しません。

(2) IIV (命令キャッシュインバリデート) ビット(b25)**【読み出し時】**

このビットを読み出すことにより、命令キャッシュのインバリデート操作を実行中かどうか知ることができます。インバリデート中には"1"が、それ以外は"0"が読み出されます。

【書き込み時】

このビットを"1"にセットすることにより、命令キャッシュのインバリデート (無効化) 操作を行うことができます (命令キャッシュオフモード時でも"1"にセットすると命令キャッシュのインバリデートが行われます)。

このビットは"1"にセットしても、その値を保持しません。ただし、このビットをセットした直後に読み出した場合、命令キャッシュのインバリデート中であれば"1"が読み出されます。

(3) DIV (データキャッシュインバリデート) ビット (b26)

このビットを"1"にセットすることにより、データキャッシュのインバリデート (無効化) 操作を行うことができます (データキャッシュオフモード時でも"1"にセットするとデータキャッシュのインバリデートが行われます)。DCBビットと同時に"1"をセットした場合、データキャッシュのコピーバック動作後にインバリデート動作を行います。

データキャッシュのインバリデート中に実行されたCPUのデータアクセスは、インバリデートが完了するまで待たされます。

このビットは"1"にセットしても、その値を保持しません。

(4) DCB (データキャッシュコピーバック) ビット (b27)

このビットを"1"にセットすることにより、データキャッシュのコピーバック (書き戻し) 操作を行うことができます (データキャッシュオフモード時でも"1"にセットするとデータキャッシュのコピーバックが行われます)。

データキャッシュのコピーバック中に実行されたCPUのデータアクセスは、コピーバックが完了するまで待たされます。

このビットは"1"にセットしても、その値を保持しません。

(5) ICM (命令キャッシュモード) ビット(b30)

このビットにより、命令キャッシュの動作モードを選択します。

CCビットを"0"にクリアすると同時にこのビットを"1"にセットすることにより、“命令キャッシュモード”となり、CCビットを"0"にクリアすると同時にこのビットを"0"にクリアすることにより、命令キャッシュ動作モードは“命令キャッシュオフモード”となります。

注: 命令キャッシュの動作モードを変更する場合、変更と同時にIIVビットを"1"にセットし、命令キャッシュのインバリデート操作を行ってください。キャッシュ動作モードの変更では、インバリデートは行われません。また、一度命令キャッシュオフモードにした命令キャッシュに対しインバリデート操作を行わずに再び命令キャッシュモードにした場合、動作は保証されません。キャッシング対象の命令コードが書き換えられた場合には、インバリデート操作を行ってください。

(6) DCM (データキャッシュモード) ビット (b31)

このビットにより、データキャッシュの動作モードを選択します。

CCビットを"0"にクリアすると同時にこのビットを"1"にセットすることにより、“データキャッシュモード”となり、CCビットを"0"にクリアすると同時にこのビットを"0"にクリアすることにより、データキャッシュ動作モードは“データキャッシュオフモード”となります。

注. データキャッシュの動作モードを変更する場合、変更と同時にDIVビット、DCBビットを"1"にセットし、データキャッシュのインバリデート、およびコピーバック操作を行ってください。キャッシュ動作モードの変更では、インバリデート、およびコピーバックは行われません。また、一度データキャッシュオフモードにしたデータキャッシュをインバリデート、およびコピーバック操作を行わずに再びデータキャッシュモードにした場合、動作は保証されません。

キャッシュ制御レジスタ (MCCR)によるキャッシュ操作の一覧として表5.5.1に命令キャッシュ操作一覧および表5.5.2にデータキャッシュ操作一覧を示します。これ以外の操作を行った場合の動作は保証されません。

表5.5.1 命令キャッシュ操作の種類

操作時のキャッシュモード	キャッシュ操作内容	MCCR設定		
		CC	IIV	ICM
命令キャッシュオフモード	キャッシュオンモードに変更	0	0	1
命令キャッシュオン/オフモード	命令キャッシュインバリデート操作 (命令キャッシュモードの変更なし)	1	1	*
命令キャッシュオンモード	キャッシュオフモードに変更	0	1	0

注. *はdon't careを表します。

表5.5.2 データキャッシュ操作の種類

操作時のキャッシュモード	キャッシュ操作内容	MCCR設定			
		CC	DIV	DCB	DCM
データキャッシュオフモード	キャッシュオンモードに変更	0	0	0	1
データキャッシュオン/オフモード	データキャッシュコピーバック操作 (データキャッシュキャッシュの変更なし)	1	0	1	*
データキャッシュオン/オフモード	データキャッシュコピーバック操作、 データキャッシュインバリデート操作 (データキャッシュキャッシュの変更なし)	1	1	1	*
データキャッシュオンモード	データキャッシュコピーバック操作、 データキャッシュインバリデート操作後 キャッシュオフモードに変更	0	1	1	0

注. *はdon't careを表します。

5.6 キャッシュメモリの動作

OPSPのキャッシュメモリは、CPUがアクセスした命令、あるいはデータをキャッシュメモリに取り込み、高速アクセスを可能にします。

5.6.1 命令キャッシュメモリの動作

OPSP内蔵の命令キャッシュは、命令キャッシュモード時に動作します。物理アドレスH'0000 0000～H'1FFF FFFF領域へのアクセスをキャッシング領域とします。

MMUアドレス変換オフモード時は、内蔵SRAMおよびブロックセレクト信号で管理されているブロック0～7の領域を個別に非命令キャッシュ領域として指定することができます。

MMUアドレス変換モード時は、ページ単位で非命令キャッシュ領域を指定することができます。

SFR領域（H'00E0 0000～H'00EF FFFF領域）は常にキャッシング対象としません。

(1) 命令キャッシュメモリへの取り込み

CPUがアクセスした命令をキャッシュメモリに取り込みます。命令キャッシュモードの場合、キャッシュ対象領域への命令フェッチアクセスでキャッシュミスを起こすと、アクセスしたアドレスから順次1ライン(128ビット)単位でキャッシュメモリへと取り込みます。命令キャッシュの取り込みは、アクセスされたアドレスから順次行われ、このとき平行して順次CPUへも渡されます。

(2) 命令キャッシュリプレース（入れ替え）アルゴリズム

命令キャッシュメモリへの取り込み時、ラインアドレスに相当するA20-A27によって格納されるラインが決まっており、すでに有効なデータがウエイ0、ウエイ1共に存在するラインに新しいデータを取り込む場合、リプレース動作（入れ替え）が行われます。

リプレース動作では、LRU方式でリプレースするウエイ（ウエイ0またはウエイ1）を選択し、新しいデータを取り込みます。

(3) 命令キャッシュインバリデート（無効化）

キャッシュ制御レジスタ（MCCR）のIIVビットに"1"をセットすることにより、命令キャッシュの全ラインをインバリデート（無効化）します。インバリデート動作では、タグ部のValidビットを"0"にクリアします。インバリデート完了まで命令キャッシュはアクセスを受け付けません。

5.6.2 データキャッシュメモリの動作

OPSP内蔵のデータキャッシュは、データキャッシュモード時に動作します。物理アドレスH'0000 0000～H'1FFF FFFF領域へのアクセスをキャッシング領域とします。

MMUアドレス変換オフモード時は、内蔵SRAMおよびブロックセレクト信号で管理されているブロック0～7の領域を個別に非データキャッシュ領域として指定することができます。

MMUアドレス変換モード時は、ページ単位で非データキャッシュ領域を指定することができます。

SFR領域（H'00E0 0000～H'00EF FFFF領域）は常にキャッシング対象としません。

(1) データキャッシュメモリへの取り込み

CPUがアクセス（リード、ライト）したデータをデータキャッシュへ取り込みます。データキャッシュモードの場合、H'0000 0000～H'1FFF FFFF領域（ただし、非データキャッシュ領域として設定された領域は除く）へのデータアクセスでキャッシュミスを起こすと、アクセスしたアドレスから順次1ライン（128ビット）単位でデータキャッシュへ取り込みます。

リードアクセスの場合、キャッシュへの取り込みと平行してCPUにもデータが渡されます。

ライトアクセスの場合、データキャッシュの対象領域へのライトがキャッシュミス（データキャッシュ上にな
いデータに対する書き込み）した場合、アクセスしたアドレスへ直接ライトし、キャッシュメモリの内容を変更
しません。データキャッシュの対象領域へのライトがキャッシュヒット（データキャッシュ上に取り込まれてい
るデータに対する書き込み）した場合、データキャッシュ上のデータのみを更新して、Dirtyビットを"1"にセッ
トします。アクセス先領域上のデータは、コピーバック（ラインのリプレースにより生じるコピーバック、及び
DCBビットのセットによるコピーバック）されるまで更新されません。

キャッシュがヒットしている間のメモリアクセスはCPUとキャッシュ間でのみ行われます。

(2) データリプレースアルゴリズム

キャッシュメモリへの取り込み時、ラインアドレスに相当するA20-A27によって格納されるラインが決まってお
り、すでに有効なデータがウエイ0、ウエイ1共に存在するラインに新しいデータを取り込む場合、リプレース
動作（入れ替え）が行われます。

リプレース動作では、LRU方式でリプレースするウエイ（ウエイ0、ウエイ1）を選択し新しいデータを取り込
みます。またリプレースによりデータキャッシュより追い出されるラインのDirtyビットが"1"である場合は、リ
プレースと共にそのラインデータを書き戻します（コピーバック）。

(3) キャッシュ制御レジスタによるコピーバック（書き戻し）、インバリデート（無効化）

キャッシュ制御レジスタのDIVビットに"1"をセットすることによって、データキャッシュ全ラインのインバリ
デート（無効化）を実行します。インバリデート動作では、タグ部のValidビットを"0"にクリアします。

また、キャッシュ制御レジスタのDCBビットに"1"をセットすることによって、コピーバック（書き戻し）を
実行します。コピーバック動作では、タグ部のDirtyビットが"1"であるラインデータの書き戻し、Dirtyビットを
"0"にクリアします。インバリデート及びコピーバック完了までの間、CPUの全データアクセスは、そのアクセ
ス領域にかかわらず受け付けられません。

レイアウトの都合上、このページは白紙です。

6.1 EITの概要

CPUが通常のプログラムを実行している途中で、ある事象の発生によりそのプログラムの実行を中断し、別のプログラムを実行する必要がある場合があります。このような事象を総称してEIT（Exception、Interrupt、Trap）事象と呼びます。

EITが発生すると、OPSPのプロセッサモードはスーパーバイザモードに遷移します。

(1) 例外 (Exception)

実行中のコンテキストに関係する事象であり、命令実行に伴うエラーや違反などによって発生します。OPSPでは、アドレス例外（AE）、予約命令例外（RIE）、特権命令例外（PIE）、アクセス例外（ACE）、TLBミス例外（TME）、コプロセッサディスエーブル例外（CDE）がこれに該当します。

(2) 割り込み (Interrupt)

実行中のコンテキストとは無関係に発生する事象です。外部からのハードウェア的な信号及び周辺IOによって発生します。OPSPではリセット割り込み（RI）、システムブレーク割り込み（SBI）、コプロセッサ割り込み（CPI）および外部割り込み（EI）がこれに該当します。

(3) トラップ (Trap)

ソフトウェア割り込みのことで、TRAP命令の実行で発行されます。OSのシステムコールなどのように、プログラマがプログラム中で意識的に発生させるものです。

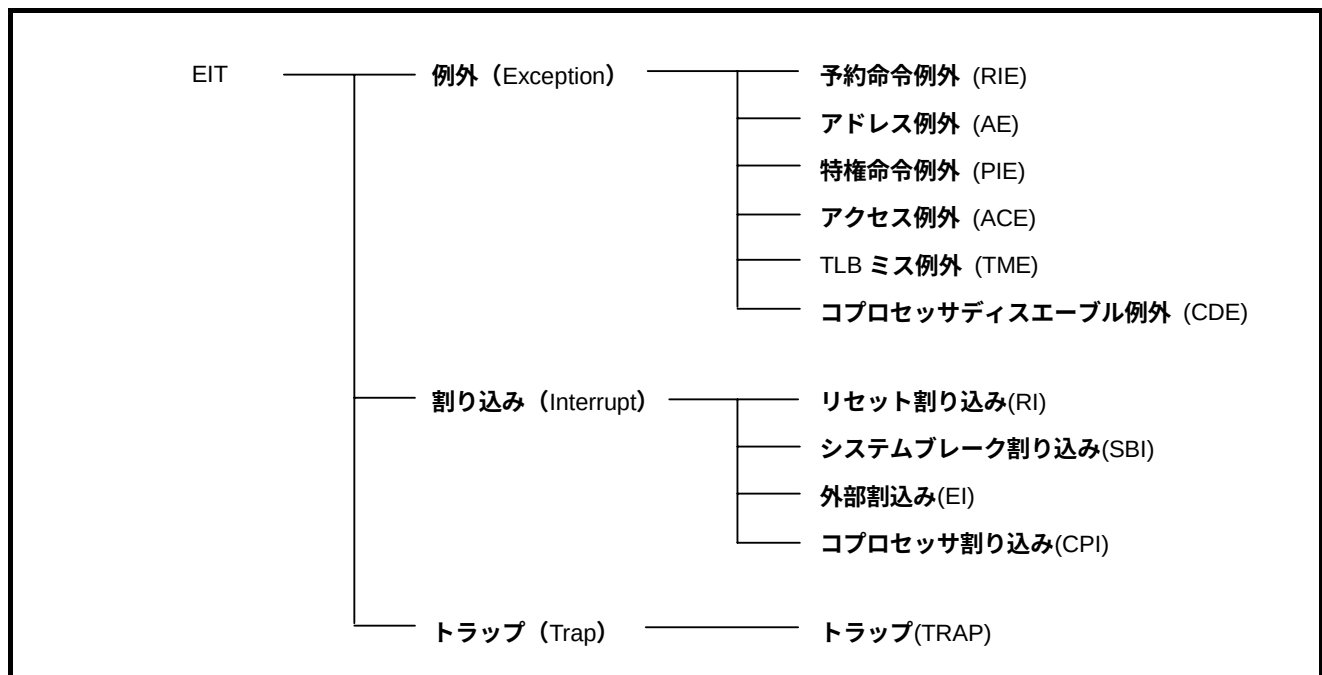


図6.1.1 EITの分類

6.2 OPSPのEIT事象

6.2.1 例外 (Exception)

(1) 予約命令例外 (RIE)

予約命令例外 (RIE: Reserved Instruction Exception) は、予約命令 (インプリメントされていない命令) の実行を検出した場合に発生します。

(2) アドレス例外 (AE)

アドレス例外 (AE: Address Exception) は、ロード命令やストア命令でアライメントのとれていないアドレスにアクセスしようとした場合に発生します。

(3) 特権命令例外 (PIE)

特権命令例外は (PIE: Privilege Instruction Exception) は、ユーザモードで特権命令の実行を検出した場合に発生します。特権命令はスーパーバイザモードでのみ実行可能です。

(4) アクセス例外 (ACE)

アクセス例外 (ACE: Access Exception) は、アクセスしたページがアクセス禁止に設定されている場合に発生します。実行禁止に設定されているページに対して命令フェッチを行った場合は、命令アクセス例外 (IACE) を起動します。読み出し禁止に設定されているページに対してデータリードを行った場合、または、書き込み禁止に設定されているページに対してデータライトを行った場合、データアクセス例外 (DACE) を起動します。

(5) TLBミス例外 (TME)

TLBミス例外 (TME: TLB Miss Exception) は、仮想アドレスと一致するTLBエントリがない、または、仮想アドレスと一致するTLBエントリが無効であることを検出した場合に発生します。命令フェッチの場合は、命令TLBミス例外 (ITME) を起動します。また、データアクセスの場合は、データTLBミス例外 (DTME) を起動します。

(6) コプロセッサディスエーブル例外 (CDE)

コプロセッサディスエーブル例外 (CDE: Coprocessor Disable Exception) はコプロセッサイネーブルレジスタ (COE) で禁止状態のコプロセッサに対して、コプロセッササポート命令を実行したことを検出した場合に発生します。

6.2.2 割り込み (Interrupt)

(1) リセット割り込み (RI)

リセット割り込み (RI: Reset Interrupt) は、リセット信号 (RESET#) を入力することにより常に受け付けられます。リセット割り込みは最高位の優先度を持ちます。

(2) システムブレーク割り込み (SBI)

システムブレーク割り込み (SBI: System Break Interrupt) は、SBI#端子からの割り込み要求です。電源断の検出時や異常検出時に使用される緊急用割り込みです。またCPUスリープモードからの復帰に使用されます。

(3) 外部割り込み (EI)

外部割り込み (EI: External Interrupt) は、割り込みコントローラ (ICU) により管理されるINT端子、及び内蔵周辺IOからの割り込み要求です。割り込みコントローラ (ICU) は、割り込み禁止を含めて8レベルの優先順位により管理を行います。

(4) コプロセッサ割り込み (CPI)

コプロセッサ割り込み (CPI: Coprocessor Interrupt) は、コプロセッサからの割り込み要求です。

6.2.3 トラップ (Trap)

トラップ (TRAP) とはソフトウェア割り込みのことで、「TRAP命令」の実行により発生します。TRAP命令のオペランド0~15に対応し、EITベクタエントリが16個用意されています

6.3 EITの処理手順

EIT処理には、ハードウェアが自動的に処理する部分とユーザが記述したプログラム（EITハンドラ）によって処理される部分があります。リセット割り込みを除くEIT受け付け時の処理手順を以下に示します。

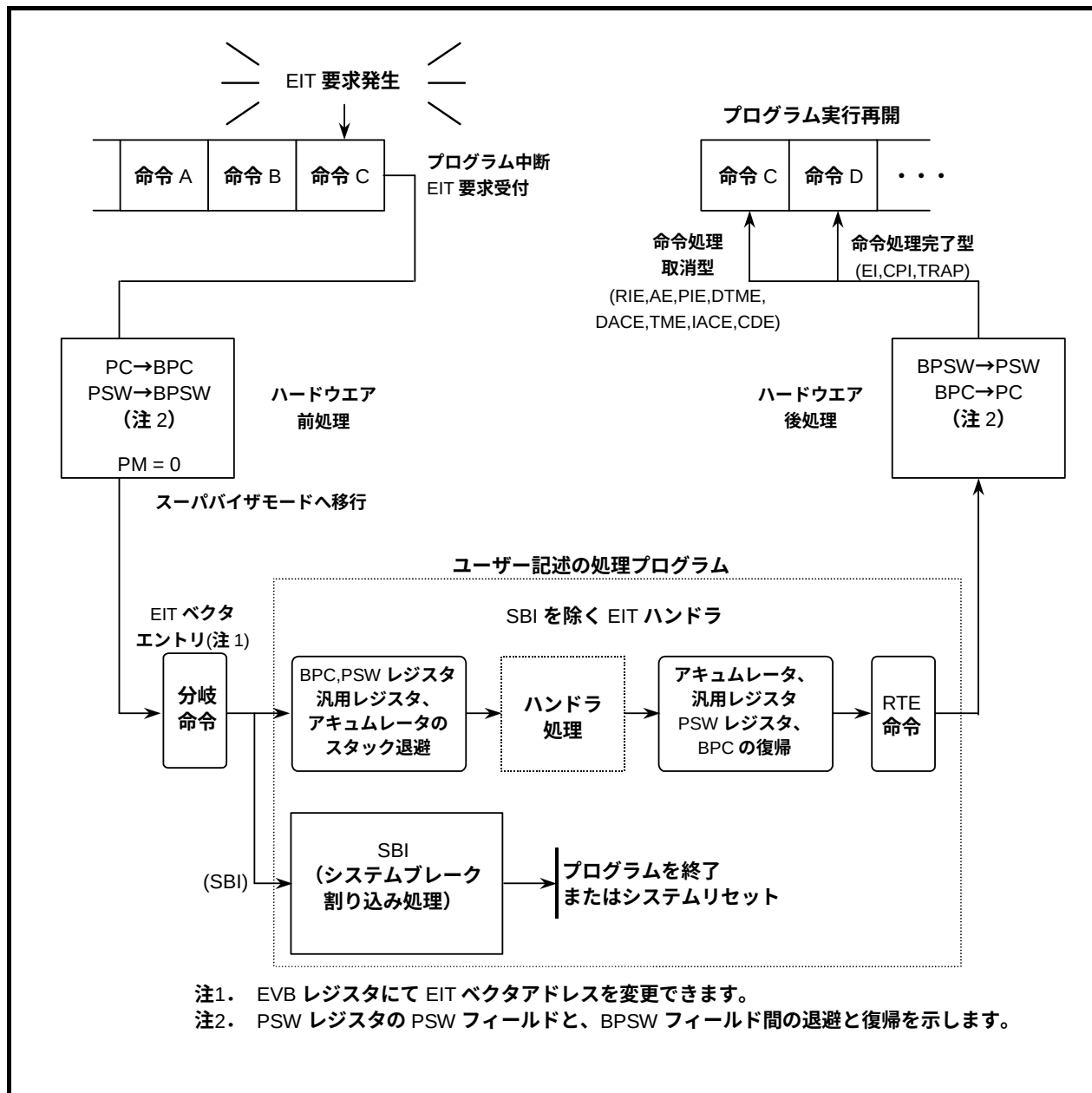


図6.3.1 EIT処理手順概要

EITが受け付けられると、OPSP-CPUはハードウェア処理（後述）を行った後、EITベクタに分岐します。EITベクタには各EITごとにベクタアドレスが割り当てられており、そこにEITハンドラへの「分岐命令」を書きます（分岐先アドレスではないことに注意してください）。

OPSP-CPUのハードウェア前処理では、PCをバックアップPC（BPC）に、PSWレジスタのPSWフィールドの内容を同じレジスタ内のBPSWフィールドへ保存します。

ユーザが記述するEITハンドラ中で、BPCとPSWレジスタ（BPSWフィールドを含む）、およびEITハンドラ内で使用する汎用レジスタをスタックに退避してください。これらスタックへの退避は、ユーザがプログラムで行うことに注意してください。

EIT処理ハンドラ処理完了後、スタックに退避したレジスタを復帰して「RTE命令」を実行することで、EIT処理から元のプログラムに復帰します。ただしSBIの場合には、SBIハンドラ処理後にSBI発生時に実行したい元のプログラムに復帰しない条件でご使用ください。

OPSP-CPUのハードウェア後処理では、BPCをPCに、またPSWレジスタのBPSWフィールドの内容をPSWフィールドに戻します。

なお、「RTE命令」実行後のBPC、PSWレジスタのBPSWフィールドの値は不定です。

6.4 EITの処理機構

OPSPのEIT処理機構は、OPSP-CPU部と割り込みコントローラ（ICU）で構成されます。また、PC、PSWのバックアップ用レジスタ（BPC、PSWのBPSWフィールド）を備えます。図6.4.1にOPSPのEIT処理機構を示します。

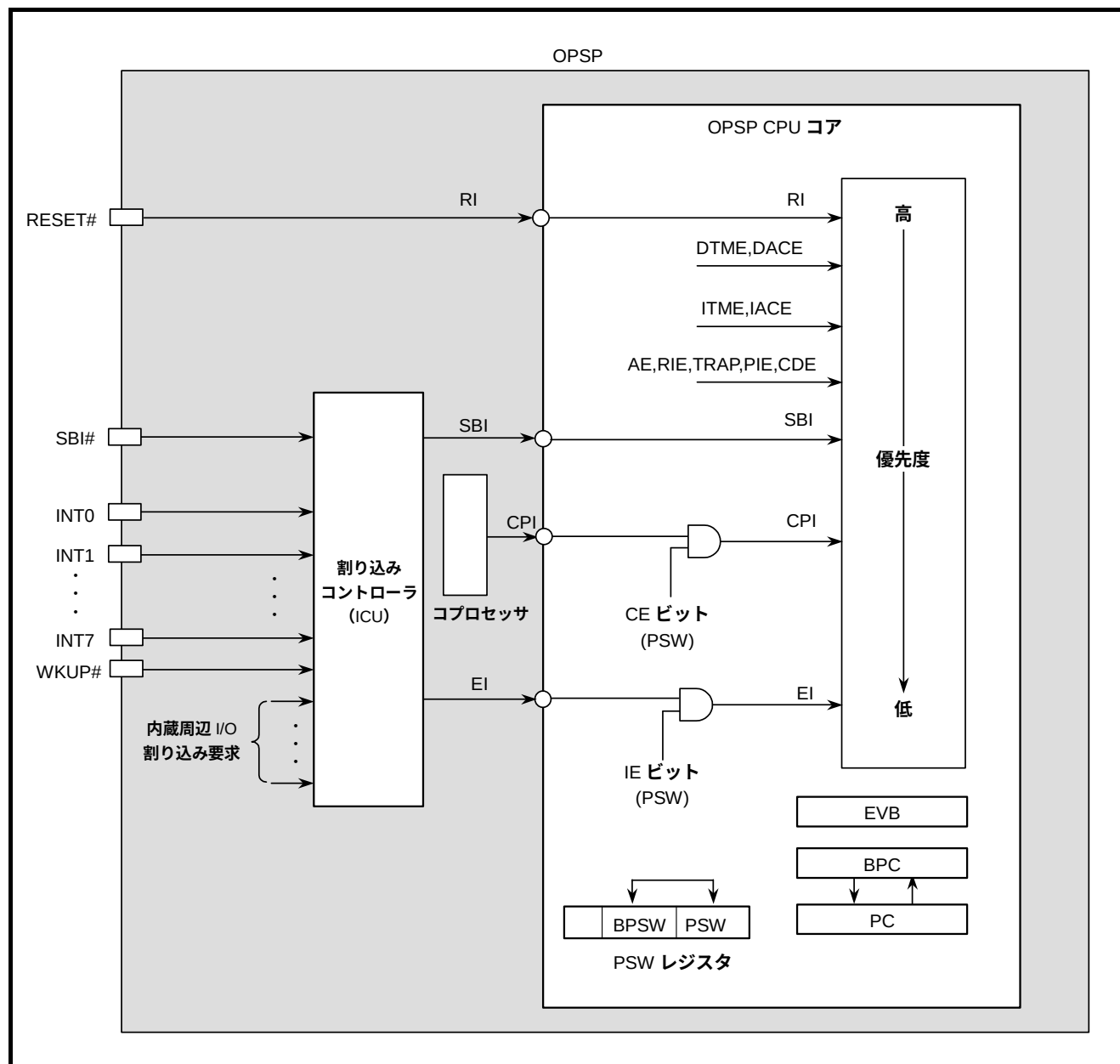


図6.4.1 OPSPのEIT処理機構

6.5 EIT事象の受付

OPSPはEIT事象が発生すると、それまで実行していたプログラムを中断して、EITのハンドラ処理に分岐します。各EIT事象の発生条件と受付タイミングを以下に示します

表6.5.1 EIT事象の受付

EIT事象	処理型	受付タイミング	BPCに保存される値
データアクセス例外 (DACE)	命令処理取消型	命令実行中	DACEが発生した命令のPC値
データTLBミス例外 (DTME)	命令処理取消型	命令実行中	DTMEが発生した命令のPC値
命令アクセス例外 (IACE)	命令処理取消型	命令実行中	IACEが発生した命令のPC値
命令TLBミス例外 (ITME)	命令処理取消型	命令実行中	ITMEが発生した命令のPC値
予約命令例外 (RIE)	命令処理取消型	命令実行中	RIEが発生した命令のPC値
特権命令例外 (PIE)	命令処理取消型	命令実行中	PIEが発生した命令のPC値
アドレス例外 (AE)	命令処理取消型	命令実行中	AEが発生した命令のPC値
コプロセッサ ディスエーブル例外 (CDE)	命令処理取消型	命令実行中	CDEが発生した命令のPC値
リセット割り込み (RI)	命令処理放棄型	各マシンサイクル	不定値
システムブレーク割り込み (SBI)	命令処理完了型	命令の区切り (ワード境界のみ)	次命令のPC値
コプロセッサ割り込み (CPI)	命令処理完了型	命令の区切り (ワード境界のみ)	次命令のPC値
外部割り込み (EI)	命令処理完了型	命令の区切り (ワード境界のみ)	次命令のPC値
トラップ (TRAP)	命令処理完了型	命令の区切り	次命令のPC値

(1) 並列実行時のEIT処理

並列実行時に、命令処理取消型のEIT事象が発生した場合は、その並列実行のペアは実行しません。

予約命令例外 (RIE) を除く、全ての命令取消型のEITは、右側命令の実行でのみ発生します。予約命令例外は、並列実行ペアの単位で検出します。なお、コプロセッササポート命令は32ビット命令ですので、コプロセッサディスエーブル例外 (CDE) は並列実行時のEIT処理に該当しません。

(例1) LD r3,r4 || ADD r1,r2

上記の並列実行ペアにおいて、LD命令がデータアクセス例外 (ACE) を発生した場合、ADD命令実行も取り消します。

また、命令コードの (bit0 = 0) で (bit16 = 1) の場合、OPSP-CPUは、この32bit命令コードを並列実行ペアと解釈します。このとき、右側命令 (−S) に対応するビット位置に、予約命令 (インプリメントされていない命令) が配置されている場合には、予約命令例外 (RIE) を発生し、並列実行ペアを実行しません。

(例2) [0x01a2 0x831d] (bit0=0, bit16=1)

例2では前半16ビット命令はADD命令の命令コード (ADD r1,r2) に対応しますが、後半16ビットは予約命令 (インプリメントされていない命令) です。この場合、予約命令例外 (RIE) を発生し、並列実行ペアを実行しませんので、ADD命令も実行されません。

6.6 PC、PSWの退避と復帰

EITの受け付け時と「RTE命令」実行時の動作を以下に示します。

(1) EIT受け付け時のハードウェア前処理

①PSWレジスタ中のSM、IE、PM、CE、Cビットの退避

BSM	←	SM
BIE	←	IE
BPM	←	PM
BCE	←	CE
BC	←	C

②PSWレジスタ中のSM、IE、PM、CE、Cビットの更新

SM	←	不変（例外、トラップ） 又は"0"にクリア（割り込み）
IE	←	"0"にクリア
PM	←	"0"にクリア
CE	←	"0"にクリア
C	←	"0"にクリア

③PCの退避

BPC	←	PC
-----	---	----

④PCにベクタアドレスをセット

EITベクタに分岐し、さらにそこに書かれている分岐命令を実行することで、EITハンドラ処理へ移行します。

(2) 「RTE命令」実行時のハードウェア後処理

1 PSWレジスタ中のBSM、BIE、BPM、BCE、BCビットの復帰

SM	←	BSM
IE	←	BIE
PM	←	BPM
CE	←	BCE
C	←	BC

2 BPCの値をPCに復帰

PC	←	BPC
----	---	-----

注： 「RTE命令」実行後のBPC、PSWレジスタのBSM、BIE、BPM、BCE、BCビットの値は不定です。

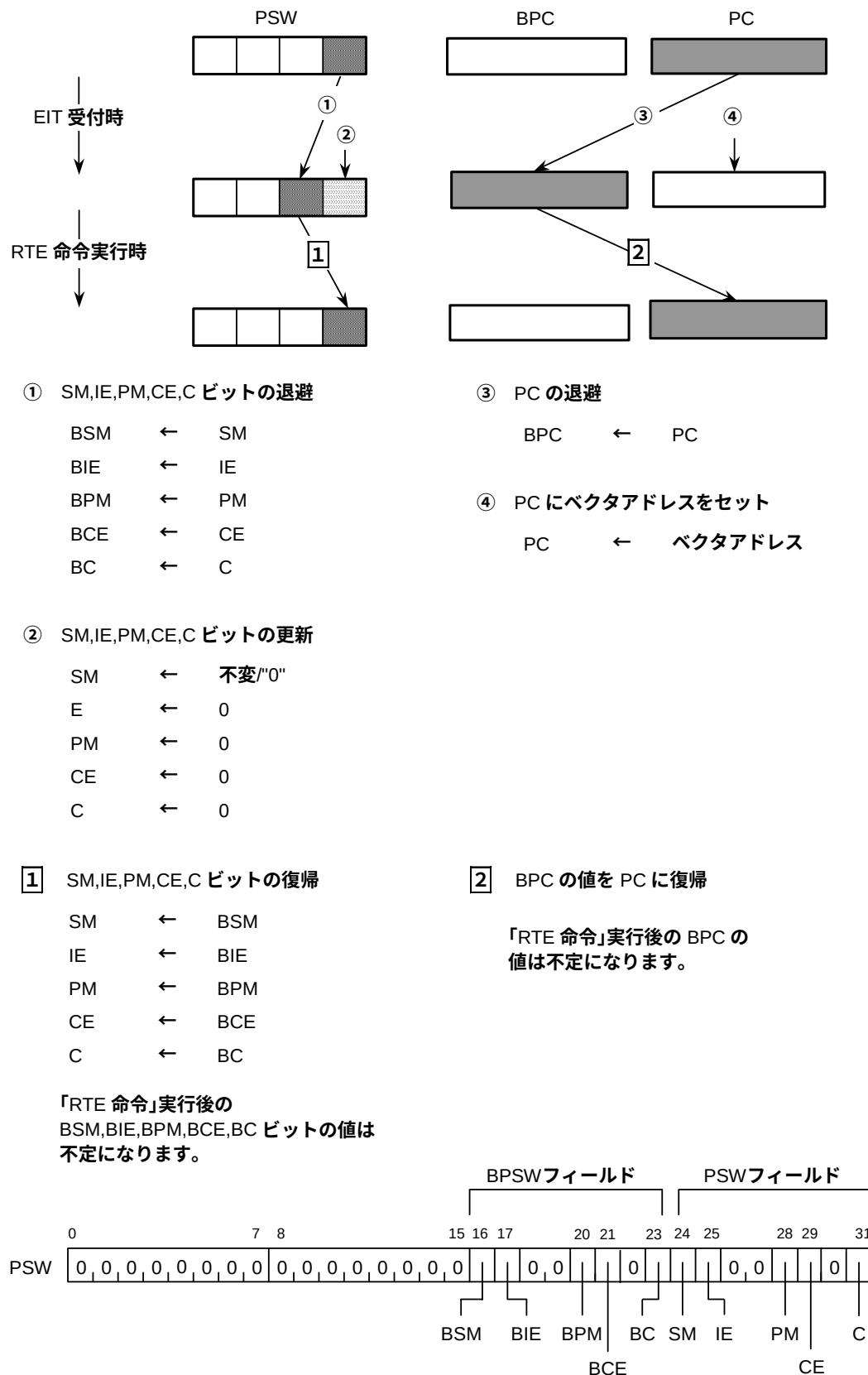


図6.6.1 PC、PSWの退避と復帰

6.7 EITベクタエントリ

EITベクタエントリは、ユーザ空間内のEITベクタベースレジスタ（CR5:EVB）に設定されたアドレスに配置されます。ただし、リセット割り込み（RI）のベクタアドレスは、EVBビットの設定に関わらず、"H'0000 0000"となります。

EVBベクタベースレジスタの初期値は"H'0000 0000"で、リセット解除後、1回のみEITベクタエントリのアドレスを変更することができます。EVBベクタベースレジスタへの書き込みは、リセットハンドラの先頭で行ってください。

なお、アドレス変換モードによって、EITベクタベースレジスタ（EVB）のATビットが切り替わり、EITベクタエントリの最上位アドレスが切り替わります。表6.7.1にEITベクタエントリのアドレス範囲を示します。

表6.7.1 EITベクタエントリアドレス範囲

プロセッサモード	アドレス変換モード	EVBレジスタATビット	EITベクタエントリアドレス範囲
スーパーバイザモード	オフ	"0"	H'0000 0000~H'1FFF 0000
	オン	"1"	H'8000 0000~H'9FFF 0000
ユーザモード	オフ	"0"	H'0000 0000~H'1FFF 0000
	オン	"1"	アクセス例外領域

EVBレジスタの詳細については、「第2章 CPU」を参照してください。

表6.7.2にEITベクタエントリの一覧を示します。

表6.7.2 EITベクタエントリ

名称	略号	EITベクタアドレス		SM	PM	IE	BPCに保存される値
		リセット解除時	EVBレジスタ 変更時				
リセット割り込み	RI	H'0000 0000	H'0000 0000	0	0	0	不定値
システムブレーク 割り込み	SBI	H'0000 0010	EVB+H' 0010	0	0	0	次命令のPC値
予約命令例外	RIE	H'0000 0020	EVB+H' 0020	不変	0	0	発生命令のPC値
アドレス例外	AE	H'0000 0030	EVB+H' 0030	不変	0	0	発生命令のPC値
トラップ	TRAP0	H'0000 0040	EVB+H' 0040	不変	0	0	TRAP命令のPC値+4
	TRAP1	H'0000 0044	EVB+H' 0044	不変	0	0	〃
	TRAP2	H'0000 0048	EVB+H' 0048	不変	0	0	〃
	TRAP3	H'0000 004C	EVB+H' 004C	不変	0	0	〃
	TRAP4	H'0000 0050	EVB+H' 0050	不変	0	0	〃
	TRAP5	H'0000 0054	EVB+H' 0054	不変	0	0	〃
	TRAP6	H'0000 0058	EVB+H' 0058	不変	0	0	〃
	TRAP7	H'0000 005C	EVB+H' 005C	不変	0	0	〃
	TRAP8	H'0000 0060	EVB+H' 0060	不変	0	0	〃
	TRAP9	H'0000 0064	EVB+H' 0064	不変	0	0	〃
	TRAP10	H'0000 0068	EVB+H' 0068	不変	0	0	〃
	TRAP11	H'0000 006C	EVB+H' 006C	不変	0	0	〃
	TRAP12	H'0000 0070	EVB+H' 0070	不変	0	0	〃
	TRAP13	H'0000 0074	EVB+H' 0074	不変	0	0	〃
	TRAP14	H'0000 0078	EVB+H' 0078	不変	0	0	〃
	TRAP15	H'0000 007C	EVB+H' 007C	不変	0	0	〃
外部割り込み	EI	H'0000 0080	EVB+H' 0080	0	0	0	次命令のPC値
コプロセッサ割り込み	CPI	H'0000 0090	EVB+H' 0090	0	0	0	次命令のPC値
特権命令例外	PIE	H'0000 0100	EVB+H' 0100	不変	0	0	発生命令のPC値
命令アクセス例外 データアクセス例外	IACE DACE	H'0000 0110	EVB+H' 0110	不変	0	0	発生命令のPC値
命令TLBミス例外 データTLBミス例外	ITME DTME	H'0000 0120	EVB+H' 0120	不変	0	0	発生命令のPC値
コプロセッサ ディスエーブル例外	CDE	H'0000 0160	EVB+H' 0160	不変	0	0	発生命令のPC値

6.8 例外 (Exception) 処理

6.8.1 予約命令例外 (RIE)

【発生条件】

予約命令例外 (RIE: Reserved Instruction Exception) は、予約命令 (インプリメントされていない命令) を検出した場合に発生します。命令のチェックは命令のオペコード部に対して行われます。

予約命令例外が発生した場合には、その命令は実行されません。予約命令例外が検出されたときに外部割り込み要求があっても、予約命令例外が受け付けられます。

【EIT処理】

(1) SM、IE、PM、CE、Cビットの退避

PSWレジスタ中のSM、IE、PM、CE、Cビットを、BSM、BIE、BPM、BCE、BCビットに退避します。

BSM	←	SM
BIE	←	IE
BPM	←	PM
BCE	←	CE
BC	←	C

(2) SM、IE、PM、CE、Cビットの更新

PSWレジスタ中のSM、IE、PM、CE、Cビットを次のように更新します。

SM	←	不変
IE	←	"0"
PM	←	"0"
CE	←	"0"
C	←	"0"

(3) PCの退避

予約命令例外を起こした命令のPC値がBPCにセットされます。例えば予約命令例外を起こした命令が4番地ならBPCには4がセットされ、6番地ならBPCに6がセットされます。この場合、BPCのビット30の値は、予約命令例外を起こした命令がワード境界にあるか (BPC[30]=0)、ワード境界にないか (BPC[30]=1) を示します。

EITハンドラ終了後の「RTE命令」の戻り先は、先のケースでは、4番地または6番地になります。

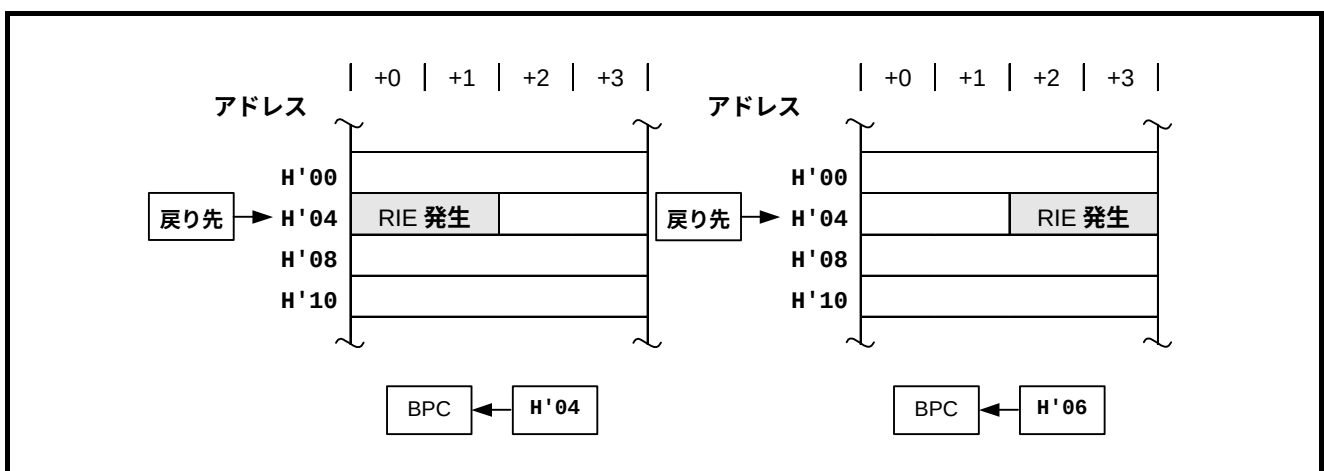


図6.8.1 予約命令例外 (RIE) の戻り先例

(4) EITベクタエントリへの分岐

アドレス EVB + "H'0020"番地 (リセット解除時はH'0000 0020番地) へ分岐します。OPSP-CPUが行うハードウェア前処理はここまでです。

(5) EITベクタエントリからEITハンドラへの分岐

OPSP-CPUは、(EVB + "H'020") 番地にユーザが書いた「分岐命令」を実行して、EITハンドラの先頭番地へ分岐します。EITハンドラの先頭では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避してください。

(6) EITハンドラからの復帰

EITハンドラの終わりでは、スタックから汎用レジスタ、及びBPCとPSWを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。このとき、RIE発生の命令を含むワード境界の命令から実行します (図6.8.1参照)。

通常、予約命令例外が発生した場合、その時点ですでにシステムに何らかの致命的な障害が発生したことを意味します。この場合、予約命令例外ハンドラから再び元のプログラムに復帰させないでください。

6.8.2 アドレス例外 (AE)**【発生条件】**

アドレス例外 (AE: Address Exception) は、ロード命令やストア命令でアライメントのとれていないアドレスにアクセスしようとした場合に発生します。

アドレス例外が起動される命令と、アドレスの組み合わせは次のとおりです。

- LDH命令、LDUH命令、STH命令でアドレス下位2ビットが"01","11"の場合。
- LD命令、ST命令、LOCK命令、UNLOCK命令でアドレス下位2ビットが"01","10","11"の場合。

アドレス例外が発生した場合、その命令によるメモリアクセスは行われません。アドレス例外が検出されたときに外部割り込み要求があってもアドレス例外が受け付けられます。

【注意事項】

LOCKビットが"0"のときに、UNLOCK命令を実行してもアドレス例外は検出しません。

【EIT処理】**(1) SM、IE、PM、CE、Cビットの退避**

PSWレジスタ中のSM,IE,PM,CE,Cビットを、BSM,BIE,BPM,BCE,BCビットに退避します。

BSM	←	SM
BIE	←	IE
BPM	←	PM
BCE	←	CE
BC	←	C

(2) SM、IE、PM、CE、Cビットの更新

PSWレジスタ中のSM、IE、PM、CE、Cビットを次のように更新します。

SM	←	不変
IE	←	"0"
PM	←	"0"
CE	←	"0"
C	←	"0"

(3) PCの退避

アドレス例外を起こした命令のPC値がBPCにセットされます。例えばアドレス例外を起こした命令が4番地ならBPCには4がセットされ、6番地ならBPCに6がセットされます。この場合、BPCのビット30の値は、アドレス命令例外を起こした命令がワード境界にあるか (BPC[30]=0)、ワード境界にないか (BPC[30]=1) を示します。

EITハンドラ終了後の「RTE命令」の戻り先は、先のケースでは、4番地または6番地になります。

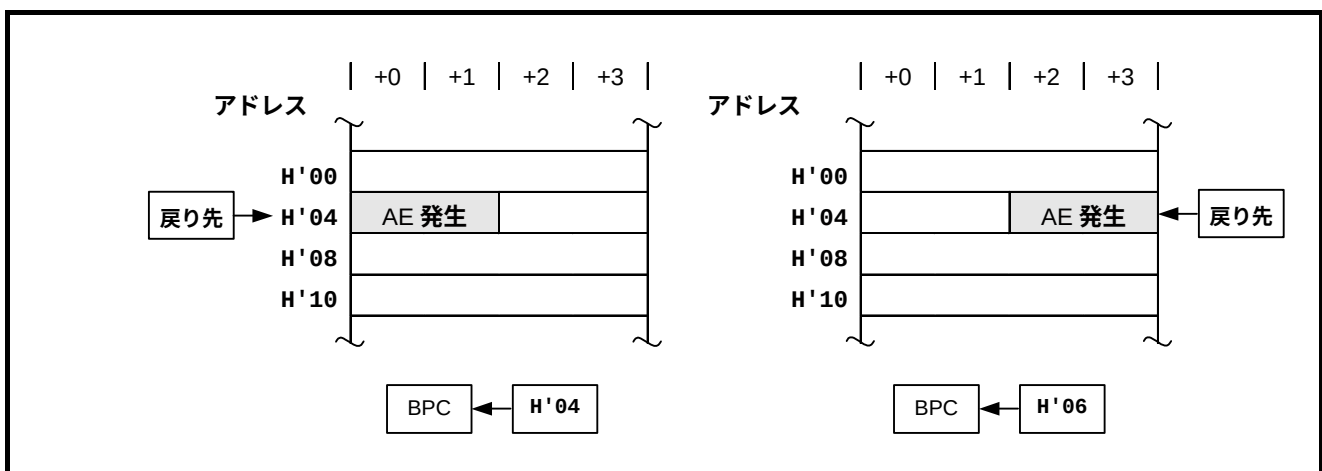


図6.8.2 アドレス例外 (AE) の戻り先例

(4) EITベクトエントリへの分岐

EVBレジスタ+H'0030番地 (リセット解除時はH'0000 0030番地) へ分岐します。OPSP-CPUが行うハードウェア前処理はここまでです。

(5) EITベクタエントリからEITハンドラへの分岐

OPSP-CPUは、EITベクタエントリの (EVB + "H'0030") 番地にユーザが書いた「分岐命令」を実行して、EITハンドラの先頭番地へ分岐します。EITハンドラの先頭では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避してください。

(6) EITハンドラからの復帰

EITハンドラの終わりでは、スタックから汎用レジスタ、およびBPCとPSWを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的行われます (図6.8.2参照)。

意図的にアドレス例外を使用している場合を除き、アドレス例外が発生した場合、その時点ですでにシステムに何らかの致命的な障害が発生したことを意味します。この場合、アドレス例外ハンドラから元のプログラムに復帰させないでください。

6.8.3 特権命令例外 (PIE)

【発生条件】

特権命令例外 (PIE: Privilege Instruction Exception) は、特権命令 (スーパーバイザモードでのみ実行可能な命令) をユーザモードで実行した場合に発生します。OPSP-CPUでの特権命令は「RTE命令」、「MVTC命令」、「SETPSW命令」、「CLRPSW命令」です。

特権命令例外が発生した場合には、その命令は実行されません。特権命令例外が検出されたときに外部割り込み要求があっても、特権命令例外が受け付けられます。

【EIT処理】

(1) SM、IE、PM、CE、Cビットの退避

PSWレジスタ中のSM、IE、PM、CE、Cビットを、BSM、BIE、BPM、BCE、BCビットに退避します。

BSM	←	SM
BIE	←	IE
BPM	←	PM
BCE	←	CE
BC	←	C

(2) SM、IE、PM、CE、Cビットの更新

PSWレジスタ中のSM、IE、PM、CE、Cビットを次のように更新します。

SM	←	不変
IE	←	"0"
PM	←	"0"
CE	←	"0"
C	←	"0"

(3) PCの退避

特権命令例外を起こした命令のPC値がBPCにセットされます。例えば特権命令例外を起こした命令が4番地ならBPCには4がセットされ、6番地ならBPCに6がセットされます。この場合、BPCのビット30の値は、特権命令例外を起こした命令がワード境界にあるか (BPC[30]=0)、ワード境界にないか (BPC[30]=1) を示します。

EITハンドラ終了後の「RTE命令」の戻り先は、先のケースでは、4番地または6番地になります。

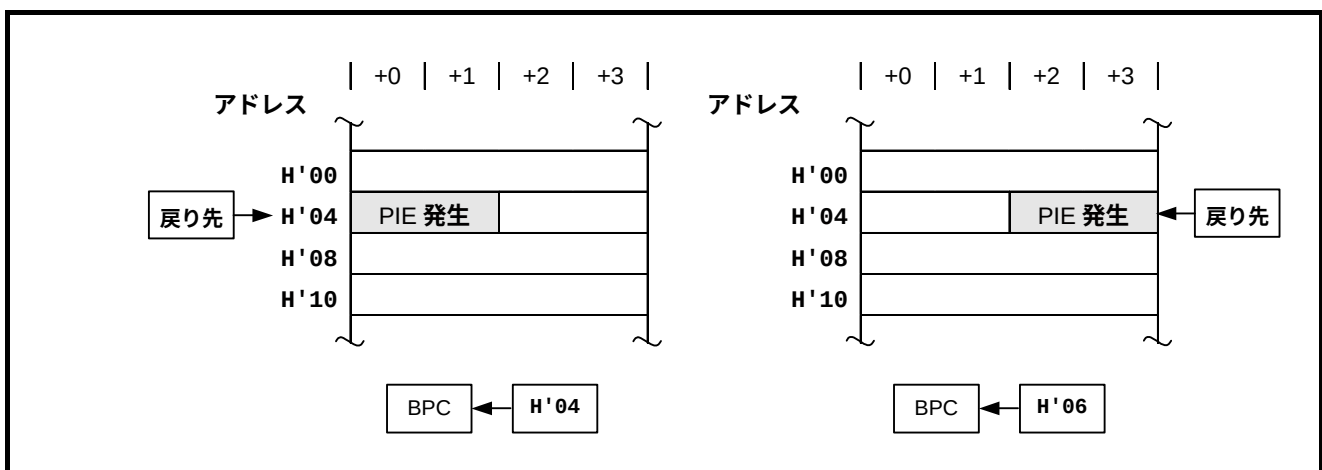


図6.8.3 特権命令例外 (PIE) の戻り先例

(4) EITベクタエントリへの分岐

アドレス EVB + "H'0100"番地（リセット解除時はH'0000 0100番地）へ分岐します。OPSP-CPUが行うハードウェア前処理はここまでです。

(5) EITベクタエントリからEITハンドラへの分岐

OPSP-CPUは、(EVB + "H'0100") 番地にユーザが書いた「分岐命令」を実行して、EITハンドラの先頭番地へ分岐します。EITハンドラの先頭では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避してください。

(6) EITハンドラからの復帰

EITハンドラの終わりでは、スタックから汎用レジスタ、およびBPCとPSWを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。

6.8.4 アクセス例外処理 (ACE)

【発生条件】

アクセス例外 (ACE: Access Exception) は、アクセスしたページがアクセス禁止に設定されている場合に発生します。実行禁止に設定されているページに対して命令フェッチを行った場合は、命令アクセス例外(IACE)を起動します。読み出し禁止に設定されているページに対してデータリードを行った場合、または、書き込み禁止に設定されているページに対してデータライトを行った場合、データアクセス例外(DACE)を起動します。

アクセス例外が発生した場合、その命令によるメモリアクセスは行われません。アクセス例外が検出されたときに外部割り込み要求があってもアクセス例外が受け付けられます。

【EIT処理】

(1) SM、IE、PM、CE、Cビットの退避

PSWレジスタ中のSM,IE,PM,CE,Cビットを、BSM,BIE,BPM,BCE,BCビットに退避します。

BSM	←	SM
BIE	←	IE
BPM	←	PM
BCE	←	CE
BC	←	C

(2) SM、IE、PM、CE、Cビットの更新

PSWレジスタ中のSM,IE,PM,CE,Cビットを次のように更新します。

SM	←	不変
IE	←	"0"
PM	←	"0"
CE	←	"0"
C	←	"0"

(3) PCの退避

アクセス例外を起こした命令のPC値がBPCにセットされます。例えば、命令またはデータアクセス例外を起こした命令が4番地ならBPCには4がセットされ、6番地ならBPCに6がセットされます。この場合、BPCのビット30の値は、アドレス例外を起こした命令がワード境界上にあるか (BPC[30]=0)、ワード境界上にないか (BPC[30]=1) を示します。

EITハンドラ終了後の「RTE命令」の戻り先は、先のケースでは、4番地または6番地になります。

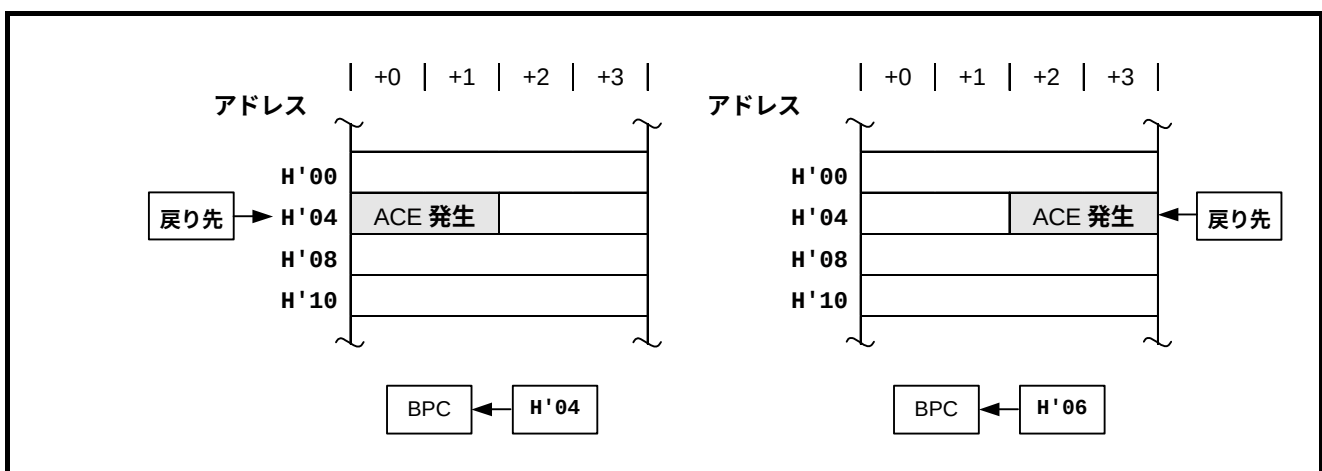


図6.8.4 アクセス例外 (ACE) の戻り先例

(4) EITベクトエントリへの分岐

アドレス EVB + "H'0110"番地（リセット解除時はH'0000 0110番地）へ分岐します。OPSP-CPUが行うハードウェア前処理はここまでです。

(5) EITベクタエントリからEITハンドラへの分岐

OPSP-CPUは、(EVB + "H'0110") 番地にユーザが書いた「分岐命令」を実行して、EITハンドラの先頭番地へ分岐します。EITハンドラの先頭では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避してください。

(6) EITハンドラからの復帰

EITハンドラの終わりでは、スタックから汎用レジスタ、およびBPCとPSWを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。

6.8.5 TLBミス例外処理 (TME)

【発生条件】

TLBミス例外 (TME: TLB Miss Exception) は、アクセスしようとした仮想アドレスに対応するアドレス変換情報が、TLBエントリに存在しない場合に発生します。命令フェッチの場合は、命令TLBミス例外 (ITME) を起動します。また、データアクセスの場合は、データTLBミス例外 (DTME) を起動します。

TLBミス例外が発生した場合、その命令によるメモリアクセスは行われません。TLBミス例外が検出されたときに外部割り込み要求があってもTLBミス例外が受け付けられます。

【EIT処理】

(1) SM、IE、PM、CE、Cビットの退避

PSWレジスタ中のSM,IE,PM,CE,Cビットを、BSM,BIE,BPM,BCE,BCビットに退避します。

BSM	←	SM
BIE	←	IE
BPM	←	PM
BCE	←	CE
BC	←	C

(2) SM、IE、PM、CE、Cビットの更新

PSWレジスタ中のSM,IE,PM,CE,Cビットを次のように更新します。

SM	←	不変
IE	←	"0"
PM	←	"0"
CE	←	"0"
C	←	"0"

(3) PCの退避

TLBミス例外を起こした命令のPC値がBPCにセットされます。例えば、命令またはデータTLBミス例外を起こした命令が4番地ならBPCには4がセットされ、6番地ならBPCに6がセットされます。この場合、BPCのビット30の値は、アドレス例外を起こした命令がワード境界上にあるか (BPC[30]=0)、ワード境界上にないか (BPC[30]=1) を示します。

EITハンドラ終了後の「RTE命令」の戻り先は、先のケースでは、4番地または6番地になります。

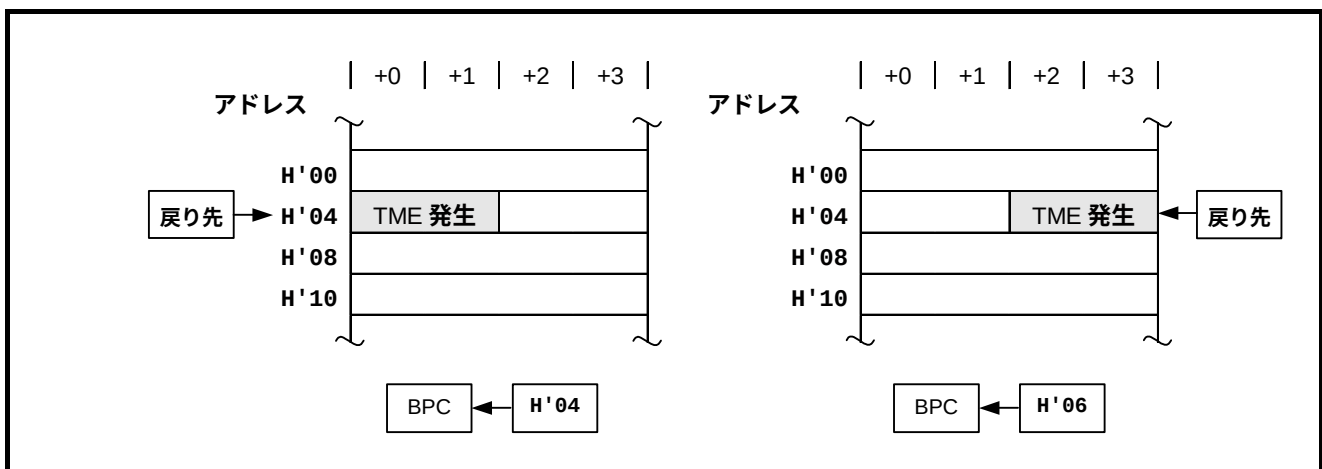


図6.8.5 TLBミス例外 (TME) の戻り先の例

(4) EITベクトエントリへの分岐

アドレス EVB + "H'0120"番地（リセット解除時はH'0000 0120番地）へ分岐します。OPSP-CPUが行うハードウェア前処理はここまです。

(5) EITベクタエントリからEITハンドラへの分岐

OPSP-CPUは、(EVB + "H'0120") 番地にユーザが書いた「分岐命令」を実行して、EITハンドラの先頭番地へ分岐します。EITハンドラの先頭では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避してください。

(6) EITハンドラからの復帰

EITハンドラの終わりでは、スタックから汎用レジスタ、およびBPCとPSWを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。

6.8.6 コプロセッサディスエーブル例外 (CDE)

【発生条件】

コプロセッサディスエーブル例外 (CDE : Coprocessor Disable Exception) は、実行するコプロセッササポート命令が指定したコプロセッサIDに対応するコプロセッサが、禁止状態であることが検出された場合に発生します。コプロセッササポート命令は、コプロセッサとのインタフェースに用いる命令です。

コプロセッサディスエーブル例外が発生した場合には、その命令は実行されません。コプロセッサディスエーブル例外命令例外が検出されたときに外部割り込み要求があっても、コプロセッサディスエーブル例外が受け付けられません。

【EIT処理】

(1) SM、IE、PM、CE、Cビットの退避

PSWレジスタ中のSM、IE、PM、CE、Cビットを、BSM、BIE、BPM、BCE、BCビットに退避します。

BSM	←	SM
BIE	←	IE
BPM	←	PM
BCE	←	CE
BC	←	C

(2) SM、IE、PM、CE、Cビットの更新

PSWレジスタ中のSM、IE、PM、CE、Cビットを次のように更新します。

SM	←	不変
IE	←	"0"
PM	←	"0"
CE	←	"0"
C	←	"0"

(3) PCの退避

コプロセッサディスエーブル例外を起こした命令のPC値がBPCにセットされます。例えばコプロセッサディスエーブル例外を起こした命令が4番地ならBPCには4がセットされます。EITハンドラ終了後の「RTE命令」の戻り先は、先のケースでは、4番地になります。

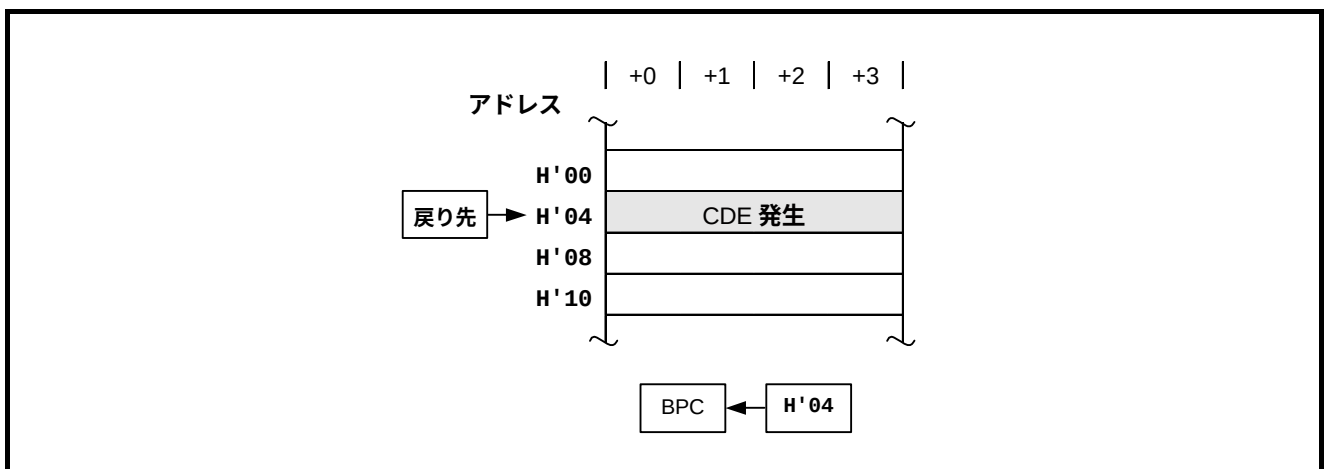


図6.8.6 コプロセッサディスエーブル例外 (CDE) の戻り先例

(4) EITベクタエントリへの分岐

アドレス EVB + "H'0160"番地（リセット解除時はH'0000 0160番地）へ分岐します。OPSP-CPUが行うハードウェア前処理はここまでです。

(5) EITベクタエントリからEITハンドラへの分岐

OPSP-CPUは、(EVB + "H'0160") 番地にユーザが書いた「分岐命令」を実行して、EITハンドラの先頭番地へ分岐します。EITハンドラの先頭では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避してください。

(6) EITハンドラからの復帰

EITハンドラの終わりでは、スタックから汎用レジスタ、およびBPCとPSWを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。

6.9 割り込み (Interrupt) 処理

6.9.1 リセット割り込み (RI)

【発生条件】

RESET#端子に"L"レベル信号を入力すると、各マシンサイクルごと無条件にリセット割り込みが受け付けられます。リセット割り込みはEITの中で常に最高位の優先度を持ちます。

【EIT処理】

(1) SM、IE、PM、CE、Cビットの初期化

PSWレジスタ中のSM,IE,PM,CE,Cビットを次のように初期化します。

SM	←	"0"
IE	←	"0"
PM	←	"0"
CE	←	"0"
C	←	"0"

リセット割り込みの場合、BSM,BIE,BPM,BCE,BCビットの値は不定となります。

(2) EITベクタエントリへの分岐

アドレスH'0000 0000番地へ分岐します。

(3) EITベクタエントリからユーザプログラムへの分岐

OPSP-CPUは、EITベクタエントリのH'0000 0000番地にユーザが書いた「分岐命令」を実行して、リセットハンドラの先頭番地へ分岐します。リセットハンドラの先頭ではPSWとSPIレジスタの初期化を行った後、ユーザが記述したプログラムの先頭番地へ分岐してください。

6.9.2 システムブレーク割り込み (SBI)

システムブレーク割り込み (SBI) は、SBI#端子からの割り込み要求です。システムブレーク割り込みは、PSWレジスタ中のIEビットによるマスクはありません。

電源断の検出時など、割り込みを検出した時点ですでにシステムに何らかの致命的な障害が発生したと考えられる場合に使用します。この場合、SBIハンドラ処理後にSBI発生時に実行していた元のプログラムに復帰しない条件でご使用ください。

【発生条件】

SBI#端子への立下りエッジ入力により、システムブレーク割り込みが受け付けられます (システムブレーク割り込みはPSWレジスタ中のIEビットによってマスクされません)。

ワード境界から始まる16ビット命令の実行直後に、システムブレーク割り込みが起動されることはありません (ただし16ビット分岐命令の場合は、分岐の直後に受け付けられます)。

また命令処理完了型のため命令の完了後にシステムブレーク割り込みが受け付けられます。

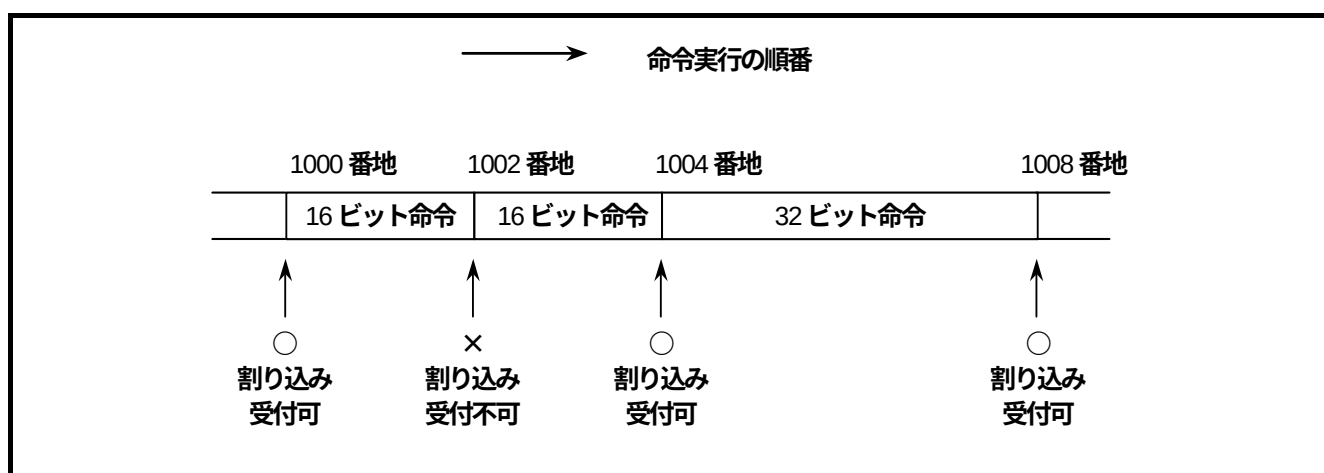


図6.9.1 システムブレーク割り込み (SBI) 受付タイミング

【EIT処理】**(1) SM、IE、PM、CE、Cビットの退避**

PSWレジスタ中のSM,IE,PM,CE,Cビットを、BSM,BIE,BPM,BCE,BCビットに退避します。

BSM	←	SM
BIE	←	IE
BPM	←	PM
BCE	←	CE
BC	←	C

(2) SM、IE、PM、CE、Cビットの更新

PSWレジスタ中のSM,IE,PM,CE,Cビットを次のように更新します。

SM	←	"0"
IE	←	"0"
PM	←	"0"
CE	←	"0"
C	←	"0"

(3) PCの退避

PCの内容（常にワード境界）を、BPCに退避します。

(4) EIT ベクタエントリへの分岐

アドレス EVB + "H'0010"番地（リセット解除時はH'0000 0010番地）へ分岐します。OPSP-CPUが行うハードウェア前処理はここまでです。

(5) EITベクタエントリからEITハンドラへの分岐

OPSP-CPUは、（EVB + "H'0010"）番地にユーザが書いた「分岐命令」を実行して、EITハンドラの先頭番地へ分岐します。

システムブレーク割り込みはシステムに何らかの致命的な障害が発生したと考えられる場合にのみ使用します。SBIハンドラ処理後も、SBI発生時に実行していた元のプログラムに復帰しない条件でご使用ください。

6.9.3 外部割り込み (EI)

外部割り込み (EI) は、内蔵の割り込みコントローラ (ICU) からの割り込みよう要求に基づいて発生します。外部割り込みは、PSWレジスタ中のIEビットによるマスク制御が可能です。

割り込みコントローラでは、割り込み禁止レベルを含めて8レベルの優先順位を設けて割り込み管理することができます。割り込みコントローラの詳細については「第8章 割り込みコントローラ」を参照してください。

【発生条件】

外部割り込みは、INT0～INT7端子、および内蔵周辺I/Oからの割り込み要求に基づいて割り込みコントローラが管理を行い、CPUへ伝えます。CPUはワード境界にある命令の切れ目でこの要求をチェックし、割り込み要求があり、かつPSWレジスタのIEビットが"1"のときに外部割り込みを受け付けます。

ワード境界から始まる16ビット命令実行直後に、外部割り込みが起動されることはありません。(ただし16ビット分岐命令の場合は、分岐の直後に受け付けられます)。

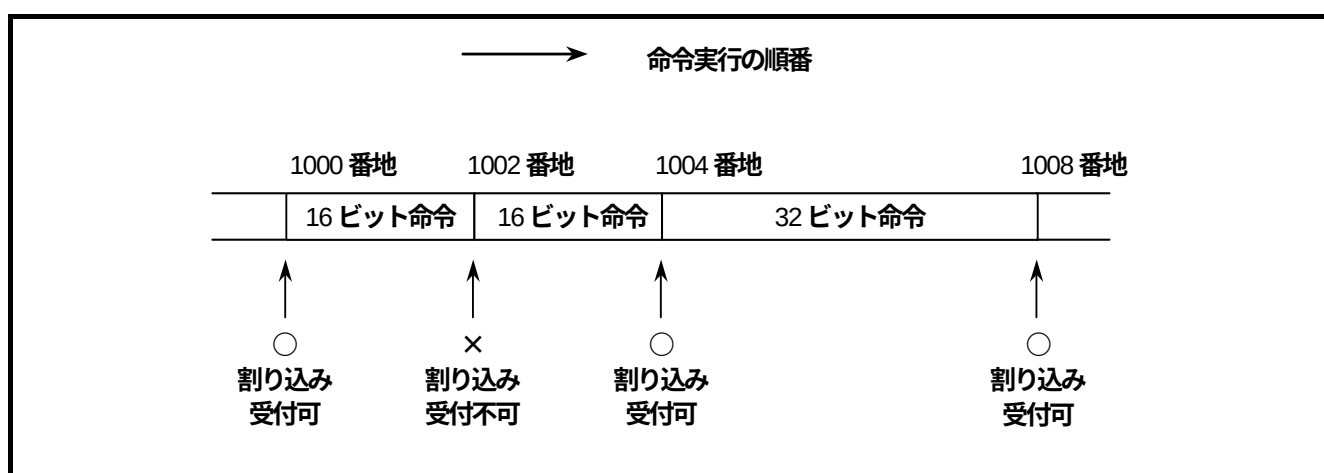


図6.9.2 外部割り込み (EI) 受付タイミング

【EIT処理】**(1) SM、IE、PM、CE、Cビットの退避**

PSWレジスタ中のSM,IE,PM,CE,Cビットを、BSM,BIE,BPM,BCE,BCビットに退避します。

BSM	←	SM
BIE	←	IE
BPM	←	PM
BCE	←	CE
BC	←	C

(2) SM、IE、PM、CE、Cビットの更新

PSWレジスタ中のSM,IE,PM,CE,Cビットを次のように更新します。

SM	←	"0"
IE	←	"0"
PM	←	"0"
CE	←	"0"
C	←	"0"

(3) PCの退避

PCの内容（常にワード境界）を、BPCに退避します。

(4) EIT ベクタエントリへの分岐

アドレス EVB + "H'0080"番地（リセット解除時はH'0000 0080番地）へ分岐します。OPSP-CPUが行うハードウェア前処理はここまでです。

(5) EITベクタエントリからEITハンドラへの分岐

OPSP-CPUは、（EVB + "H'0080"）番地にユーザが書いた「分岐命令」を実行して、EITハンドラの先頭番地へ分岐します。外部割り込みハンドラの先頭では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避してください。

(6) EITハンドラからの復帰

外部割り込みのEITハンドラの終わりでは、スタックから汎用レジスタおよびBPCとPSWを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。

6.9.4 コプロセッサ割り込み (CPI)

コプロセッサ割り込み (CPI) は、コプロセッサからの割り込み要求に基づいて発生します。コプロセッサ割り込みは、PSWレジスタ中のCEビットによるマスク制御が可能です。

【発生条件】

コプロセッサ割り込みは、コプロセッサからの割り込み要求に基づいて発生します。OPSP-CPUは、ワード境界にある命令の切れ目でこの要求をチェックし、割り込み要求があり、かつPSWレジスタのCEビットが"1"の時に外部割り込みは受け付けられます。

ワード境界から始まる16ビット命令実行直後に、外部割り込みが起動されることはありません (ただし16ビット分岐命令の場合は、分岐の直後に受け付けられます)。

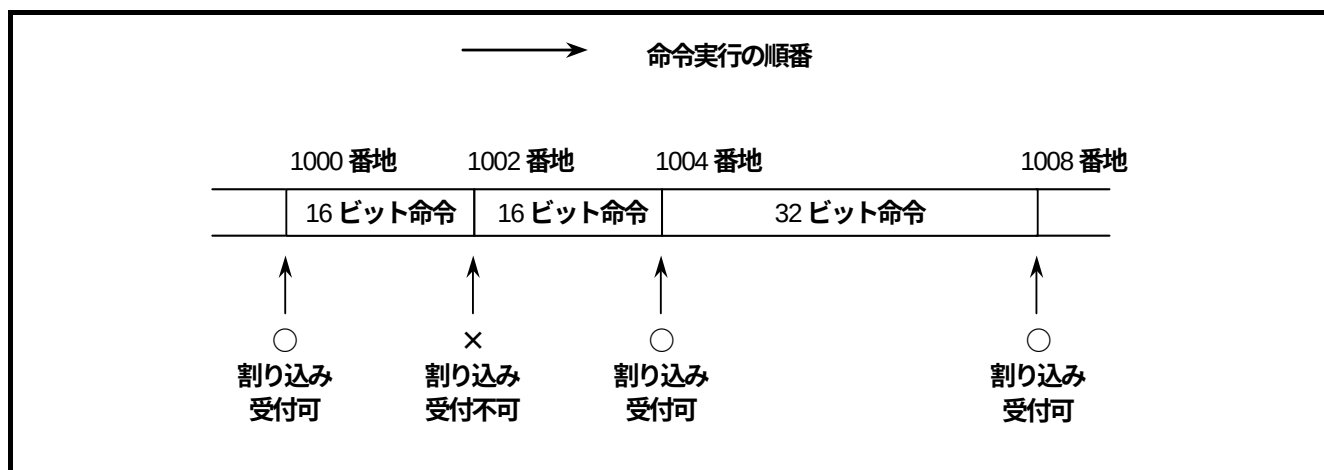


図6.9.3 コプロセッサ割り込み (CPI) 受付タイミング

【EIT処理】**(1) SM、IE、PM、CE、Cビットの退避**

PSWレジスタ中のSM,IE,PM,CE,Cビットを、BSM,BIE,BPM,BCE,BCビットに退避します。

BSM	←	SM
BIE	←	IE
BPM	←	PM
BCE	←	CE
BC	←	C

(2) SM、IE、PM、CE、Cビットの更新

PSWレジスタ中のSM,IE,PM,CE,Cビットを次のように更新します。

SM	←	"0"
IE	←	"0"
PM	←	"0"
CE	←	"0"
C	←	"0"

(3) PCの退避

PCの内容（常にワード境界）を、BPCに退避します。

(4) EIT ベクタエントリへの分岐

アドレス EVB + "H'0090"番地（リセット解除時はH'0000 0090番地）へ分岐します。OPSP-CPUが行うハードウェア前処理はここまでです。

(5) EITベクタエントリからEITハンドラへの分岐

OPSP-CPUは、（EVB + "H'0090"）番地にユーザが書いた「分岐命令」を実行して、EITハンドラの先頭番地へ分岐します。外部割り込みハンドラの先頭では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避してください。

(6) EITハンドラからの復帰

外部割り込みのEITハンドラの終わりでは、スタックから汎用レジスタおよびBPCとPSWを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。

6.10 トラップ (Trap) 処理

6.10.1 トラップ (TRAP)

【発生条件】

トラップとはソフトウェア割り込みのことで、「TRAP命令」の実行により発生します。「TRAP命令」のオペランド0～15に対応して16種類のトラップが発生します。これに対応して、EITベクタエントリは16エントリ用意されています。

【EIT処理】

(1) SM、IE、PM、CE、Cビットの退避

PSWレジスタ中のSM,IE,PM,CE,Cビットを、BSM,BIE,BPM,BCE,BCビットに退避します。

BSM	←	SM
BIE	←	IE
BPM	←	PM
BCE	←	CE
BC	←	C

(2) SM、IE、PM、CE、Cビットの更新

PSWレジスタ中のSM,IE,PM,CE,Cビットを次のように更新します。

SM	←	変化しない
IE	←	"0"
PM	←	"0"
CE	←	"0"
C	←	"0"

(3) PCの退避

トラップ命令を実行すると、(TRAP命令のPC値+2)の値がBPCにセットされます。例えば、4番地に「TRAP命令」が置かれた場合は、BPCに6がセットされます。同様に6番地に置かれた場合は、BPCには8がセットされます。

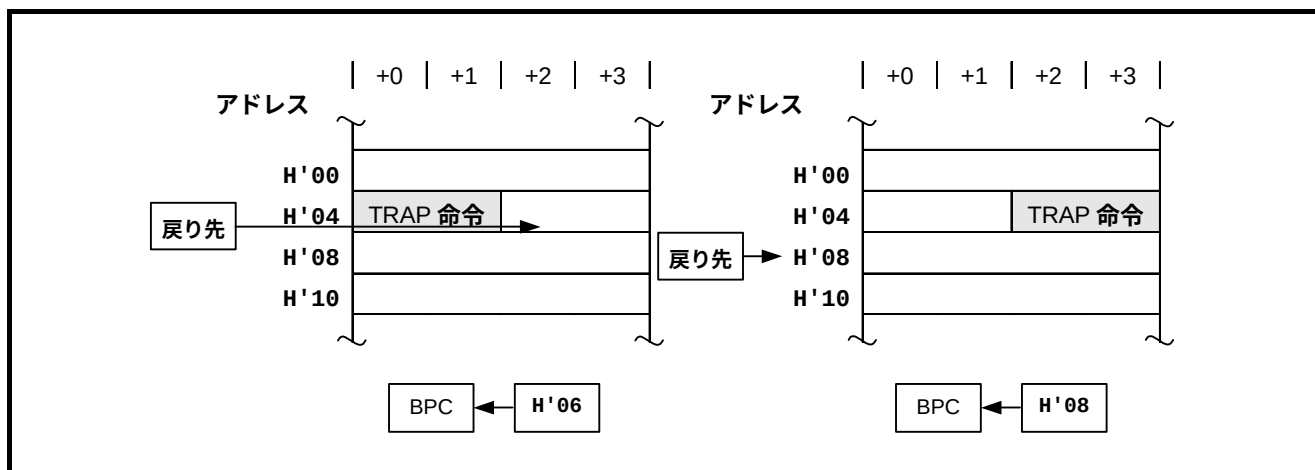


図6.10.1 トラップ (TRAP) の戻り先例

(4) EITベクタエントリへの分岐

EVBレジスタ+"H' 0040"~"H' 007C"番地（リセット解除時はH'0000 0040番地~H'0000 007C番地）へ分岐します。OPSP-CPUが行うハードウェア前処理はここまでです。

(5) EITベクタエントリからEITハンドラへの分岐

OPSP-CPUは、EVBレジスタ+"H' 0040"~"H' 007C"番地（リセット解除時はH'0000 0040番地~H'0000 007C番地）にユーザが書いた「分岐命令」を実行して、EITハンドラの先頭番地へ分岐します。EITハンドラの先頭では、まずBPCとPSW、及び必要な汎用レジスタをスタックに退避してください。

(6) EITハンドラからの復帰

EITハンドラの終わりでは、スタックから汎用レジスタ、およびBPCとPSWを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。

6.11 EITの優先順位

EIT事象の優先順位は次のとおりです。複数のEITが同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表6.11.1 EIT事象の優先度と復帰形態

優先度	EIT事象	処理型	BPCレジスタに保存される値
1 (最優先)	リセット割り込み (RI)	命令処理放棄型	不定値
2	データアクセス例外 (DACE)	命令処理取消型	DACEが発生した命令のPC値
	データTLBミス例外 (DTME)	命令処理取消型	DTMEが発生した命令のPC値
3	命令アクセス例外 (IACE)	命令処理取消型	IACEが発生した命令のPC値
	命令TLBミス例外 (ITME)	命令処理取消型	ITMEが発生した命令のPC値
4	アドレス例外 (AE)	命令処理取消型	AEが発生した命令のPC値
	特権命令例外 (PIE)	命令処理取消型	PIEが発生した命令のPC値
	予約命令例外 (RIE)	命令処理取消型	RIEが発生した命令のPC値
	トラップ (TRAP)	命令処理完了型	次命令のPC値
	コプロセッサ ディスエーブル例外 (CDE)	命令処理取消型	CDEが発生した命令のPC値
5	システムブレーク割り込み (SBI)	命令処理完了型	次命令のPC値
6	コプロセッサ割り込み (CPI)	命令処理完了型	次命令のPC値
7	外部割り込み (EI)	命令処理完了型	次命令のPC値

6.11.1 EIT処理の例

(1) DACE,DTME,IACE,ITME,AE,PIE,RIE,TRAP,CDE,SBI,CPI,EIが単独で発生した場合

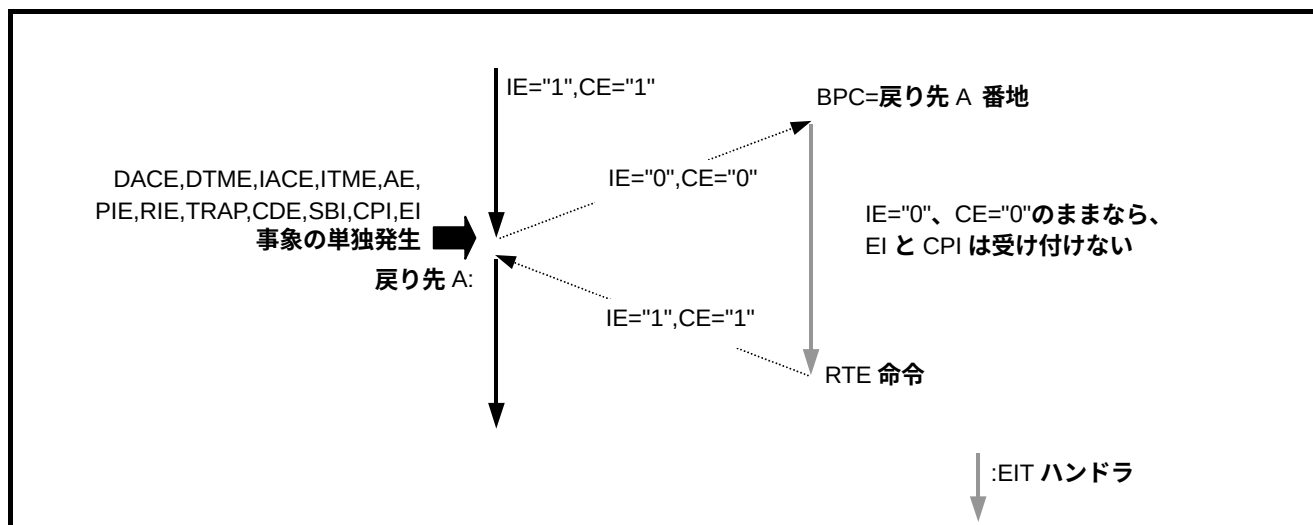


図6.11.1 DACE,DTME,IACE,ITME,AE,PIE,RIE,TRAP,CDE,SBI,CPI,EI各事象の処理

(2) DACE,DTME,IACE,ITME,AE,PIE,RIE,TRAP,CDE,SBI,CPIのいずれかとEIが同時に発生した場合

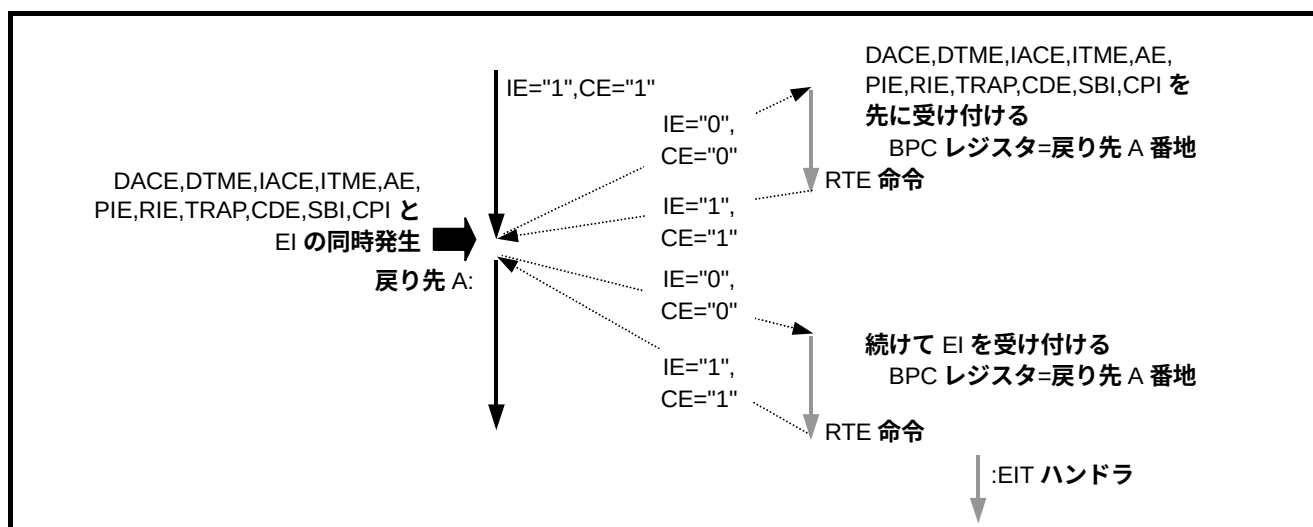


図6.11.2 DACE,DTME,IACE,ITME,AE,PIE,RIE,TRAP,CDE,SBI,CPIとEIが同時に発生した場合の処理

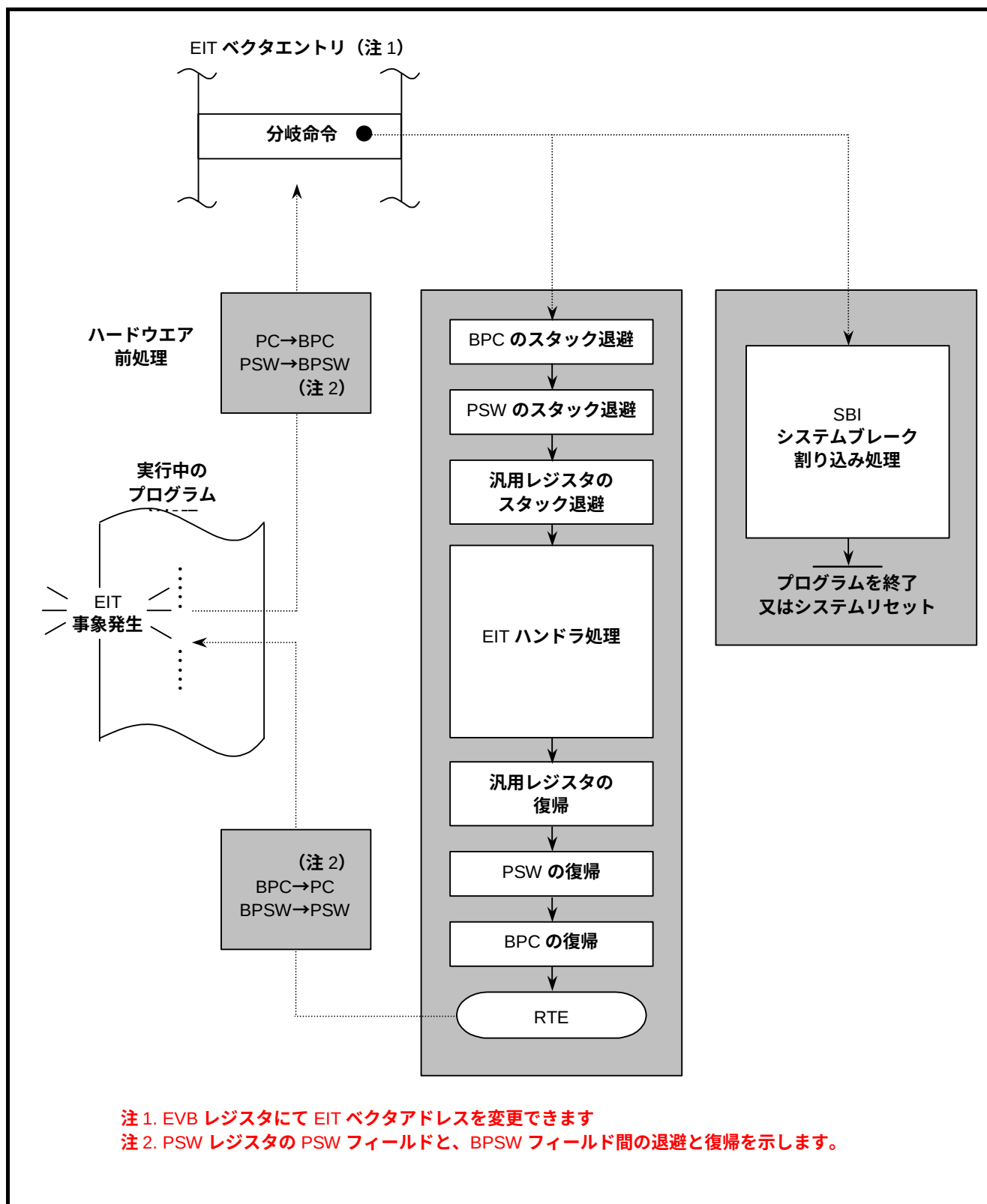


図6.11.3 EIT処理の例

レイアウトの都合上、このページは白紙です。

7.1 プログラマブル入出力ポート概要

OPSPは、ポートP0～P3の計32本のプログラマブル入出力ポート (PIO) を備えています。方向レジスタの設定により入力ポート又は出力ポートとして使用できます。

プログラマブル入出力ポートの端子は、内蔵周辺I/O端子とのマルチファンクションになっています。ポートPi動作モードレジスタの設定により、各端子の機能を選択します。

また、入力のポートの貫通電流対策として、ポート入力許可レジスタを内蔵しており、リセット解除時などの端子に対するソフトウェア及びハードウェア処理を簡素化できます。

表7.1.1にプログラマブル入出力ポートの概要を示します。

なお、この章では、Piのiは0～3です。

表7.1.1 プログラマブル入出力ポートの概要

項目	特長
ポート数	●ポートP0～P3の計32本。 ポートP0： P00～P07 (8本) ポートP1： P10～P17 (8本) ポートP2： P20～P27 (8本) ポートP3： P30～P37 (8本)
ポート機能	●方向レジスタにより、各ポート単位に入力ポート又は出力ポートに設定可能。
端子機能	●外部バスインタフェース端子又は内蔵周辺I/O端子とのマルチファンクション。 ●入力ポートの貫通電流対策としてポート入力許可レジスタを内蔵。

以下にプログラマブル入出力ポート関連のレジスタマッピングを示します。

プログラマブル入出力ポートのレジスタマッピング

番地	b0 +0番地 b7	b8 +1番地 b15	b16 +2番地 b23	b24 +3番地 b31
H'00EF 1000	ポートP0入力許可レジスタ (P0IEN)	ポートP1入力許可レジスタ (P1IEN)	ポートP2入力許可レジスタ (P2IEN)	ポートP3入力許可レジスタ (P3IEN)
	(使用禁止領域)			
H'00EF 1020	ポートP0データレジスタ (P0DATA)	ポートP1データレジスタ (P1DATA)	ポートP2データレジスタ (P2DATA)	ポートP3データレジスタ (P3DATA)
	(使用禁止領域)			
H'00EF 1040	ポートP0方向レジスタ (P0DIR)	ポートP1方向レジスタ (P1DIR)	ポートP2方向レジスタ (P2DIR)	ポートP3方向レジスタ (P3DIR)
	(使用禁止領域)			
H'00EF 1060	ポートP0動作モードレジスタ (P0MOD)		ポートP1動作モードレジスタ (P1MOD)	
H'00EF 1064	ポートP2動作モードレジスタ (P2MOD)		ポートP3動作モードレジスタ (P3MOD)	

7.2 端子の機能選択

7.2.1 プログラマブル入出力ポート端子の機能

プログラマブル入出力ポートの端子は、内蔵周辺I/O端子としても機能します。
図7.2.1にプログラマブル入出力ポートと内蔵周辺I/O機能との対応を示します。

(1) ポートPi端子

ポートPi端子を内蔵周辺I/Oとして使用するか、プログラマブル入出力ポートとして使用するかは、それぞれポートPi動作モードレジスタにより選択できます。

ポートPi動作モードレジスタの詳細については、「7.2.2 ポートPi動作モードレジスタ」を参照してください。

ポート	MDビット	b0	1	2	3	4	5	6	7	
Pi	00	Pi0	Pi1	Pi2	Pi3	Pi4	Pi5	Pi6	Pi7	PIO
	01									内蔵周辺I/O機能1
	10									内蔵周辺I/O機能2
	11									内蔵周辺I/O機能3

図7.2.1 プログラマブル入出力ポートと内蔵周辺I/O機能との対応

7.2.2 ポートPi動作モードレジスタ

ポートP0動作モードレジスタ (P0MOD)	<アドレス: H'00EF 1060>
ポートP1動作モードレジスタ (P1MOD)	<アドレス: H'00EF 1062>
ポートP2動作モードレジスタ (P2MOD)	<アドレス: H'00EF 1064>
ポートP3動作モードレジスタ (P3MOD)	<アドレス: H'00EF 1066>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
MD00		MD01		MD02		MD03		MD04		MD05		MD06		MD07	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

※バイト (8ビット) /ハーフワード (16ビット) /ワード (32ビット) アクセス可能

<リセット解除時: H'0000>

b	ビット名	機能	R	W
0,1	MD00 ポートPi0端子機能選択ビット	00: プログラマブル入出力ポート 01: 周辺内蔵I/O機能1 10: 周辺内蔵I/O機能2 11: 周辺内蔵I/O機能3	?	W
2,3	MD01 ポートPi1端子機能選択ビット	00: プログラマブル入出力ポート 01: 周辺内蔵I/O機能1 10: 周辺内蔵I/O機能2 11: 周辺内蔵I/O機能3	?	W
4,5	MD02 ポートPi2端子機能選択ビット	00: プログラマブル入出力ポート 01: 周辺内蔵I/O機能1 10: 周辺内蔵I/O機能2 11: 周辺内蔵I/O機能3	?	W
6,7	MD03 ポートPi3端子機能選択ビット	00: プログラマブル入出力ポート 01: 周辺内蔵I/O機能1 10: 周辺内蔵I/O機能2 11: 周辺内蔵I/O機能3	?	W
8,9	MD04 ポートPi4端子機能選択ビット	00: プログラマブル入出力ポート 01: 周辺内蔵I/O機能1 10: 周辺内蔵I/O機能2 11: 周辺内蔵I/O機能3	?	W
10,11	MD05 ポートPi5端子機能選択ビット	00: プログラマブル入出力ポート 01: 周辺内蔵I/O機能1 10: 周辺内蔵I/O機能2 11: 周辺内蔵I/O機能3	?	W
12,13	MD06 ポートPi6端子機能選択ビット	00: プログラマブル入出力ポート 01: 周辺内蔵I/O機能1 10: 周辺内蔵I/O機能2 11: 周辺内蔵I/O機能3	?	W
14,15	MD07 ポートPi7端子機能選択ビット	00: プログラマブル入出力ポート 01: 周辺内蔵I/O機能1 10: 周辺内蔵I/O機能2 11: 周辺内蔵I/O機能3	?	W

7.3 プログラマブル入出力ポート

7.3.1 プログラマブル入出力ポートの機能選択

ポートPi端子は、ポートPi動作モードレジスタにて”プログラマブル入出力ポート側”を選択することにより、プログラマブル入出力ポートPiとして機能し、ポートPi方向レジスタにより入力ポートとして使用するか、出力ポートとして使用するかを選択します。

(1) 入力ポートとして使用

ポートPi方向レジスタにて”入力モード”を選択し、ポートPi動作モードレジスタにて”プログラマブル入出力ポート側”を選択することにより、ポートPi端子は入力ポートとして機能します。ポートPiデータレジスタを読み出すことで端子レベルが読み出せます。

また、端子を外部バスインタフェース又は内蔵周辺I/Oとして使用している場合でも、ポートPiデータレジスタを読み出すと端子レベルが読み出せます。

●入力ポートの入力許可

OPSPは、入力ポートの入力許可を制御することができ、リセット時の端子の貫通電流を防止することができます。

ポートPi入力許可レジスタにより、入力ポートの入力許可を制御します。

リセット解除時、ポートの入力機能は禁止されています。入力ポートとして使用する場合には、ポートPi入力許可レジスタにて入力許可に設定してください。

なお、ポートPi動作モードレジスタにて外部バスインタフェース又は内蔵周辺I/O側を選択し、ポートとして使用しない場合には、ポート入力許可の制御対象とはなりません（入力ポートとして使用している端子のみ制御対象となります）。

(2) 出力ポートとして使用

ポートPi方向レジスタにて”出力モード”を選択し、ポートPi動作モードレジスタにて”プログラマブル入出力ポート側”を選択することにより、ポートP0～P3端子は出力ポートとして機能します。ポートPiデータレジスタに書き込んだ値が端子から出力されます。

また、ポートPiデータレジスタは初期値が不定です。ポートPiデータレジスタへそのポートの初期値を書き込んだ後、ポートPi方向レジスタにて”出力モード”を選択してください（ポートPiデータレジスタへ初期値を書き込まずに”出力モード”を選択すると不定値が出力されます）。

ポートPiデータレジスタを読み出すとポートPiデータレジスタに書き込んだ値が読み出せます。

7.3.2 ポートPi入力許可レジスタ

ポートP0入力許可レジスタ (P0IEN)

<アドレス: H'00EF 1000>

ポートP1入力許可レジスタ (P1IEN)

<アドレス: H'00EF 1001>

ポートP2入力許可レジスタ (P2IEN)

<アドレス: H'00EF 1002>

ポートP3入力許可レジスタ (P3IEN)

<アドレス: H'00EF 1003>

b0	1	2	3	4	5	6	b7
IEi0	IEi1	IEi2	IEi3	IEi4	IEi5	IEi6	IEi7
0	0	0	0	0	0	0	0

※バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'00>

b	ビット名	機能	R	W
0	IEi0 ポートPi0入力許可ビット	0: 入力禁止 1: 入力許可	R	W
1	IEi1 ポートPi1入力許可ビット			
2	IEi2 ポートPi2入力許可ビット			
3	IEi3 ポートPi3入力許可ビット			
4	IEi4 ポートPi4入力許可ビット			
5	IEi5 ポートPi5入力許可ビット			
6	IEi6 ポートPi6入力許可ビット			
7	IEi7 ポートPi7入力許可ビット			

(1) IEi0～IEi7(ポートPi0入力許可～ポートPi7入力許可) ビット (b0～b7)

各プログラマブル入出力ポートに、入力ポートの入力機能許可を制御することができます。

このビットを"0"にクリアすることにより、ポート端子を入力禁止に設定します。ポート端子を入力禁止にすることにより入力ポートの貫通電流を防止することができます。

リセット解除時、このビットは"0"で端子は入力禁止になっているため入力ポートとして使用する場合には、このビットを"1"にセットして入力許可にする必要があります。

注. 端子を外部バスインタフェース又は内蔵周辺I/Oとして使用する場合、このビットの影響は受けません。

7.3.3 ポートPi方向レジスタ

ポートP0方向レジスタ (P0DIR)

<アドレス: H'00EF 1040>

ポートP1方向レジスタ (P1DIR)

<アドレス: H'00EF 1041>

ポートP2方向レジスタ (P2DIR)

<アドレス: H'00EF 1042>

ポートP3方向レジスタ (P3DIR)

<アドレス: H'00EF 1043>

b0	1	2	3	4	5	6	b7
DRi0	DRi1	DRi2	DRi3	DRi4	DRi5	DRi6	DRi7
0	0	0	0	0	0	0	0

※バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'00>

b	ビット名	機能	R	W
0	DRi0 ポートPi0方向制御ビット	0: 入力モード 1: 出力モード	R	W
1	DRi1 ポートPi1方向制御ビット			
2	DRi2 ポートPi2方向制御ビット			
3	DRi3 ポートPi3方向制御ビット			
4	DRi4 ポートPi4方向制御ビット			
5	DRi5 ポートPi5方向制御ビット			
6	DRi6 ポートPi6方向制御ビット			
7	DRi7 ポートPi7方向制御ビット			

7.3.4 ポートPiデータレジスタ

ポートP0データレジスタ (P0DATA)

<アドレス: H'00EF 1020>

ポートP1データレジスタ (P1DATA)

<アドレス: H'00EF 1021>

ポートP2データレジスタ (P2DATA)

<アドレス: H'00EF 1022>

ポートP3データレジスタ (P3DATA)

<アドレス: H'00EF 1023>

b0	1	2	3	4	5	6	b7
PDi0	PDi1	PDi2	PDi3	PDi4	PDi5	PDi6	PDi7
0	0	0	0	0	0	0	0

※バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'00>

b	ビット名	機能	R	W
0	PDi0 ポートPi0データビット	0: "L"レベル 1: "H"レベル	R	W
1	PDi1 ポートPi1データビット			
2	PDi2 ポートPi2データビット			
3	PDi3 ポートPi3データビット			
4	PDi4 ポートPi4データビット			
5	PDi5 ポートPi5データビット			
6	PDi6 ポートPi6データビット			
7	PDi0 ポートPi7データビット			

7.4 端子周辺回路

図7.4.1に端子周辺回路を示します。

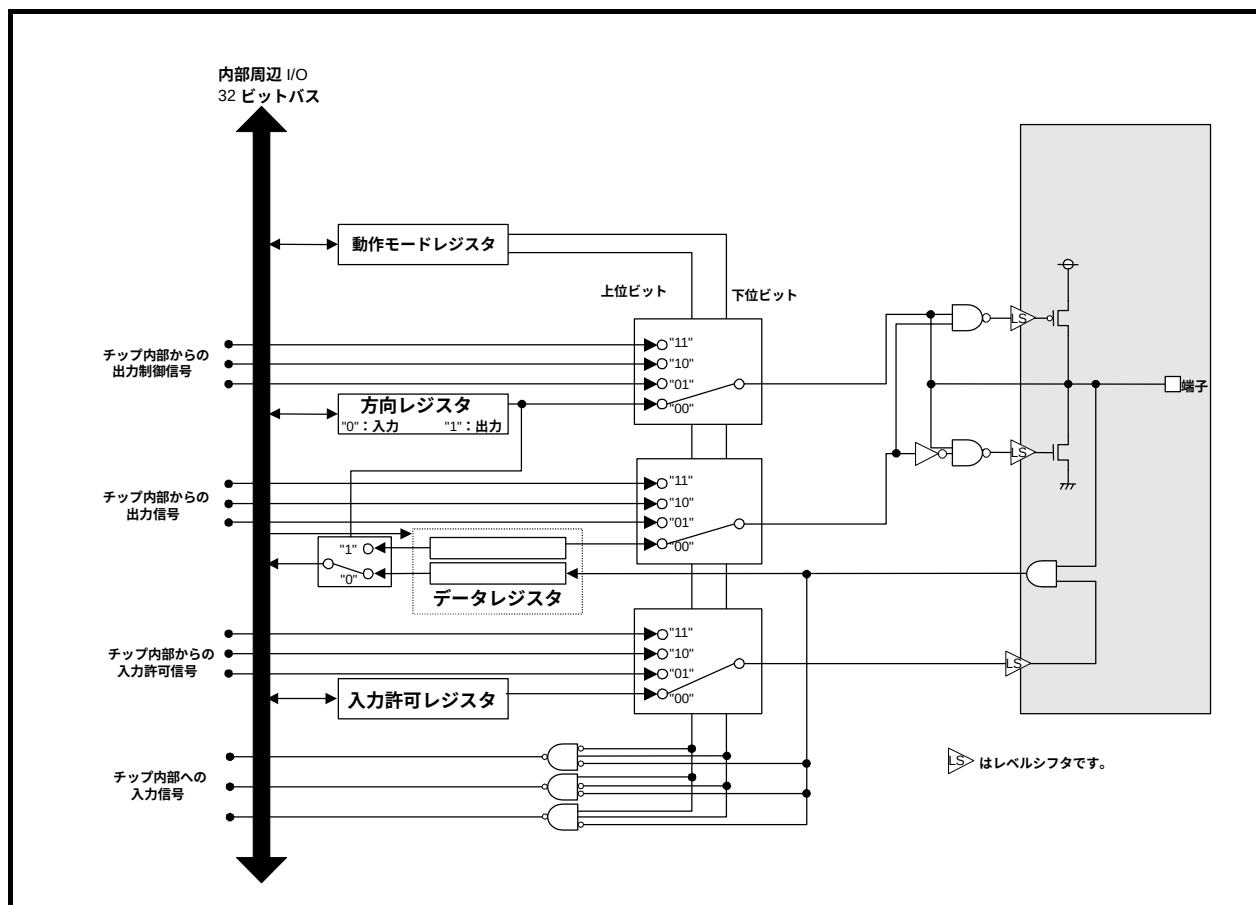


図7.4.1 端子周辺回路

7.5 プログラマブル入出力ポート関連レジスタ設定順序例

プログラマブル入出力ポート関連レジスタの初期設定順序例を以下に示します。

7.5.1 端子をプログラマブル入出力ポートとして使用する際の設定順序

- ① ポートPi動作モードレジスタ (リセット解除時：プログラマブル入出力ポート側)
 - ・ プログラマブル入出力ポート側に設定
- ② ポートPiデータレジスタ (リセット解除時：不定)
 - ・ 入力ポートとして使用時 : 設定は不要
 - ・ 出力ポートとして使用時 : 出力データを設定
- ③ ポートPi方向レジスタ (リセット解除時：入力)
 - ・ 入力ポートとして使用時 : 入力モードに設定
 - ・ 出力ポートとして使用時 : 出力モードに設定
- ④ ポートPi入力機能許可レジスタ (リセット解除時：入力禁止)
 - ・ 入力ポートとして使用時 : 入力許可に設定
 - ・ 出力ポートとして使用時 : 入力禁止に設定

7.5.2 端子を内蔵周辺I/Oの入力として使用する際の設定順序

- ① ポートPi動作モードレジスタ (リセット解除時：プログラマブル入出力ポート側)
 - ・ 内蔵周辺I/O側に設定
- ② 内蔵周辺I/Oの初期化

7.5.3 端子を内蔵周辺I/Oの出力として使用する際の設定順序

- ① ポートPiデータレジスタ (リセット解除時：不定)
 - ・ 出力データを設定 (初期出力)
- ② ポートPi方向データレジスタ (リセット解除時：入力)
 - ・ 出力モードに設定
- ③ 内蔵周辺I/Oの初期化
- ④ ポートPi動作モードレジスタ (リセット解除時：プログラマブル入出力ポート側)
 - ・ 内蔵周辺I/O側に設定

レイアウトの都合上、このページは白紙です。

8.1 割り込みコントローラ概要

割り込みコントローラ (ICU) は、外部端子 (INT0~INT7端子、WKUP#端子)、内蔵周辺I/Oからのマスク可能な外部割り込み (EI) と、システムブレーク割り込み (SBI#) の管理を行います。

外部端子 (INT0~INT7端子、WKUP#端子)、内蔵周辺I/Oからのマスク可能な外部割り込みは21要因あり、これらを割り込み禁止を含めて8レベルの優先順位により管理します。同一レベルの割り込み要求が複数同時に発生した場合は、あらかじめハードウェアで固定された優先順位が適用されます。

システムブレーク割り込み (SBI) は、SBI#端子に立ち下がりエッジが入力された場合に発生する緊急用の割り込みです。システムブレーク割り込みに対する処理の終了後には割り込み発生時に実行していたプログラムには復帰せず、システムを終了するか、又はリセットしてください。

表8.1.1に割り込みコントローラの概要を、図8.1.1に割り込みコントローラブロック図を示します。

表8.1.1 割り込みコントローラの概要

項 目	概 要
割り込み要因	INT0~INT7端子、WKUP#端子からのマスク可能な割り込み : 9要因 内蔵周辺I/Oからのマスク可能な割り込み : 12要因 システムブレーク割り込み : 1要因
レベル管理	割り込み禁止を含め8レベル

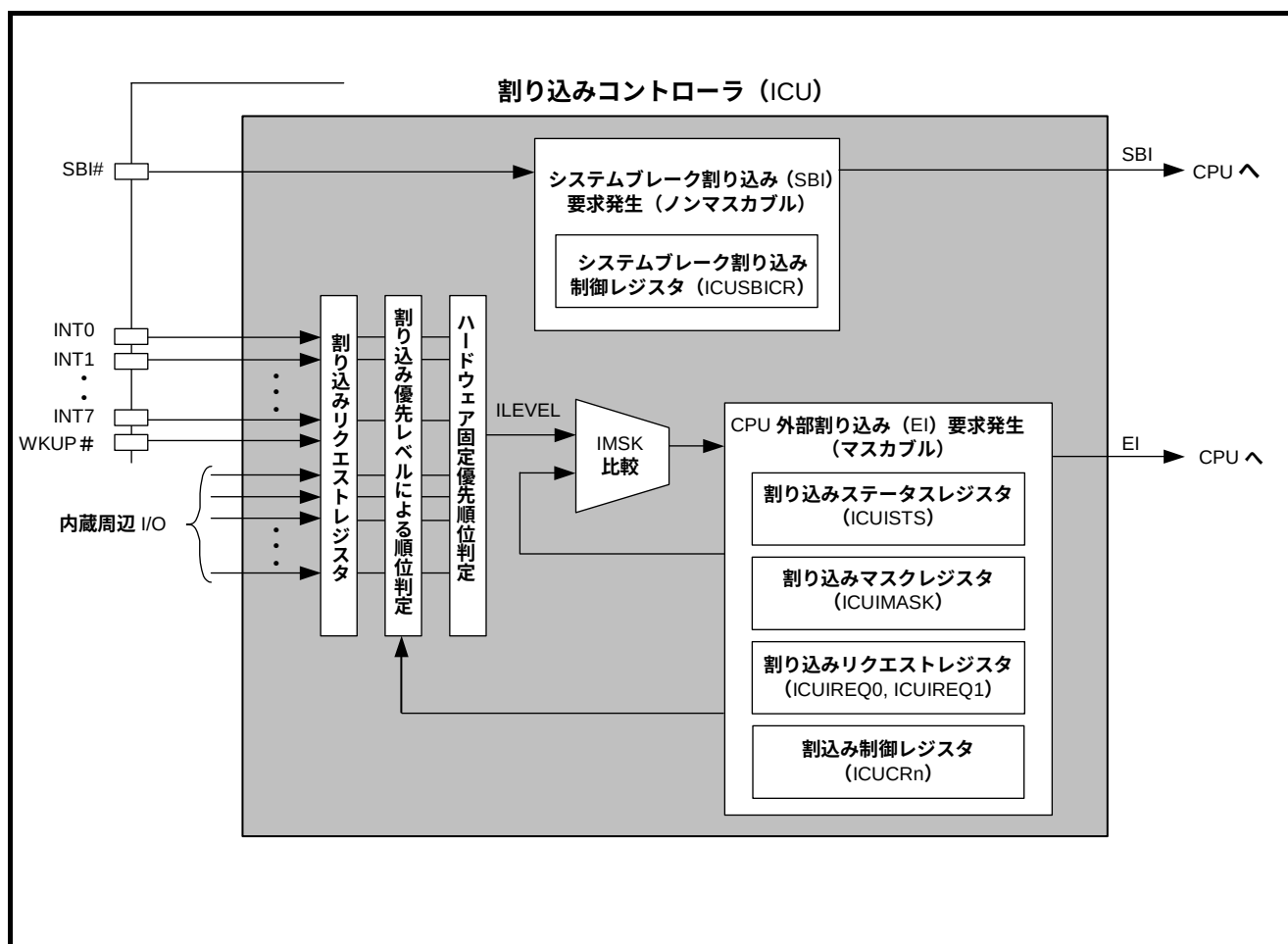


図8.1.1 割り込みコントローラブロック図

8.2 割り込みコントローラ関連レジスタ

以下に割り込みコントローラ関連のレジスタマッピングと各レジスタについて説明します。

割り込みコントローラのレジスタマッピング1

番地	b0	+0番地	b7	b8	+1番地	b15	b16	+2番地	b23	b24	+3番地	b31
H'00EF F000	(使用禁止領域)											
H'00EF F004	割り込みステータスレジスタ (ICUISTS)											
H'00EF F008	割り込みリクエスト0レジスタ (ICUIREQ0)											
H'00EF F00C	割り込みリクエスト1レジスタ (ICUIREQ1)											
⋮	(使用禁止領域)											
H'00EF F018	システムブレーク割り込み制御レジスタ (ICUSBICR)											
H'00EF F01C	割り込みマスクレジスタ (ICUIMASK)											
⋮	(使用禁止領域)											
H'00EF F200	INT0割り込み制御レジスタ (ICUCR1)											
H'00EF F204	INT1割り込み制御レジスタ (ICUCR2)											
H'00EF F208	INT2割り込み制御レジスタ (ICUCR3)											
H'00EF F20C	INT3割り込み制御レジスタ (ICUCR4)											
H'00EF F210	INT4割り込み制御レジスタ (ICUCR5)											
H'00EF F214	INT5割り込み制御レジスタ (ICUCR6)											
H'00EF F218	INT6割り込み制御レジスタ (ICUCR7)											
H'00EF F21C	INT7割り込み制御レジスタ (ICUCR8)											
⋮	(使用禁止領域)											
H'00EF F23C	MFT0割り込み制御レジスタ (ICUCR16)											
H'00EF F240	MFT1割り込み制御レジスタ (ICUCR17)											
H'00EF F244	MFT2割り込み制御レジスタ (ICUCR18)											
H'00EF F248	MFT3割り込み制御レジスタ (ICUCR19)											
H'00EF F24C	MFT4割り込み制御レジスタ (ICUCR20)											
H'00EF F250	MFT5割り込み制御レジスタ (ICUCR21)											
⋮	(使用禁止領域)											

割り込みコントローラのレジスタマッピング2

番地	b0	+0番地	b7	b8	+1番地	b15	b16	+2番地	b23	b24	+3番地	b31
H'00EF F27C	DMAC0割り込み制御レジスタ (ICUCR32)											
H'00EF F280	DMAC1割り込み制御レジスタ (ICUCR33)											
↓	(使用禁止領域)											
H'00EF F2BC	SIO0受信割り込み制御レジスタ (ICUCR48)											
H'00EF F2C0	SIO0送信割り込み制御レジスタ (ICUCR49)											
H'00EF F2C4	SIO1受信割り込み制御レジスタ (ICUCR50)											
H'00EF F2C8	SIO1送信割り込み制御レジスタ (ICUCR51)											
↓	(使用禁止領域)											
H'00EF F2D8	ウエイクアップ割り込み制御レジスタ (WKUPCR)											

8.2.1 割り込みステータスレジスタ

割り込みステータスレジスタ (ICUISTS)

<アドレス: H'00EF F004>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
VECB				ISN									PIML		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

※ ワード (32ビット) アクセスのみ可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~3	VECB ベクタベースビット	EITベクタエントリのアドレスA20~A23を設定	R	W
4~9	ISN 割り込み要因番号ビット	000000 : 割り込みなし 000001 : 割り込み要因1 000010 : 割り込み要因2 000011 : 割り込み要因3 . . 111100 : 割り込み要因60 111101 : 割り込み要因61 111110 : 割り込み要因62 111111 : 割り込み要因63	R	W
10~12	何も配置されていません。"0"に固定してください。		0	0
13~15	PIML 割り込み受付前の割り込み マスク選択ビット	000 : マスカブル割り込み禁止 001 : レベル0割り込み受付可能 010 : レベル0、1割り込み受付可能 011 : レベル0~2割り込み受付可能 100 : レベル0~3割り込み受付可能 101 : レベル0~4割り込み受付可能 110 : レベル0~5割り込み受付可能 111 : レベル0~6割り込み受付可能	R	0
16~31	何も配置されていません。"0"に固定してください。		0	0

割り込みステータスレジスタは、割り込み受付時の割り込み要因の特定および、割り込み受付前の割り込み優先レベルを保持するためのレジスタです。

割り込み発生時には、このレジスタの値をスタックに待避し、割り込み復帰時には、スタックに待避したこのレジスタの値を割り込みマスクレジスタに書き戻してください。

このレジスタは割り込み要求を示すステータスレジスタではないので、1回の割り込みハンドラ処理内で2度読みはしないでください。このレジスタの読み出しによりISN (割り込み要因ビット) は自動的に"000000"にクリアされます。このレジスタの不用意な読み出しは、意図しない割り込み要因のクリアを引き起こしますのでご注意ください。また、ワード (32ビット) アクセスのみ可能です。

(1) VECB (ベクタベース) ビット (b0～b3)

このビットには、後述の割り込み要因番号ビットと組み合わせてソフトウェアによる割り込みハンドラ処理を高速に実行するため、割り込みベクタテーブルの先頭番地A20～A23を設定することができます。

このビットを設定しなくても割り込みコントローラの動作には影響しません。

(2) ISN (割り込み要因番号) ビット (b4～b9)

このビットは、現在要求されている割り込み要因の中で最も優先レベルの高い割り込みの要因番号を示します。表8.2.1に割り込み要因番号一覧を示します。

このビットは、割り込みが受け付けられたとき、その割り込み要因番号がセットされ、読み出すと自動的に"000000"にクリアされます。このビットにより、ソフトウェアにて割り込み要因を特定し、それぞれの割り込みハンドラ処理を実行してください。

VECBビットと組み合わせることにより、ユーザ定義の割り込みベクタテーブルを直接参照し、高速にハンドラへ分岐することができます。なお、このVECBビットとISNビットを組み合わせた場合の高速ベクタアクセスの詳細については、「8.4 外部割り込み (EI) 動作説明」を参照してください。

(3) PIML (割り込み受付前の割り込みマスク選択) ビット (b13～b15)

このビットは、割り込み受付前の割り込みマスク値を示します。

割り込みハンドラ処理時に、受付中の割り込みよりも優先レベルの低い割り込みをマスクするために、本レジスタの読み出し直後に、受け付けられた割り込み要因の割り込み制御レジスタ (ICUCRn) のILEVELがハードウェアにより自動的にコピーされます。

表8.2.1 割り込み要因番号一覧

割り込み 要因番号	割り込み要因	割り込み 要因番号	割り込み要因
0	割り込み要因なし	32	DMAC0
1	外部端子INT0	33	DMAC1
2	外部端子INT1	34	(予約)
3	外部端子INT2	35	(予約)
4	外部端子INT3	36	(予約)
5	外部端子INT4	37	(予約)
6	外部端子INT5	38	(予約)
7	外部端子INT6	39	(予約)
8	外部端子INT7	40	(予約)
9	(予約)	41	(予約)
10	(予約)	42	(予約)
11	(予約)	43	(予約)
12	(予約)	44	(予約)
13	(予約)	45	(予約)
14	(予約)	46	(予約)
15	(予約)	47	(予約)
16	MFT0	48	SIO0受信
17	MFT1	49	SIO0送信
18	MFT2	50	SIO1受信
19	MFT3	51	SIO1送信
20	MFT4	52	(予約)
21	MFT5	53	(予約)
22	(予約)	54	(予約)
23	(予約)	55	外部端子WKUP#
24	(予約)	56	(予約)
25	(予約)	57	(予約)
26	(予約)	58	(予約)
27	(予約)	59	(予約)
28	(予約)	60	(予約)
29	(予約)	61	(予約)
30	(予約)	62	(予約)
31	(予約)	63	(予約)

8.2.2 割り込みリクエストレジスタ0

割り込みリクエスト0レジスタ (ICUIREQ0)

<アドレス: H'00EF F008>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	IREQ1 0	IREQ2 0	IREQ3 0	IREQ4 0	IREQ5 0	IREQ6 0	IREQ7 0	IREQ8 0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
IREQ16 0	IREQ17 0	IREQ18 0	IREQ19 0	IREQ20 0	IREQ21 0	0	0	0	0	0	0	0	0	0	0

※ ワード (32ビット) アクセスのみ可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0	何も配置されていません。読み出し時"0"です。		0	N
1	IREQ1 INT0割り込み要求ビット	0: INT0端子割り込み要求なし 1: INT0端子割り込み要求あり	R	N
2	IREQ2 INT1割り込み要求ビット	0: INT1端子割り込み要求なし 1: INT1端子割り込み要求あり	R	N
3	IREQ3 INT2割り込み要求ビット	0: INT2端子割り込み要求なし 1: INT2端子割り込み要求あり	R	N
4	IREQ4 INT3割り込み要求ビット	0: INT3端子割り込み要求なし 1: INT3端子割り込み要求あり	R	N
5	IREQ5 INT4割り込み要求ビット	0: INT4端子割り込み要求なし 1: INT4端子割り込み要求あり	R	N
6	IREQ6 INT5割り込み要求ビット	0: INT5端子割り込み要求なし 1: INT5端子割り込み要求あり	R	N
7	IREQ7 INT6割り込み要求ビット	0: INT6端子割り込み要求なし 1: INT6端子割り込み要求あり	R	N
8	IREQ8 INT7割り込み要求ビット	0: INT7端子割り込み要求なし 1: INT7端子割り込み要求あり	R	N
9~15	何も配置されていません。読み出し時"0"です。		0	0
16	IREQ16 MFT0割り込み要求ビット	0: MFT0割り込み要求なし 1: MFT0割り込み要求あり	R	N
17	IREQ17 MFT1割り込み要求ビット	0: MFT1割り込み要求なし 1: MFT1割り込み要求あり	R	N
18	IREQ18 MFT2割り込み要求ビット	0: MFT2割り込み要求なし 1: MFT2割り込み要求あり	R	N
19	IREQ19 MFT3割り込み要求ビット	0: MFT3割り込み要求なし 1: MFT3割り込み要求あり	R	N
20	IREQ20 MFT4割り込み要求ビット	0: MFT4割り込み要求なし 1: MFT4割り込み要求あり	R	N
21	IREQ21 MFT5割り込み要求ビット	0: MFT5割り込み要求なし 1: MFT5割り込み要求あり	R	N
22~31	何も配置されていません。読み出し時"0"です。		0	0

注. このレジスタは、ワード (32ビット) 単位で読み出してください (読み出し専用レジスタ)。

(1) IREQ1～IREQ8 (INT0～INT7端子割り込み要求) ビット (b1～b8)

このビットは、INT0～INT7端子割り込み要因により割り込み要求が発生すると"1"にセットされます。また、このビットは以下の条件でクリアされます。

【エッジセンス割り込みの場合】

- ・割り込みステータスレジスタを読み出しにより、対応する割り込み要因が読み出されたとき、"0"にクリアされます。
- ・対応する割り込み制御レジスタのIREQビットに"1"をセットしたとき、"0"にクリアされます。

【レベルセンス割り込みの場合】

- ・INT0～INT7端子への入力が無効レベルに変化すると"0"にクリアされます。

このビットは、各割り込み制御レジスタのIREQビットのコピーで読み出し専用のビットです。このビットに対して書き込むことはできません。

(2) IREQ16～IREQ21 (MFT0～MFT5割り込み要求) ビット (b16～b21)

このビットは、MFT0～MFT5割り込み要因により割り込み要求が発生すると"1"にセットされます。また、このビットは、以下の条件でクリアされます。

- ・割り込みステータスレジスタを読み出しにより、対応する割り込み要因が読み出されたとき、"0"にクリアされます。
- ・割り込み制御レジスタのIREQビットに"1"をセットしたとき、"0"にクリアされます。

このビットは、各割り込み制御レジスタのIREQビットのコピーで読み出し専用のビットです。このビットに対して書き込むことはできません。

8.2.3 割り込みリクエストレジスタ1

割り込みリクエスト1レジスタ (ICUIREQ1)

<アドレス: H'00EF F00C>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
IREQ32	IREQ33														
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
IREQ48	IREQ49	IREQ50	IREQ51				IREQ55								
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

※ ワード (32ビット) アクセスのみ可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0	IREQ32 DMA0割り込み要求ビット	0: DMA0端子割り込み要求なし 1: DMA0端子割り込み要求あり	R	N
1	IREQ33 DMA1割り込み要求ビット	0: DMA1端子割り込み要求なし 1: DMA1端子割り込み要求あり	R	N
2~15	何も配置されていません。読み出し時"0"です。		0	0
16	IREQ48 SIO0受信割り込み要求ビット	0: SIO0受信割り込み要求なし 1: SIO0受信割り込み要求あり	R	N
17	IREQ49 SIO0送信割り込み要求ビット	0: SIO0送信割り込み要求なし 1: SIO0送信割り込み要求あり	R	N
18	IREQ50 SIO1受信割り込み要求ビット	0: SIO1受信割り込み要求なし 1: SIO1受信割り込み要求あり	R	N
19	IREQ51 SIO1送信割り込み要求ビット	0: SIO1送信割り込み要求なし 1: SIO1送信割り込み要求あり	R	N
20~22	何も配置されていません。読み出し時"0"です。		0	0
23	IREQ55 ウェイクアップ割り込み要求 ビット	0: ウェイクアップ割り込み要求なし 1: ウェイクアップ割り込み要求あり	R	N
24~31	何も配置されていません。読み出し時"0"です。		0	0

注. このレジスタは、ワード (32ビット) 単位で読み出してください (読み出し専用レジスタ)。

(1) IREQ32～IREQ33, IREQ48～IREQ51 (DMAC0～DMAC1割り込み要求, SIO0～SIO1受信, SIO0～SIO1送信) ビット (b0～b1, b16～b19)

このビットは、SIO0～SIO1受信, SIO0～SIO1送信, DMAC0～DMAC1割り込み要因により割り込み要求が発生すると"1"にセットされます。

また、このビットは、以下の条件でクリアされます。

- 要求元の内蔵周辺I/Oからの割り込み要求がクリアされると"0"にクリアされます。

このビットは、各割り込み制御レジスタのIREQビットのコピーで読み出し専用のビットです。このビットに対して書き込むことはできません。

(2) IREQ55 (ウェイクアップ割り込み要求) ビット (b23)

このビットは、ウェイクアップ要因による割り込みが発生すると"1"にセットされます。

また、このビットは、以下の条件でクリアされます。

- 割り込みステータスレジスタを読み出しにより、対応する割り込み要因が読み出されたとき、"0"にクリアされます。
- 割り込み制御レジスタのIREQビットに"1"をセットしたとき、"0"にクリアされます。

8.2.4 システムブレーク割り込み制御レジスタ

システムブレーク割り込み制御レジスタ (ICUSBICR)

<アドレス: H'00EF F018>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	SBIRQ0 0	0	0	0	0	0	0	0	0

※バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~22	何も配置されていません。"0"に固定してください。		0	0
23	SBIRQ0	0: SBI#端子割り込み要求なし	R	0
	SBI#端子割り込み要求ビット	1: SBI#端子割り込み要求あり		
24~31	何も配置されていません。"0"に固定してください。		0	0

(1) SBIRQ0 (SBI#端子割り込み要求) ビット (b23)

SBI#端子に立ち下がりエッジが入力され、このビットが"1"にセットされると、CPUに対しシステムブレーク割り込み要求が発生します。

このビットは、読み出しによる自動"0"クリアは行いませんので、SBIハンドラ内でこのビットを"0"にクリアしてください。また、"0"にクリアしない場合 ("1"の状態)、以降に発生するSBI#端子からの割り込み要求は受け付けられませんので、ご注意ください。

このビットに対して"1"を書き込むことはできません。"0"にクリアする場合には"0"を書き込んでください。

8.2.5 割り込みマスクレジスタ

割り込みマスクレジスタ (ICUIMASK)

<アドレス: H'00EF F01C>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	IMSK	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

※バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~12	何も配置されていません。"0"に固定してください。		0	0
13~15	IMSK	000: マスカブル割り込み禁止	R	W
	割り込みマスク選択ビット	001: レベル0割り込み受付許可		
		010: レベル0,1割り込み受付許可		
		011: レベル0~2割り込み受付許可		
		100: レベル0~3割り込み受付許可		
		101: レベル0~4割り込み受付許可		
		110: レベル0~5割り込み受付許可		
		111: レベル0~6割り込み受付許可		
16~31	何も配置されていません。"0"に固定してください。		0	0

(1) IMSK (割り込みマスク選択) ビット (b13~b15)

このビットにより受付可能な割り込み優先レベルを設定します。

割り込みコントローラは、各割り込み要因ごとに設定した割り込み優先レベルと比較してその割り込みを受け付けるかどうかを決定します。

割り込み発生時、割り込みハンドラ内で割り込みステータスレジスタを読み出した直後に受け付けられた割り込み要因のILEVELの値がハードウェアで自動的にコピーされます。

割り込み復帰時には、割り込み発生時にスタックに待避した割り込みステータスレジスタの値を割り込みマスクレジスタに書き戻し、割り込み発生前の割り込みレベルに戻してください。

8.2.6 外部端子 (INT0~INT7) の割り込み制御レジスタ

INT0割り込み制御レジスタ (ICUCR1)	<アドレス: H'00EF F200>
INT1割り込み制御レジスタ (ICUCR2)	<アドレス: H'00EF F204>
INT2割り込み制御レジスタ (ICUCR3)	<アドレス: H'00EF F208>
INT3割り込み制御レジスタ (ICUCR4)	<アドレス: H'00EF F20C>
INT4割り込み制御レジスタ (ICUCR5)	<アドレス: H'00EF F210>
INT5割り込み制御レジスタ (ICUCR6)	<アドレス: H'00EF F214>
INT6割り込み制御レジスタ (ICUCR7)	<アドレス: H'00EF F218>
INT7割り込み制御レジスタ (ICUCR8)	<アドレス: H'00EF F21C>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	IEN 0	0	0	0	IREQ 0	0	0	ISMOD 0	0	0	ILEVEL 1	1	1

※バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0007>

b	ビット名	機能	R	W
0~18	何も配置されていません。"0"に固定してください。		0	0
19	IEN	0: 割り込み要求受付禁止 割り込み要求受付許可ビット	R	W
20~22	何も配置されていません。"0"に固定してください。		0	0
23	IREQ	[読み出し時] 0: 割り込み要求なし 1: 割り込み要求あり [書き込み時] 0: 書き込み無効 1: 割り込み要求クリア	R	注
24,25	何も配置されていません。"0"に固定してください。		0	0
26,27	ISMOD	00: 立下りエッジセンス 入力センスモード選択ビット 01: "L"レベルセンス 10: 立ち上がりエッジセンス 11: "H"レベルセンス	R	W
28	何も配置されていません。"0"に固定してください。		0	0
29~31	ILEVEL	000: 割り込み優先レベル0 割り込み優先レベル選択ビット 001: 割り込み優先レベル1 010: 割り込み優先レベル2 011: 割り込み優先レベル3 100: 割り込み優先レベル4 101: 割り込み優先レベル5 110: 割り込み優先レベル6 111: 割り込み優先レベル7 (割り込み禁止)	R	W

注. 「0」書き込み無効、「1」書き込みデータは保持されない」ことを示します。

(1) IEN (割り込み要求受付許可) ビット (b19)

このビットにより、割り込みコントローラへの割り込み要求の受付を許可するか、しないかを選択します。

このビットを"0"にクリアした場合、割り込みコントローラへの割り込み要求受付禁止となり、割り込みコントローラへ割り込み要求が発生した場合でも割り込み要求ビット (IREQ) は"1"にセットされません。ただし、割り込み要求ビットが"1"にセットされた状態で、このビットを"0"にクリアした場合には、割り込み要求ビットは"0"にはクリアされません。

このビットを"1"にセットした場合、割り込みコントローラへの割り込み要求受付許可となり、割り込みコントローラへ割り込み要求が発生した場合に割り込み要求ビットが"1"にセットされます。

レベルセンスを選択した場合、対応する割り込み要因が読み出されたときに、このビットが"0"にクリアされます。再度割り込みを受け付けるためには、"1"にセットしなおす必要があります。

また、CPUスリープモードからのウェイクアップ要因として各割り込み要求を使用する場合には、このビットを"1"にセットしてください。

(2) IREQ (割り込み要求) ビット (b23)

このビットは、割り込み要求受付許可 (IEN="1") の場合に、各割り込み要因からの割り込み要求が発生すると"1"にセットされます。

また、このビットは、ILEVELビットの設定に関わらずセットされますが、実際に割り込み要求が発生するかどうかはILEVELビットと割り込みマスクレジスタのIMSKビットの値によって決まります。

以下にクリア条件を示します。

【エッジセンス選択時】

- ・割り込みステータスレジスタの読み出しにより、対応する割り込み要因が読み出されたとき、"0"にクリアされます。
- ・このビットに"1"をセットしたときに"0"にクリアされます。

【レベルセンス選択時】

- ・INT0～INT7端子への入力が無効レベルに変化すると"0"クリアされます。

割り込み要求発生によるセットとソフトウェアによるIREQビットのクリアが同時に発生した場合は、割り込み要求発生によるセットが優先されます。また、割り込み要求発生によるセットと割り込みステータスレジスタの読み出しによるクリアが同時に発生した場合は、割り込み要求発生によるセットが優先されます。

(3) ISMOD (入力センスモード選択) ビット (b26, b27)

このビットを設定することにより、割り込みの受付入力センスモードを選択できます (表8.2.2参照)。

表8.2.2 入力センスモード選択ビットの機能

b26	b27	入力センスモード	機能
0	0	立ち下がりエッジセンス	割り込み要求信号の立ち下がりエッジで、割り込み要求発生
0	1	"L"レベルセンス	割り込み要求信号のレベルが"L"期間中割り込み要求発生
1	0	立ち上がりエッジセンス	割り込み要求信号の立ち上がりエッジで、割り込み要求発生
1	1	"H"レベルセンス	割り込み要求信号のレベルが"H"期間中割り込み要求発生

(4) ILEVEL (割り込み優先レベル選択) ビット (b29～b31)

このビットには、各割り込み要因の割り込み優先レベルを設定します。割り込みを禁止する場合には、ILEVEL="111" (割り込み禁止状態) を設定してください。

注. ILEVEL="111" (割り込み禁止状態) であっても、割り込み要求受付許可の状態 (IEN="1") で割り込み要求が発生すれば、IREQビットはセットされます。

表8.2.3にILEVELの設定と受け付けられる割り込みマスクレジスタのIMSK値の関係を示します。

表8.2.3 ILEVELの設定と受け付けられるIMSK値

割り込み優先レベル	ILEVELビット設定値	設定値割り込みが受け付けられるIMSK値
レベル0	ILEVEL="000"	IMSKが1～7のとき割り込み受付
レベル1	ILEVEL="001"	IMSKが2～7のとき割り込み受付
レベル2	ILEVEL="010"	IMSKが3～7のとき割り込み受付
レベル3	ILEVEL="011"	IMSKが4～7のとき割り込み受付
レベル4	ILEVEL="100"	IMSKが5～7のとき割り込み受付
レベル5	ILEVEL="101"	IMSKが6,7のとき割り込み受付
レベル6	ILEVEL="110"	IMSKが7のとき割り込み受付
レベル7	ILEVEL="111"	割り込みは受け付けられない (割り込み禁止状態)

注. IREQ="1"のとき

8.2.7 内蔵周辺I/Oの割り込み制御レジスタ

MFT0割り込み制御レジスタ (ICUCR16)	<アドレス: H'00EF F23C>
MFT1割り込み制御レジスタ (ICUCR17)	<アドレス: H'00EF F240>
MFT2割り込み制御レジスタ (ICUCR18)	<アドレス: H'00EF F244>
MFT3割り込み制御レジスタ (ICUCR19)	<アドレス: H'00EF F248>
MFT4割り込み制御レジスタ (ICUCR20)	<アドレス: H'00EF F24C>
MFT5割り込み制御レジスタ (ICUCR21)	<アドレス: H'00EF F250>
DMA0割り込み制御レジスタ (ICUCR32)	<アドレス: H'00EF F27C>
DMA1割り込み制御レジスタ (ICUCR33)	<アドレス: H'00EF F280>
SIO0受信割り込み制御レジスタ (ICUCR48)	<アドレス: H'00EF F2BC>
SIO0送信割り込み制御レジスタ (ICUCR49)	<アドレス: H'00EF F2C0>
SIO1受信割り込み制御レジスタ (ICUCR50)	<アドレス: H'00EF F2C4>
SIO1送信割り込み制御レジスタ (ICUCR51)	<アドレス: H'00EF F2C8>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	IEN 0	0	0	0	IREQ 0	0	0	0	0	0	1	ILEVEL 1	1

※バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0007>

b	ビット名	機能	R	W
0~18	何も配置されていません。"0"に固定してください。		0	0
19	IEN	0: 割り込み要求受付禁止 割り込み要求受付許可ビット	R	W
20~22	何も配置されていません。"0"に固定してください。		0	0
23	IREQ	[読み出し時] 0: 割り込み要求なし 1: 割り込み要求あり [書き込み時] 0: 書き込み無効 1: 割り込み要求クリア	R	注
24~28	何も配置されていません。"0"に固定してください。		0	0
29~31	ILEVEL	000: 割り込み優先レベル0 001: 割り込み優先レベル1 010: 割り込み優先レベル2 011: 割り込み優先レベル3 100: 割り込み優先レベル4 101: 割り込み優先レベル5 110: 割り込み優先レベル6 111: 割り込み優先レベル7 (割り込み禁止)	R	W

注. 「0」書き込み無効、「1」書き込みデータは保持されない」ことを示します。

(1) IEN (割り込み要求受付許可) ビット (b19)

このビットにより、割り込みコントローラへの割り込み要求の受付を許可するか、しないかを選択します。

このビットを"0"にクリアした場合、割り込みコントローラへの割り込み要求受付禁止となり、割り込みコントローラへ割り込み要求が発生した場合でも割り込み要求ビット (IREQ) は"1"にセットされません。ただし、割り込み要求ビットが"1"にセットされた状態で、このビットを"0"にクリアした場合には、割り込み要求ビットは"0"にはクリアされません。

このビットを"1"にセットした場合、割り込みコントローラへの割り込み要求受付許可となり、割り込みコントローラへ割り込み要求が発生した場合に割り込み要求ビットが"1"にセットされます。

SIO0～SIO1受信, SIO0～SIO1送信, DMAC0～DMAC1を選択した場合には、割り込みステータスレジスタの読み出しにより、対応する割り込み要因が読み出されたときに、このビットが0にクリアされます。再度割り込みを受け付けるためには、1にセットしなおす必要があります。

また、CPUスリープモードからのウェイクアップ要因として各割り込み要求を使用する場合には、このビットを"1"にセットしてください。

(2) IREQ (割り込み要求) ビット (b23)

このビットは、割り込み要求受付許可 (IEN="1") の場合に、各割り込み要因からの割り込み要求が発生すると"1"にセットされます。

また、このビットは、ILEVELビットの設定に関わらずセットされますが、実際に割り込み要求が発生するかどうかはILEVELビットと割り込みマスクレジスタのIMSKビットの値によって決まります。

以下にクリア条件を示します。

【MFT0～MFT5割り込みの場合】

- ・割り込みステータスレジスタの読み出しにより、対応する割り込み要因が読み出されたときに"0"にクリアされます。
- ・このビットに"1"をセットしたときに"0"にクリアされます。

【SIO0～SIO1受信, SIO0～SIO2送信, DMAC0～DMAC1割り込みの場合】

- ・要求元の内蔵周辺I/Oからの割り込み要求がクリアされると自動的に"0"にクリアされます。

割り込み要求発生によるセットとソフトウェアによるIREQビットのクリアが同時に発生した場合は、割り込み要求発生によるセットが優先されます。また、割り込み要求発生によるセットと割り込みステータスレジスタの読み出しによるクリアが同時に発生した場合は、割り込み要求発生によるセットが優先されます。

(3) ILEVEL (割り込み優先レベル選択) ビット (b29～b31)

このビットには、各割り込み要因の割り込み優先レベルを設定します。割り込みを禁止する場合には、ILEVEL="111" (割り込み禁止状態) を設定してください。

注: ILEVEL="111" (割り込み禁止状態) であっても、割り込み要求受付許可の状態 (IEN="1") で割り込み要求が発生すれば、IREQビットはセットされます。

ILEVELの設定と受け付けられる割り込みマスクレジスタのIMSK値の関係は表8.2.3を参照してください。

8.2.8 ウェイクアップ割り込み制御レジスタ

ウェイクアップ割り込み制御レジスタ (ICUCR55)

<アドレス: H'00EF F2D8>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	IEN 0	0	0	0	IREQ 0	0	0	0	0	0	1	ILEVEL 1	1

※バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0007>

b	ビット名	機能	R	W
0~18	何も配置されていません。"0"に固定してください。		0	0
19	IEN	0: 割り込み要求受付禁止 割り込み要求受付許可ビット	R	W
20~22	何も配置されていません。"0"に固定してください。		0	0
23	IREQ	[読み出し時] 0: 割り込み要求なし 1: 割り込み要求あり [書き込み時] 0: 書き込み無効 1: 割り込み要求クリア	R	注
24~28	何も配置されていません。"0"に固定してください。		0	0
29~31	ILEVEL	000: 割り込み優先レベル0 001: 割り込み優先レベル1 010: 割り込み優先レベル2 011: 割り込み優先レベル3 100: 割り込み優先レベル4 101: 割り込み優先レベル5 110: 割り込み優先レベル6 111: 割り込み優先レベル7 (割り込み禁止)	R	W

注. W欄の * は「0"書き込み無効、"1"書き込みデータは保持されない」ことを示します。

(1) IEN (割り込み要求受付許可) ビット (b19)

このビットにより、割り込みコントローラへの割り込み要求の受付を許可するか、しないかを選択します。

このビットを"0"にクリアした場合、割り込みコントローラへの割り込み要求受付禁止となり、割り込みコントローラへ割り込み要求が発生した場合でも割り込み要求ビット (IREQ) は"1"にセットされません。ただし、割り込み要求ビットが"1"にセットされた状態で、このビットを"0"にクリアした場合には、割り込み要求ビットは"0"にはクリアされません。

このビットを"1"にセットした場合、割り込みコントローラへの割り込み要求受付許可となり、割り込みコントローラへ割り込み要求が発生した場合に割り込み要求ビットが"1"にセットされます。

(2) IREQ (割り込み要求) ビット (b23)

このビットは、割り込み要求受付許可 (IEN="1") の場合に、各割り込み要因からの割り込み要求が発生すると"1"にセットされます。

また、このビットは、ILEVELビットの設定に関わらずセットされますが、実際に割り込み要求が発生するかどうかはILEVELビットと割り込みマスクレジスタのIMSKビットの値によって決まります。

以下にクリア条件を示します。

- ・割り込みステータスレジスタの読み出しにより、対応する割り込み要因が読み出されたときに"0"にクリアされます。
- ・このビットに"1"をセットしたときに"0"にクリアされます。

割り込み要求発生によるセットとソフトウェアによるIREQビットのクリアが同時に発生した場合は、割り込み要求発生によるセットが優先されます。また、割り込み要求発生によるセットと割り込みステータスレジスタの読み出しによるクリアが同時に発生した場合は、割り込み要求発生によるセットが優先されます。

(3) ILEVEL (割り込み優先レベル選択) ビット (b29~b31)

このビットには、各割り込み要因の割り込み優先レベルを設定します。割り込みを禁止する場合には、ILEVEL="111" (割り込み禁止状態) を設定してください。

注. ILEVEL="111" (割り込み禁止状態) であっても、割り込み要求受付許可の状態 (IEN="1") で割り込み要求が発生すれば、IREQビットはセットされます。

ILEVELの設定と受け付けられる割り込みマスクレジスタのIMSK値の関係は表8.2.3を参照してください。

WKUP#端子からの割り込みは、スタンバイモードからの復帰の時のみ使用してください。

また、スタンバイモードに入る前には、次の設定を行ってください。

- ① 他の割り込み制御レジスタの割り込み許可ビットを"0"クリアし、ウェイクアップ割り込み以外の割り込みは、割り込み要求受付禁止に設定します。
- ② ウェイクアップ割り込み制御レジスタの割り込み許可ビットを"1"にセットし、割り込み要求受付許可に設定します。また、ウェイクアップ割り込み要求が発生するように、ウェイクアップ割り込みの割り込み優先レベル (ILEVEL) は、割り込みマスクレジスタのIMSKビットの値よりも優先度が高くなるように設定してください。

8.3 割り込み優先順位

表8.3.1に割り込みのハードウェア優先順位と割り込み要求発生タイミングを示します。

表8.3.1 ハードウェア優先順位と割り込み要求タイミング

分類	ハードウェア優先順位	割り込み	割り込み要求発生タイミング
ノンマスクابل	常にマスクابلより高い	SBI#	SBI#端子に立ち下がりエッジを入力したときに発生
マスクابل	高 ↓ 低	INT0	INT0～INT7端子に有効エッジまたは有効レベルを入力したときに発生 (発生条件はINT0～INT7割り込み制御レジスタによって選択)
		INT1	
		INT2	
		INT3	
		INT4	
		INT5	
		INT6	
		INT7	
		MFT0 MFT1 MFT2 MFT3 MFT4 MFT5	ターミナルカウントに達し、次のカウントソースを入力したとき、また周期パルス幅計測タイマモード時は、被計測波形入力の有効エッジでも発生
		DMAC0 DMAC1	DMA転送が終了したときに発生
		SIO0受信 SIO0送信 SIO1受信 SIO1送信	• SIO0～SIO1受信 データ受信完了時又は受信エラー時に発生 • SIO0～SIO1送信 送信バッファエンプティ時又は送信完了時に発生
		WKUP#	WKUP#端子に立ち下がりエッジを入力したときに発生

8.4 外部割り込み (EI) 動作説明

8.4.1 割り込み優先順位判定

割り込みコントローラは、各割り込み要求元からの割り込み要求を管理し、EIT事象の1つである外部割り込み (EI) 要求としてCPUへ通知します。

各割り込み要求元からの割り込み要求は、割り込みの割り込み優先レベル (各割り込み制御レジスタのILEVELビットで設定) をIMSK値と比較して、IMSK値よりも優先順位が高い場合に受け付けられます。

ただし、複数の割り込みが同時に発生した場合には、以下の手順により優先順位判定を行い、最も優先順位の高い割り込み要求が受け付けられます (図8.4.1参照)。

① ILEVEL値による優先順位決定

同時に発生した割り込みの割り込み優先レベル (割り込み制御レジスタのILEVELビットにて設定) を比較し、最も優先順位が高い割り込みの割り込み要求が選択されます。なお、選択されなかった割り込みは待ち状態となります。

② ハードウェア優先順位による優先順位決定

①で複数の割り込みが選択された場合 (ILEVEL値が同じ場合) には、表8.3.1に示すハードウェア優先順位に基づいて、1要因が決定されます。なお、選択されなかった割り込みは待ち状態となります。

③ IMSK値との比較

②で決定された割り込みの割り込み優先レベル (ILEVEL値) と割り込みマスクレジスタのIMSK値を比較します。

- 割り込み優先レベル < IMSK値 : ②で決定された割り込みは有効 (手順④へ)
- 割り込み優先レベル $\geq$ IMSK値 : ②で決定された割り込みは待ち状態

④ 外部割り込み (EI) 要求の通知

③でIMSK値と比較し有効であった場合、CPUへ外部割り込み (EI) 要求が通知されます。

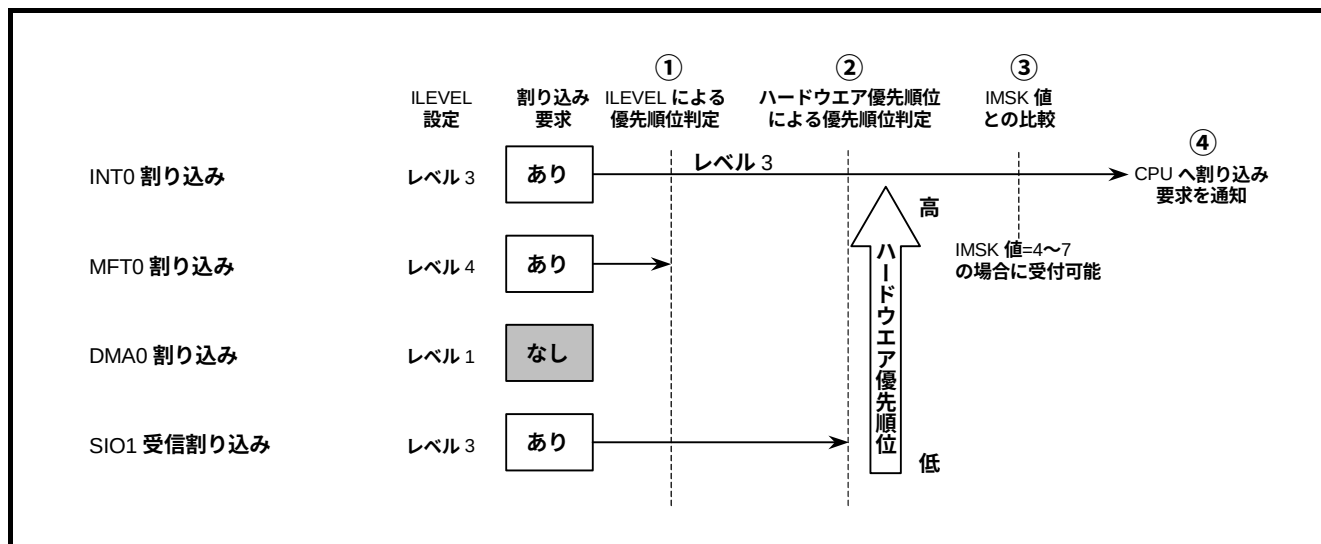


図8.4.1 割り込みコントローラにおける割り込み優先順位判定

8.4.2 割り込み優先レベルと割り込みマスク設定

割り込み優先レベル及び割り込みマスクの設定方法には、以下の4通りがあります。

(1) 各割り込みに対する割り込み優先レベルの設定方法 (ILEVELビット設定)

INT0～INT7および内蔵周辺I/Oからの割り込みの割り込み優先レベルは、各割り込み制御レジスタのILEVELビットにて設定します。

ある割り込みに対して割り込み禁止を設定したい場合には、その割り込みの割り込み制御レジスタのILEVELビットを"111" (レベル7) に設定してください。

(2) あるレベル以下の割り込みをマスクする場合の設定方法 (IMSKビット設定)

あるレベル以下の割り込みマスクをしたい場合には、割り込みマスクレジスタのIMSKビットを設定します。例えば、割り込み優先レベル3～6に設定されている割り込みをマスクするには、IMSKビットを3に設定します。

すべてのレベルに対して割り込みをマスクする (すべての割り込みを禁止する) には、IMSKビットを"000" に設定してください。

(3) 各割り込みに対する割り込み要求受付の禁止／許可の設定方法 (IENビット設定)

ある割り込みに対して割り込み禁止を設定するには、前述のILEVEL値="111" (レベル7) に設定する方法以外に各割り込み制御レジスタのIENビットでも同様に割り込み禁止に設定できます。

割り込み禁止にしたい割り込みの割り込み制御レジスタのIENビットにより、割り込みコントローラへの割り込み要求の受付を禁止又は許可に設定します。IENビット="0"に設定すると割り込み要求は受付禁止状態となり、割り込み要求ビット (IREQビット) も"1"にセットされません (ILEVEL="111"として割り込み禁止にした場合にはIENビット="1"であれば割り込み発生時に割り込み要求ビットが"1"にセットされます)。

(4) CPUでの外部割り込み (EI) 要求受付の禁止／許可の設定方法 (PSWレジスタのIEビット設定)

CPUの制御レジスタPSW (プロセッサ状態語レジスタ) のIEビットにより、割り込みコントローラからCPUへ通知される外部割り込み (EI) 要求の受付を禁止又は許可に設定します。IEビット="0"に設定すると外部割り込み (EI) 要求は受付禁止状態になります。

8.4.3 割り込みコントローラの割り込み制御タイミング

(1) 割り込み要求の発生とクリア

図8.4.2に割り込み要求の発生とクリアについての制御タイミングを示します。

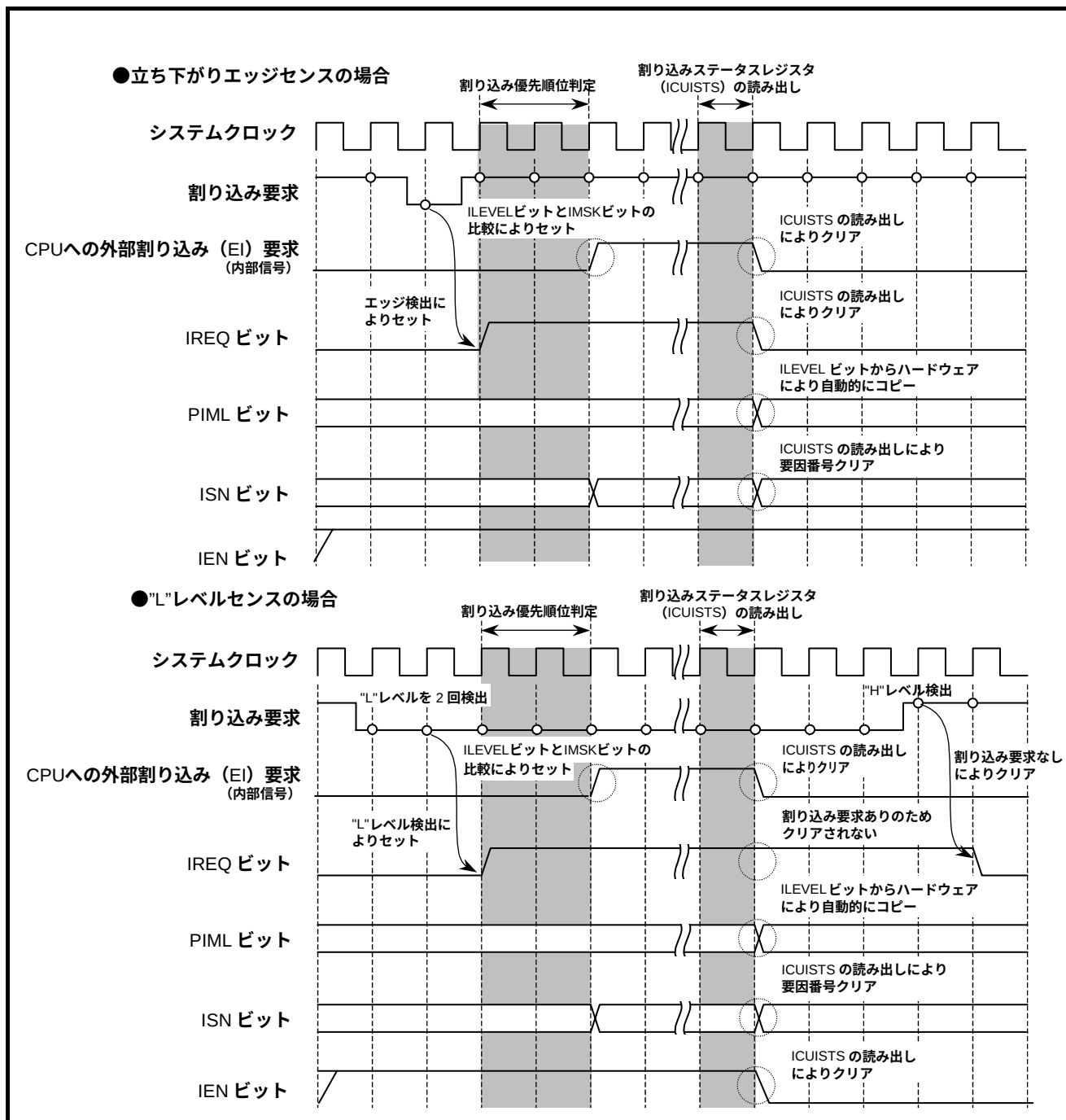


図8.4.2 割り込み要求の発生とタイミング例

(2) レベルセンス時の割り込み要求のクリア

レベルセンスの場合、その要求をクリアするタイミングにはご注意ください。

外部割り込み (EI) ハンドラ処理中に入力レベルが無効レベルにクリアされると割り込み受付前 (割り込みステータスレジスタ読み出し前) でも IREQ ビット及び割り込みコントローラから CPU への外部割り込み (EI) 要求はクリアされてしまいます。

注: 外部端子にて、レベルセンスを選択している場合、外部割り込み (EI) ハンドラ内で割り込みステータスレジスタを読み出すまで (割り込みが受け付けられるまで)、有効レベルを保持してください。

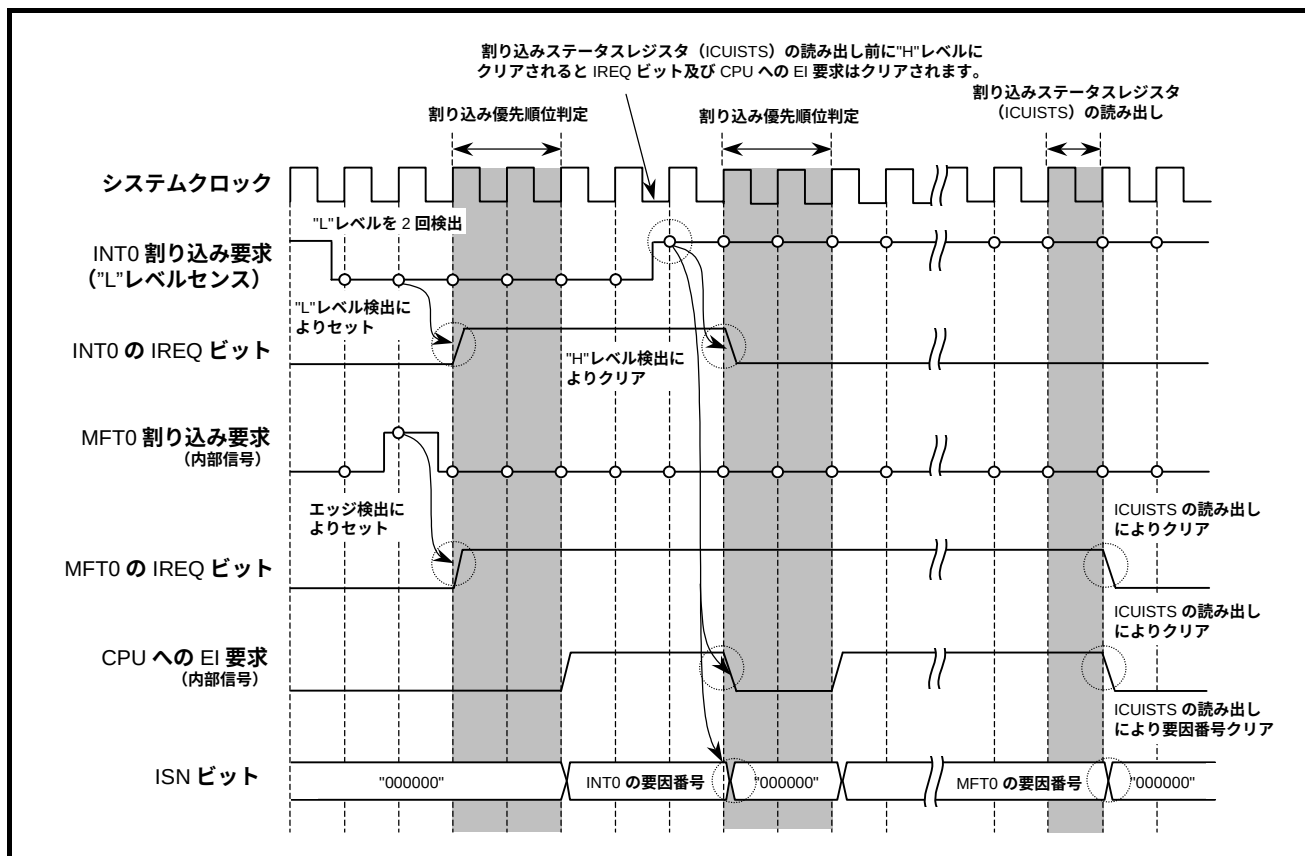


図8.4.3 レベルセンス時の割り込み要求のクリアタイミング

(3) 外部割り込みハンドラ内での割り込み優先順位

図8.4.4に外部割り込みハンドラ内で割り込み優先順位を変更するために、各割り込み制御レジスタ又は割り込みマスクレジスタへ書き込んだ場合のタイミングを示します。

割り込みコントローラからCPUへEI要求を出力中に、各割り込み制御レジスタ又は割り込みマスクレジスタへの書き込みが行われると、割り込み優先順位の再評価を行うためにCPUへの割り込み要求はクリアされます。同じく割り込み要因番号 (ISNビット) も "000000" にクリアされます。

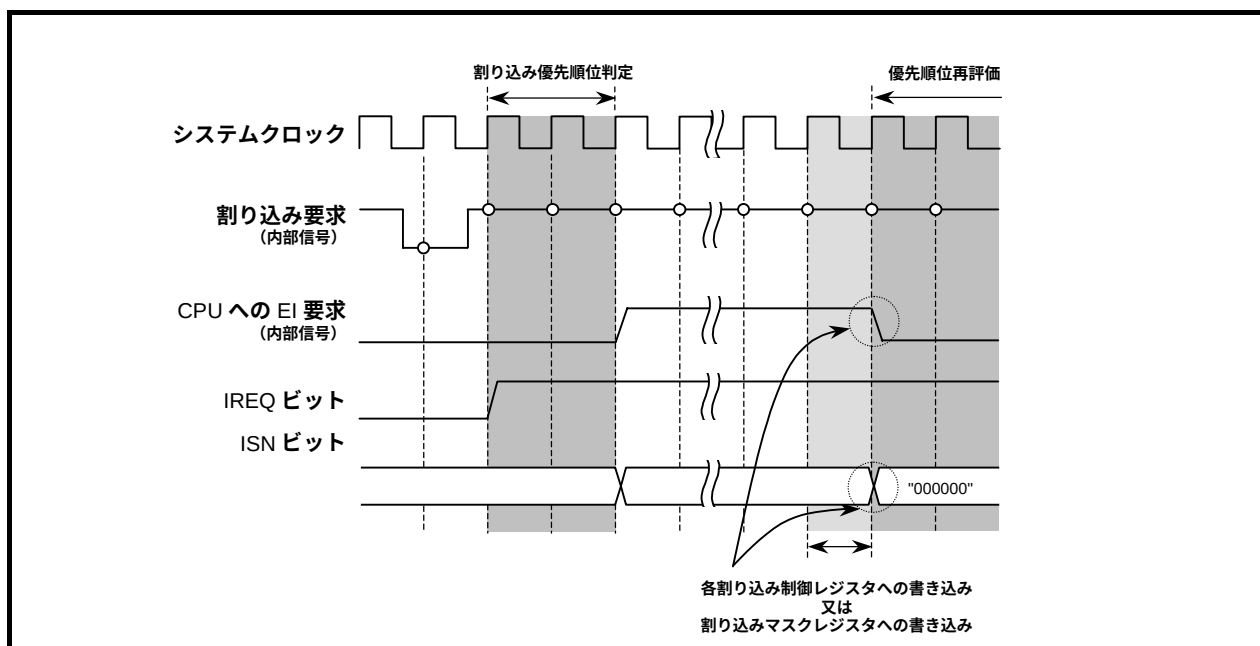


図8.4.4 外部割り込みハンドラ内での割り込み優先順位変更

(4) 高優先レベル割り込み発生時の割り込み要因番号の置換

ある割り込み要求が受け付けられ、割り込みステータスレジスタが読み出されるまでに、更に優先順位の高い割り込み要求が受け付けられた場合には、ISN（割り込み要因番号）ビットは後から発生した優先順位の高い割り込み要求の要因番号に置き換わります。先に受け付けた（置きかえられた）割り込み要求は待ち状態となります。

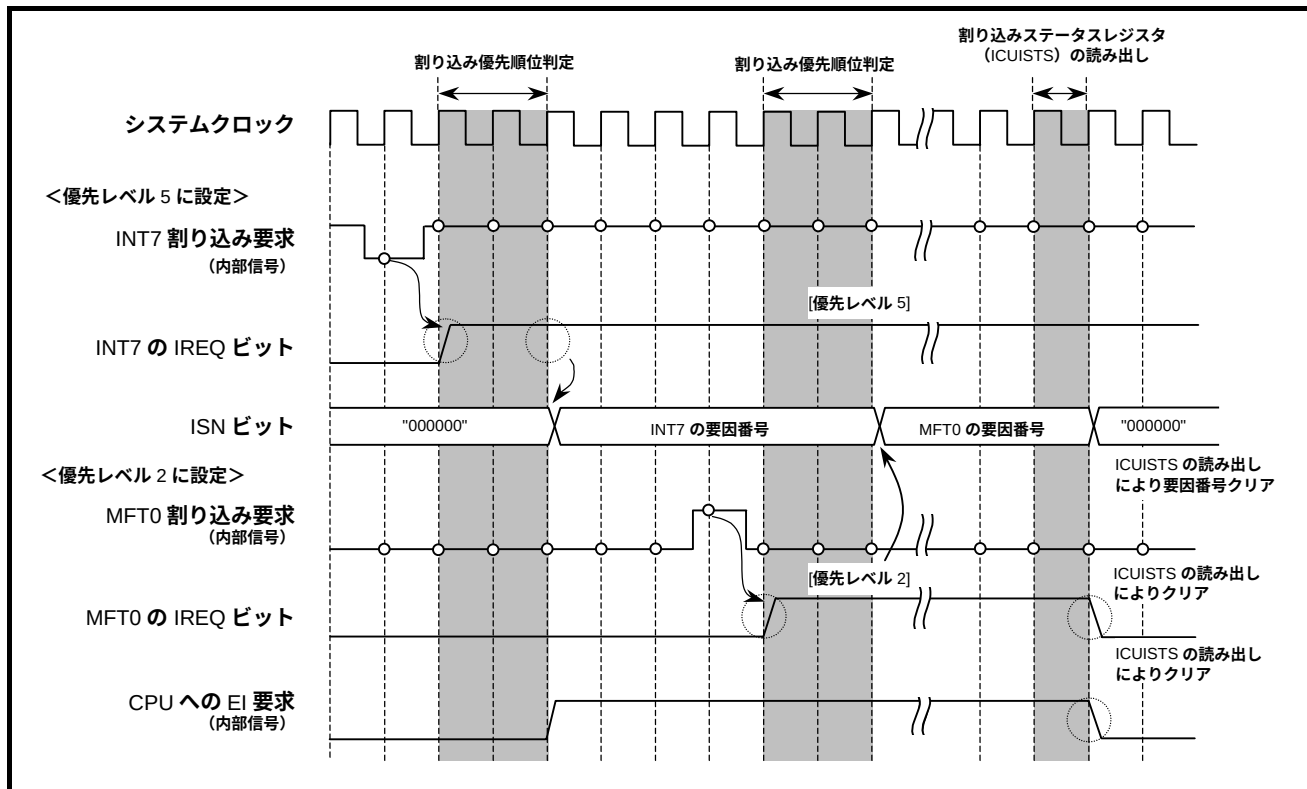


図8.4.5 高優先レベル割り込み要求による要因番号の変更

8.4.4 外部割り込み (EI) ハンドラ処理例

以下に割り込み発生時の動作例について説明します。また、図8.4.6に外部割り込み (EI) ハンドラのハンドラ処理例を示します。

(1) 外部割り込み (EI) ハンドラへの分岐

CPUは割り込みコントローラからのEIT事象の1つである外部割り込み (EI) 要求を受け付けると、EIT受付時のハードウェア前処理を実行し、外部割り込み (EI) ベクタエントリ (EVB+"H'0080") へ分岐します。このベクタエントリへは外部割り込み (EI) ハンドラ先頭への分岐命令を格納してください (分岐先アドレスではないことにご注意ください)。

(2) 外部割り込み (EI) ハンドラ処理

① 各レジスタのスタックへの退避

BPCレジスタ、PSWレジスタ及び汎用レジスタをスタックへ退避します。

② 割り込みステータスレジスタ (ICUISTS) の読み出しと退避

割り込みステータスレジスタを読み出し、スタックへ退避します。この割り込みステータスレジスタの読み出しにより、以下の処理がハードウェアで自動的に行われます。

- ・CPUへの外部割り込み (EI) 要求のクリア
- ・受け付けた割り込み要因のILEVEL値の割り込みマスクレジスタへの書き込み
(受け付けた割り込み要因の割り込み優先レベル以下の割り込みがマスクされます)
- ・同様にILEVEL値の割り込みステータスレジスタのPIMLビットへの書き込み

③ 多重割り込みの許可

ある割り込みの処理中にさらに優先順位の高い割り込みを許可 (多重割り込みの許可) する場合には、PSWレジスタのIEビットを"1"にセットし、割り込みコントローラからCPUへの外部割り込み (EI) 要求受付を許可してください。ただし、PSWレジスタのIEビットを"1"にセットする前に②の割り込みステータスレジスタの読み出し処理を行う必要があります。

④ 割り込み要因の特定

②で読み出した割り込みステータスレジスタのISNビットにより割り込み要因を特定し、その要因の割り込みハンドラへ分岐してください。

⑤ 各割り込み要因の割り込みハンドラ処理

各割り込み要因に対応した処理を行ってください。

対応する割り込みの入力センスモードがレベルの場合は、許可ビット (IEN) を1にセットしなおしてください。

⑥ 多重割り込みの禁止

③で多重割り込みを許可した場合には、⑦の処理を行う前にPSWレジスタのIEビットを"0"にクリアし、割り込みコントローラからCPUへの外部割り込み (EI) 要求を受付禁止に設定してください。

⑦ 割り込みマスクの復帰

現在処理中の割り込み要求が受け付けられる前の割り込みマスク値に戻します。スタックへ退避した割り込みステータスレジスタ値を割り込みマスクレジスタに書き込みます。

⑧ スタックからの各レジスタの復帰

プログラムを現在処理中の割り込み要求が受け付けられる前の状態に戻すために、①でスタックへ退避した汎用レジスタ、PSWレジスタ及びBPCレジスタの値を書き戻してください。

⑨ 外部割り込みハンドラ処理の完了 (RTE命令の実行)

RTE命令を実行し外部割り込みハンドラ処理を完了します。プログラムは現在処理中の割り込み要求が受け付けられる前の状態に戻ります。

(3) 外部割り込み (EI) ハンドラからの復帰

外部割り込み (EI) ハンドラ処理の完了のために RTE 命令を実行すると、ハードウェア後処理を実行し、割り込み要求受付前のプログラムへ復帰します。

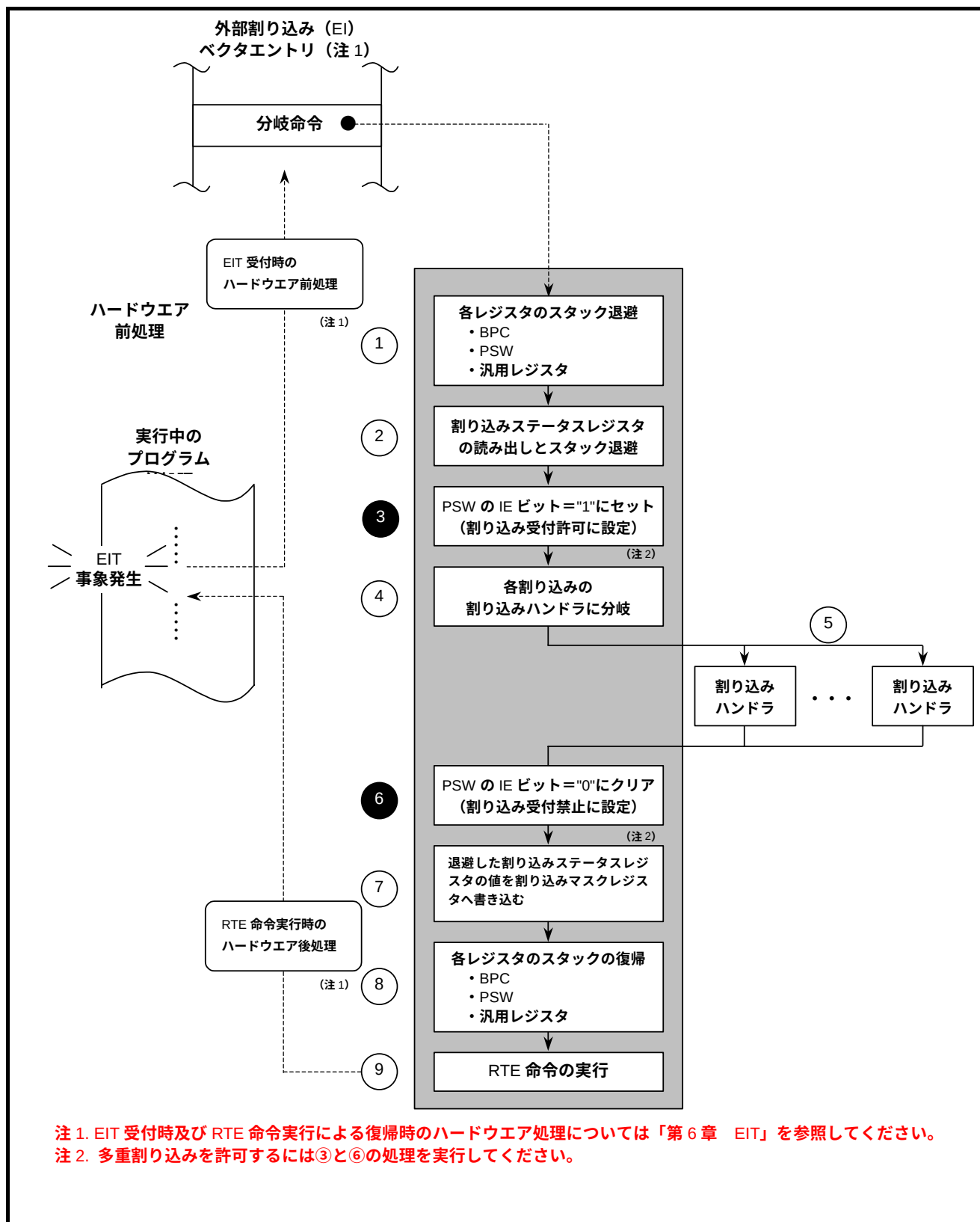


図8.4.6 外部割り込み (EI) ハンドラ処理例

(4) 高速ベクタテーブルアクセス

ここでは、割り込みステータスレジスタのISN（割り込み要因番号）ビットで示される割り込み要因のハンドラアドレスをベクタテーブルから参照する際の高速化手法について説明します。

割り込みステータスレジスタは、ベクタテーブル上に格納されている各割り込みハンドラの先頭アドレスを直接参照できるビット構成になっています。VECB（ベクタベース）ビットとISN（割り込み要因番号）ビットを組み合わせることにより、直接ベクタテーブルからハンドラアドレスを参照します。なお、VECBビットにはあらかじめベクタテーブルの先頭アドレスを設定してください。

ISN（割り込み要因番号）ビットのみでベクタテーブルを参照した場合、ベクタテーブル先頭アドレスに割り込み要因番号に応じたオフセットを加算してハンドラアドレスを格納しているアドレスを特定する必要があります（ベクタテーブル先頭アドレス＋（割り込み要因番号×4バイト））。

VECB（ベクタベース）ビットとISN（割り込み要因番号）ビットを組み合わせた場合には、図8.4.7に示すように割り込みステータスレジスタ値を右へ20ビット論理シフトのみでベクタテーブル上のハンドラアドレスを格納したアドレスを参照できます。その後、JL命令を実行することにより割り込みハンドラへ分岐します。

注1.VECBビットは4ビット幅ですので、ベクタテーブルは

H'xxxx 0200、H'xxxx 0400、H'xxxx 0600、 · · · 、H'xxxx 1C00、H'xxxx 1E00

に配置してください。

注2.各割り込み要因に対するハンドラアドレスは割り込み要因順に配置し、使用しない割り込みや要因番号が予約されている（その要因番号には割り込みが割り当てられていない）場合でもベクタテーブル上にダミーのデータを格納する必要があります。

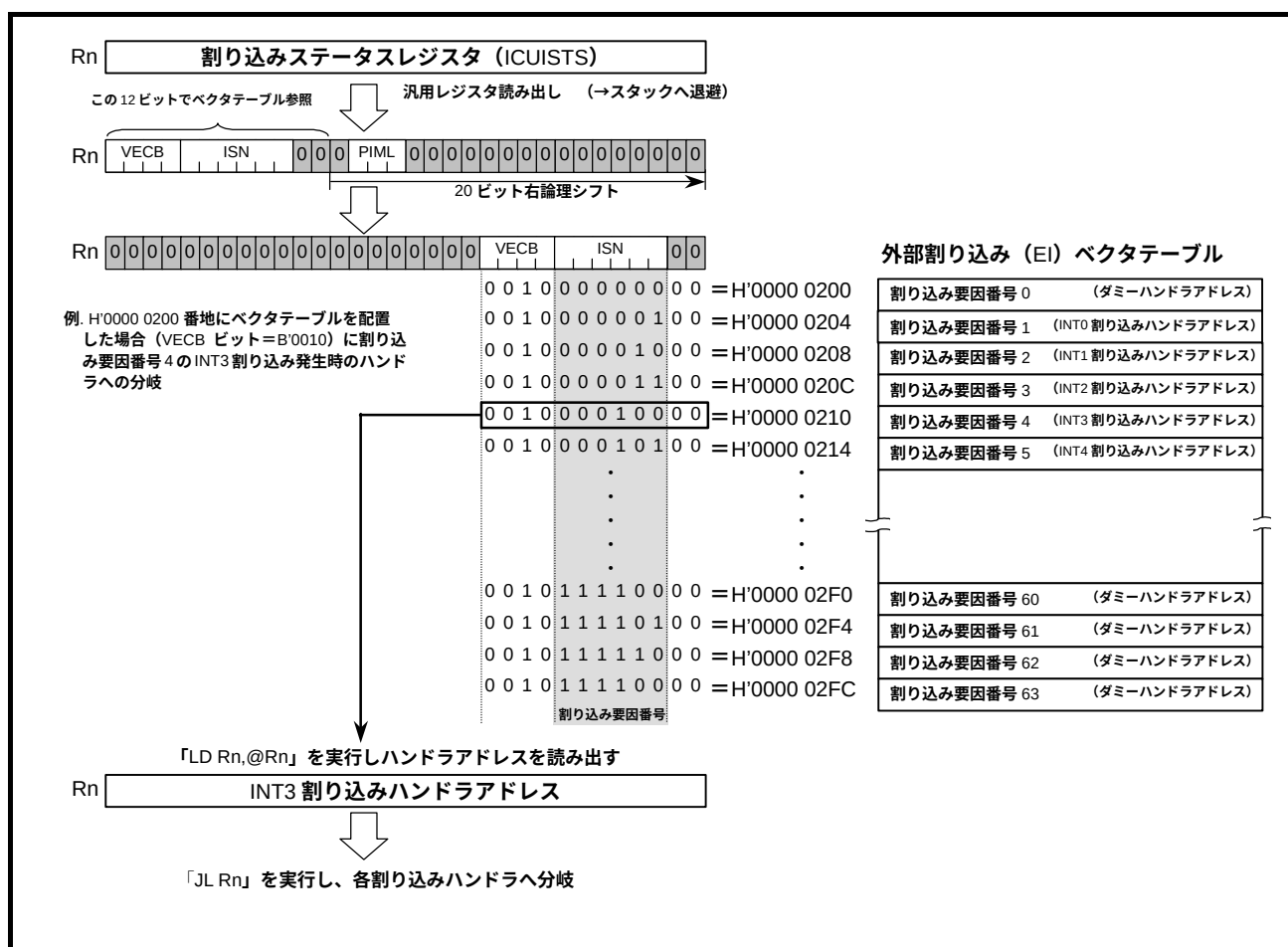


図8.4.7 高速ベクタテーブル

(5) 外部割り込み (EI) ハンドラ例

リスト8.4.1に前述の高速ベクタテーブルアクセスを利用した場合の外部割り込み(EI)ハンドラ例を示します。

```
.SECTION P, CODE, ALIGN=4
;*****
;外部割り込み (EI) ハンドラ
;*****
;
EI_handler:
;*****
;各レジスタの退避
;
; 注. 割り込みハンドラへ分岐後も含めて使用する
; レジスタを退避してください。
;*****
ST R0, @-SP      ;R0の退避
ST R14, @-SP     ;R14の退避
;
LD24 R0, #ICUISTS ;割り込みステータスレジスタの読み込み
LD R14, @R0
;
MVFC R0, BPC     ;BPCの退避
ST R0, @-SP
;
MVFC R0, PSW     ;割り込みステータスレジスタ (上位16bitに配置) と
OR R0, R14       ;PSW (下位16bitに配置) とを1ワードにして退避
ST R0, @-SP
;
;*****
;割り込みハンドラアドレスの取得
;*****
SRLI R14, #20    ;VECBビットとISNビットからベクタテーブルアドレス参照
LD R14, @R14     ;ベクタテーブルからハンドラアドレスの読み込み
;
;*****
;多重割り込み許可
;*****
OR3 R0, R0, #0x0040 ;PSWのIEビットを"1"にセット
MVTC R0, PSW      ; (多重割り込み許可)
;
;*****
;割り込みハンドラヘジャンプ
;*****
JL R14
;
;*****
;割り込みからの復帰処理
;*****
LD R14, @SP+      ;PSWと割り込みステータスレジスタ値の復帰
MVTC R14, PSW
;
LD24 R0, #ICUIMASK ;割り込みマスクレジスタに
ST R14, @R0       ;割り込み前の割り込みレベルを設定
;
LD R0, @SP+       ;BPCの復帰
MVTC R0, BPC
;
LD R14, @SP+      ;R14の復帰
LD R0, @SP+       ;R0の復帰
;
RTE
```

リスト8.4.1 外部割り込み (EI) ハンドラ例

8.5 システムブレーク割り込み (SBI) 動作説明

8.5.1 システムブレーク割り込み (SBI) の受付

システムブレーク割り込み (SBI) は、次の場合に発生する緊急用の割り込みです。
CPUに対し割り込み要求を出します。

● SBI#端子へ立ち下がりエッジが入力されたとき (SBI#端子割り込み)

前述の外部割り込み (EI) とは異なり、システムブレーク割り込み (SBI) はPSWレジスタのIE (割り込みイネーブル) ビットの設定に関係なく常に受け付けられマスクすることはできません。

8.5.2 システムブレーク割り込み (SBI) ハンドラ処理

CPUは割り込みコントローラからEIT事象の1つであるシステムブレーク割り込み (SBI) 要求を受け付けると、EIT受付時のハードウェア前処理を実行し、システムブレーク割り込み (SBI) ベクタエントリ (EVB+"H'0010") へ分岐します。このベクタエントリへはシステムブレーク割り込み (SBI) ハンドラ先頭への分岐命令を格納してください (分岐先アドレスではないことにご注意ください)。

システムブレーク割り込み (SBI) はシステム異常時の緊急用の割り込みですので、システムブレーク割り込みハンドラ処理終了後は割り込み発生時に実行していたプログラムには復帰しないでください。システムを終了又はリセットしてください。

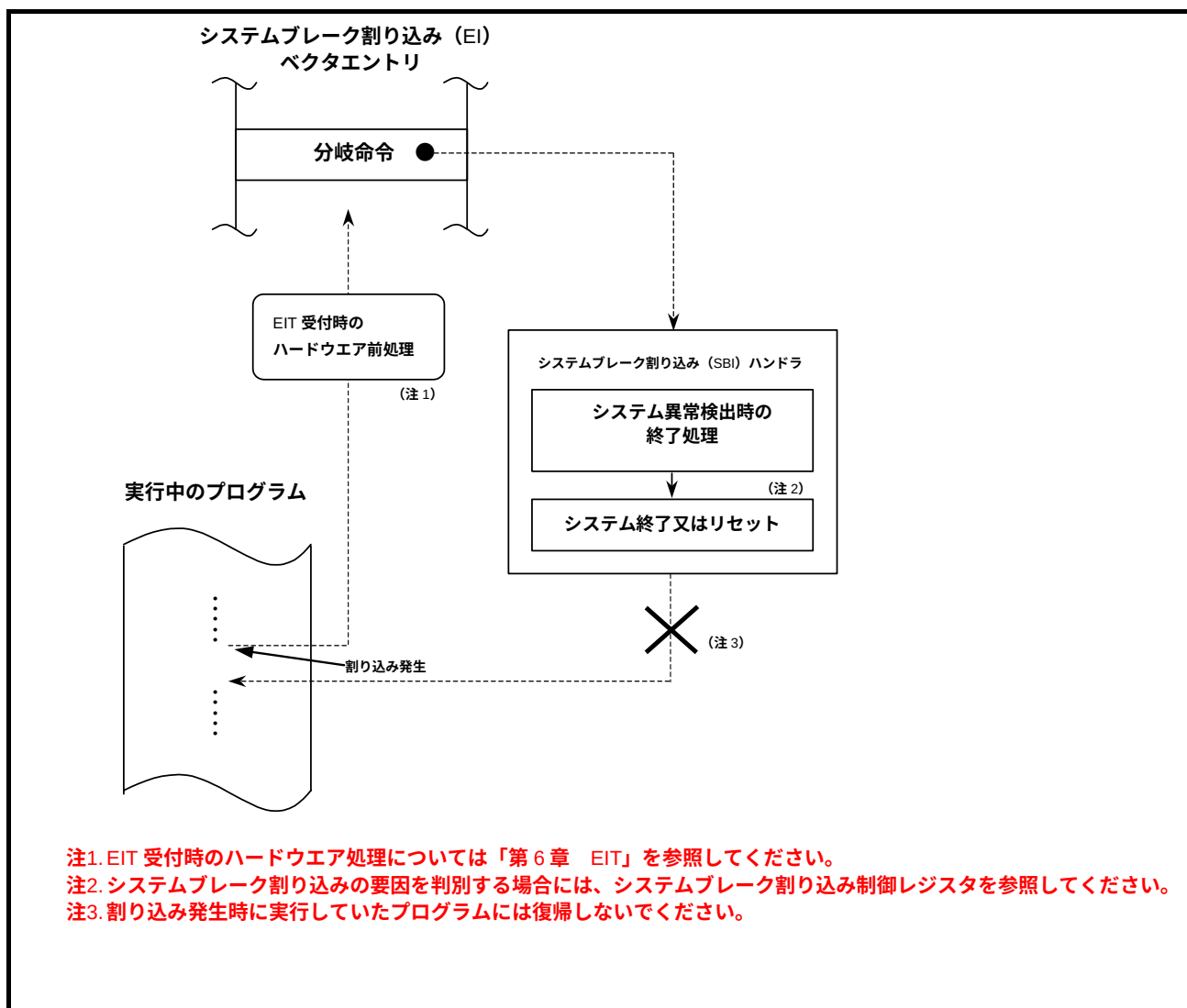


図8.5.1 システムブレーク割り込み (SBI) ハンドラ処理例

レイアウトの都合上、このページは白紙です。

第9章

外部バスインタフェース

9.1 外部バスインタフェース概要

9.1.1 外部バスインタフェース関連信号

外部バスインタフェースに関する信号を以下に説明します。

(1) データバス (D0～D31) <入出力>

外部デバイスにアクセスするための32ビットデータバスです。ブロックごとにデータバス幅を32ビットバス (D0～D31)、16ビットバス (D0～D15) に設定できます。

32ビットバスと16ビットバスを共有して使用した場合、16ビットバスアクセス時のD16～D31端子はハイインピーダンス状態です。

(2) アドレス (A6～A29) <出力>

64Mバイトのアドレス空間に対応する26ビットのアドレスバス (A6～A31) を備えています。

バスサイズを32ビットに設定した場合は、最下位のA30、A31は端子から出力されません。ライトアクセス時には32ビットデータバスの有効なアクセスバイト位置を示すWS0#～WS3#信号を出力します。バスサイズを16ビットに設定した場合は、A30はWS2#信号から出力され、ライトアクセスの有効なアクセスバイト位置は、WS0#、WS1#信号で示します。

(3) システムクロック (BCLK) <出力>

BCLK (システムクロック) と同じ周波数のクロックを出力します。

(4) リードストローブ (RS#) <出力>

リードアクセス時の読み出しタイミングを示します。

(5) ライトストローブ (WS0#～WS3#) <出力>

ライトアクセス時の書き込みタイミングを示します。データバス幅32ビット設定時、有効なバイト位置の書き込みタイミングをWS0#～WS3#信号で示します。

データバス幅16ビット設定時、有効なバイト位置の書き込みタイミングをWS0#、WS1#信号で示します。WS2#端子 (A30端子と共用) からはA30信号が出力され、WS3#端子からは"H"レベルが出力されます。WS0#～WS3#端子は、DQM0～DQM3端子と共用であり、WS2#端子については、A30端子とも共用です。以下にWS0#～WS3#信号とD0～D31信号の対応 (有効なバイト位置) を示します。

● WS0# : D0～D7 ● WS1# : D8～D15 ● WS2# : D16～D23 ● WS3# : D24～D31

(6) リード/ライト (RD/WR#) <出力>

外部バスアクセス時のリード/ライトを示す信号です。リード時は"H"レベル、ライト時には"L"レベルを出力します。

ただし、SDRAMコントローラ設定領域アクセス時、RD/WR#信号は出力しません (変化しません)。

(7) ホールドリクエスト (HOLD#) <入力>

外部デバイスからのバス権の要求を入力します。

(8) ホールドアクノリッジ (HLDA#) <出力>

バス権を外部デバイスに渡すことを示します。

(9) レディ (READY#) <入力>

ソフトウェアウエイトサイクル終了後、READY#端子に無効レベルが入力されている場合、ウエイトサイクルが追加されます。

(10) ブロックセレクト (BSEL0#~BSEL7#) <出力>

外部デバイスへのアクセス時にブロック0~ブロック7の8ブロック中、どのブロックに対して有効アドレスが出力されたかを示します。ただし、SDRAMコントローラ設定領域アクセス時、BSEL0#~BSEL7#信号は出力されません ("H"レベル出力)。

注. OPSPのBSEL1#信号は、オンチップユーザIPバスのIPMS信号として使用します。BSEL1#領域へアクセスした場合、オンチップユーザIPバス機能が有効となるため、データバスD0~D31は有効になりません。詳細は、「第14章 オンチップユーザIPバス」を参照してください。

9.1.2 内蔵資源アクセス時の外部バスインタフェース関連信号

内蔵SRAM、SFR領域など、内蔵資源へのアクセス時（外部バスインタフェースを介さないアクセス時）の外部バスインタフェース関連信号（出力）の状態を表9.1.1に示します。

表9.1.1 内蔵資源アクセス時の外部バスインタフェース関連信号

信号名	内蔵資源アクセス時の出力
D0~D31	ハイインピーダンス
A6~A29	最終の外部デバイスアクセス時の値
BCLK	BCLK出力
RS#,RD/WR#,WS0#~WS3# (注) BSEL0#~BSEL7#,HLDA#	"H"レベル出力

注. データバス幅16ビット設定時、WS2#端子（A30端子と共用）からは最終の外部デバイスアクセス用のA30信号の値が出力され、WS3#端子からは"H"レベルを出力します。

9.2 基本バスタイミング

図9.2.1に外部デバイスアクセス時の基本的なバスタイミング例を示します。

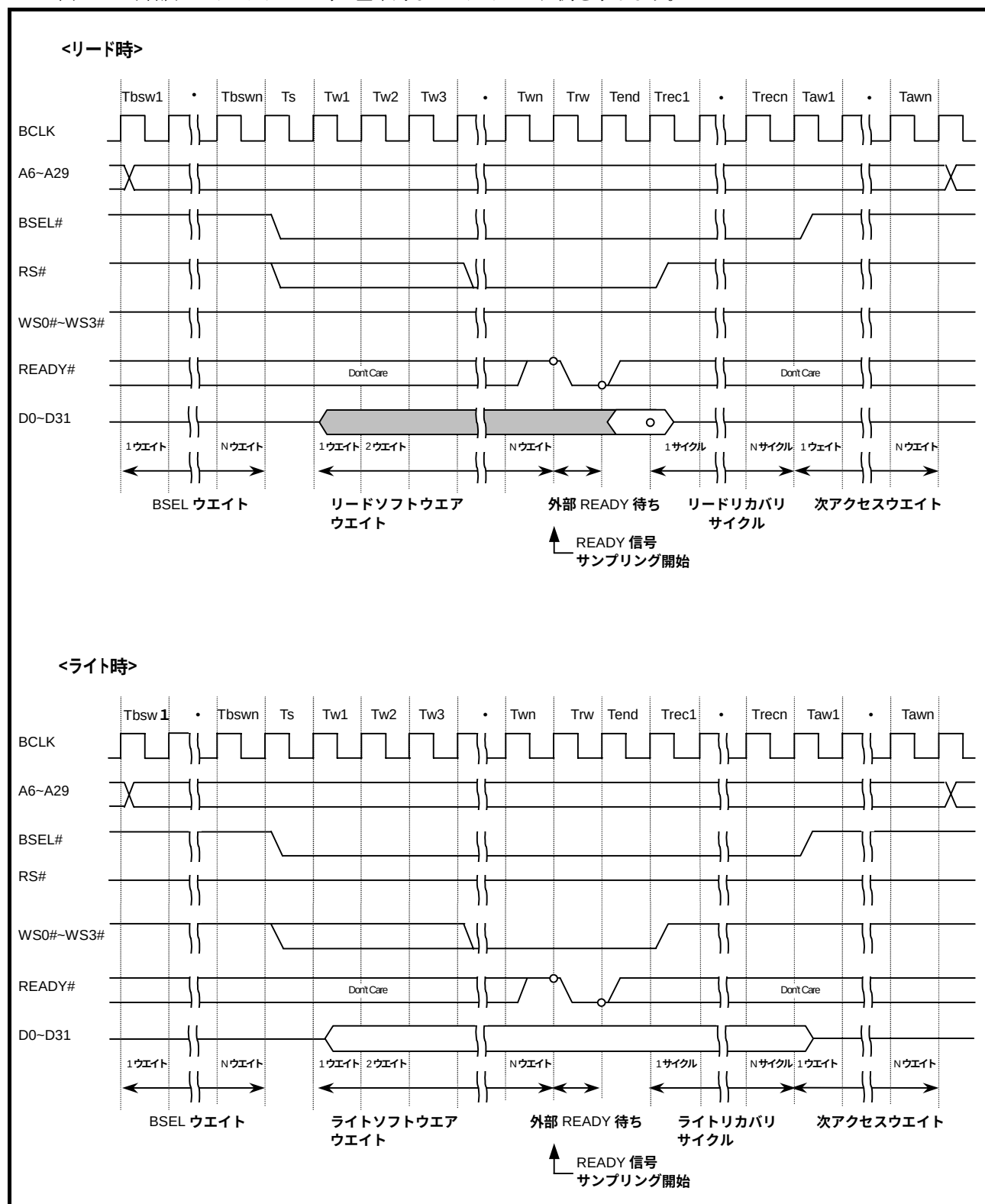


図9.2.1 基本バスタイミング

外部バスタイミングは、次の7種類のバスサイクルで構成されています。各バスサイクルの単位はBCLKです。外部バスタイミングは、BSELi制御レジスタ0、BSELi制御レジスタ1で設定します。（添字i（i=0～7）は対応するブロック番号（ブロック0～ブロック7）を示します。）

①Tbsw（BSELi#ウェイトサイクル）

Tbswはアドレスが出力されてからBSELi#信号が"L"レベルを出力するまでのサイクルです。BSELウェイト数選択ビット（BWAIT）により、0BCLK～3BCLKを選択できます。

②Ts（バス開始サイクル）

TsはBSELi#信号が"L"レベル出力を開始するサイクルです。TsはBSELi制御レジスタ0、BSELi制御レジスタ1の設定に関わらず、1BCLKが挿入されます。

③Tw（ソフトウェアウェイトサイクル）

TwはTsとTendの間に挿入されるサイクルです。リード時ソフトウェアウェイト数選択ビット（RWAIT）及びライト時ソフトウェアウェイト数選択ビット（WWAIT）により、0BCLK～31BCLKを設定できます。

④Trw（外部READYウェイトサイクル）

Trwは外部READY待ち選択ビット（RDYSEL）の設定により挿入されるサイクルです。Twの最終サイクル時にREADY#信号が無効レベルの場合、1BCLKが挿入され、READY#信号が有効レベルになるとTendに移行します。READY#信号の極性はREADY極性制御ビット（RDYCNT）により選択します。

⑤Tend（バス終了サイクル）

TendはBSELi0制御レジスタ、BSELi1制御レジスタの設定に関わらず、1BCLK挿入されます。

⑥Trec（データリカバリサイクル）

リード時、TrecはRS#信号が"H"レベルになってからBSELi#信号が"H"レベルになるまでのサイクルです。リード時リカバリサイクル数選択ビット（RRECWAIT）により、0BCLK～3BCLKを設定できます。

ライト時、TrecはWS#信号が"H2レベルになってからBSELi#信号が"H"レベルになるまでのサイクルです。ライト時リカバリサイクル数選択ビット（WRECWAIT）により、0BCLK～3BCLKを設定できます。

⑦Taw（次アクセスウェイトサイクル）

Tawはバス終了（Tend、Trec）から次バスサイクルのアドレス出力までに挿入されるサイクルです。次アクセスウェイト選択ビット（NWAIT）により0BCLK～15BCLKを設定できます。

9.3 ブロックセレクトコントローラ

9.3.1 ブロックセレクトコントローラ概要

表9.3.1にブロックセレクトコントローラの概要を示します。

表9.3.1 ブロックセレクトコントローラの概要

項目	概要
制御ブロック数	1ブロック64Mバイト×8ブロック 外部デバイスアクセスのためのセレクト信号、リードストロブ信号、ライトストロブ信号の生成と、ウェイトサイクル、リカバリサイクル挿入の制御を行います。 ブロックセレクト信号は、8本用意され、各信号に対応した8つのブロックを個別に管理することが出来ます。
ページアクセス制御	キャッシュフィル時、キャッシュコピーバック時、および DMAバス権連続取得モード、かつ、内蔵SRAM⇄外部デバイス間転送時に有効
ウェイト制御	・リード時ソフトウエアウェイト：0～31BCLK ・ライト時ソフトウエアウェイト：0～31BCLK ・ページリード時ソフトウエアウェイト：0～31BCLK ・ページライト時ソフトウエアウェイト：0～31BCLK ・BSELウェイト：0～3BCLK ・ストロブ出力ウェイト：0～3BCLK ・外部READY#信号待ち選択機能あり ・リード時リカバリサイクル：0～3BCLK ・ライト時リカバリサイクル：0～3BCLK ・次アクセスウェイト：0～15BCLK ・READY#信号極性変更機能

9.3.2 ブロックセレクトコントローラレジスタマッピング

ブロックセレクトコントローラ関連のレジスタマッピングと各レジスタについて説明します。

ブロックセレクトコントローラのレジスタマッピング¹

番地	b0	+0番地	b7	b8	+1番地	b15	b16	+2番地	b23	b24	+3番地	b31
H'00EF 5000	BSEL0制御レジスタ0 (BSEL0CR0)											
H'00EF 5004	BSEL0制御レジスタ1 (BSEL0CR1)											
H'00EF 5008	BSEL0制御レジスタ2 (BSEL0CR2)											
⋮	(使用禁止領域)											
H'00EF 5100	BSEL1制御レジスタ0 (BSEL1CR0)											
H'00EF 5104	BSEL1制御レジスタ1 (BSEL1CR1)											
H'00EF 5108	BSEL1制御レジスタ2 (BSEL1CR2)											
⋮	(使用禁止領域)											
H'00EF 5200	BSEL2制御レジスタ0 (BSEL2CR0)											
H'00EF 5204	BSEL2制御レジスタ1 (BSEL2CR1)											
H'00EF 5208	BSEL2制御レジスタ2 (BSEL2CR2)											
⋮	(使用禁止領域)											
H'00EF 5300	BSEL3制御レジスタ0 (BSEL3CR0)											
H'00EF 5304	BSEL3制御レジスタ1 (BSEL3CR1)											
H'00EF 5308	BSEL3制御レジスタ2 (BSEL3CR2)											
⋮	(使用禁止領域)											
H'00EF 5400	BSEL4制御レジスタ0 (BSEL4CR0)											
H'00EF 5404	BSEL4制御レジスタ1 (BSEL4CR1)											
H'00EF 5408	BSEL4制御レジスタ2 (BSEL4CR2)											
⋮	(使用禁止領域)											
H'00EF 5500	BSEL5制御レジスタ0 (BSEL5CR0)											
H'00EF 5504	BSEL5制御レジスタ1 (BSEL5CR1)											
H'00EF 5508	BSEL5制御レジスタ2 (BSEL5CR2)											
⋮	(使用禁止領域)											

ブロックセレクトコントローラのレジスタマッピング2

番地	b0	+0番地	b7	b8	+1番地	b15	b16	+2番地	b23	b24	+3番地	b31
H'00EF 5600	BSEL6制御レジスタ0 (BSEL6CR0)											
H'00EF 5604	BSEL6制御レジスタ1 (BSEL6CR1)											
H'00EF 5608	BSEL6制御レジスタ2 (BSEL6CR2)											
	(使用禁止領域)											
H'00EF 5700	BSEL7制御レジスタ0 (BSEL7CR0)											
H'00EF 5704	BSEL7制御レジスタ1 (BSEL7CR1)											
H'00EF 5708	BSEL7制御レジスタ2 (BSEL7CR2)											

9.3.3 BSELi制御レジスタ0

BSEL0制御レジスタ0 (BSEL0CR0)	<アドレス: H'00EF 5000>
BSEL1制御レジスタ0 (BSEL1CR0)	<アドレス: H'00EF 5100>
BSEL2制御レジスタ0 (BSEL2CR0)	<アドレス: H'00EF 5200>
BSEL3制御レジスタ0 (BSEL3CR0)	<アドレス: H'00EF 5300>
BSEL4制御レジスタ0 (BSEL4CR0)	<アドレス: H'00EF 5400>
BSEL5制御レジスタ0 (BSEL5CR0)	<アドレス: H'00EF 5500>
BSEL6制御レジスタ0 (BSEL6CR0)	<アドレス: H'00EF 5600>
BSEL7制御レジスタ0 (BSEL7CR0)	<アドレス: H'00EF 5700>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	1	1	RWAIT			0	0	0	1	1	WWAIT		1
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
RDYSEL	0	0	0	1	1	1	1	STBWAIT		0	1	1	PWWAIT		1
								1	1						

※バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'1F1F 1FDF>

b	ビット名	機能	R	W
0~2	何も配置されていません。"0"に固定してください。		0	0
3~7	RWAIT	00000 : 0BCLK	R	W
	リード時ソフトウェアウェイト数選択ビット	00001 : 1BCLK		
		・		
		・		
		11110 : 30BCLK		
		11111 : 31BCLK		
8~10	何も配置されていません。"0"に固定してください。		0	0
11~15	WWAIT	00000 : 0BCLK	R	W
	ライト時ソフトウェアウェイト数選択ビット	00001 : 1BCLK		
		・		
		・		
		11110 : 30BCLK		
		11111 : 31BCLK		
16	RDYSEL	0 : 外部READY待ちなし	R	W
	外部READY待ち選択ビット	1 : 外部READY待ちあり		
17,18	何も配置されていません。"0"に固定してください。		0	0
19~23	PRWAIT	00000 : 0BCLK	R	W
	ページリード時ソフトウェア	00001 : 1BCLK		
	ウェイト数選択ビット	・		
		・		
		11110 : 30BCLK		
		11111 : 31BCLK		
24~25	STBWAIT	00 : BSELi#信号出力と同時に	R	W
	ストローブ出力ウェイト数選択ビット	01 : BSELi#信号出力の1BCLK後		
		10 : BSELi#信号出力の2BCLK後		
		11 : BSELi#信号出力の3BCLK後		

26	何も配置されていません。"0"に固定してください。		0	0
27~31	PWWAIT	00000 : 0BCLK	R	W
	ページライト時ソフトウェア ウェイト数選択ビット	00001 : 1BCLK . . 11110 : 30BCLK 11111 : 31BCLK		

注1. ソフトウェアウェイト数が"0"のとき外部READY待ちありは設定禁止です。外部READY待ちなしを選択して下さい。

注2. ストローブ出力ウェイト選択ビットの設定は、実行サイクル数に影響しません。Tend（バス終了サイクル）を超えて、ストローブ信号を出力する設定はしないで下さい。設定は以下の条件を満たすようにして下さい。

ソフトウェアウェイト数（RWAIT,WWAIT,PRWAIT,PWWAIT） +1 ≥ ストローブ出力ウェイト数（STBWAIT）

(1) RWAIT（リード時ソフトウェアウェイト数選択）ビット（b3～b7）

このビットにより、リード時ソフトウェアウェイト数を選択します。0～31BCLKを挿入できます。BSELi#信号が"L"レベルを出力した次のBCLK立ち上がりを0BCLKとします。

(2) WWAIT（ライト時ソフトウェアウェイト数選択）ビット（b11～b15）

このビットにより、ライト時ソフトウェアウェイト数を選択します。0～31BCLKを挿入できます。BSELi#信号が"L"レベルを出力した次のBCLK立ち上がりを0BCLKとします。

(3) RDYSEL（外部READY待ち選択）ビット（b16）

このビットにより、外部READY#端子によるウェイト挿入を選択します。

外部READY待ちありを選択した場合、ソフトウェアウェイト数選択ビットで設定したBCLK数の最終BCLKの立ち上がりでREADY#信号をサンプリングし、READY#端子への入力の有効レベルになるまでウェイトサイクルを継続します。

なお、ソフトウェアウェイトが0BCLKに設定されている場合には、外部READY待ち選択ビットを"0"に設定して下さい。"1"に設定した場合の動作は保証しません。

(4) PRWAIT（ページリード時ソフトウェアウェイト数選択）ビット（b19～b23）

このビットにより、ページアクセスで発生するリードサイクルの2回目以後のソフトウェアウェイト数を選択します。0～31BCLKを挿入できます。（1回目のリードサイクルのソフトウェアウェイトは、（1）のリード時ソフトウェアウェイト（RWAIT）設定が使用されます。）

この設定値をリード時ソフトウェアウェイト（RWAIT）より小さく設定することにより、ページROMなどを高速にアクセスすることができます。

(5) STBWAIT（ストローブ出力ウェイト数選択）ビット（b24～b25）

このビットにより、ストローブ信号（RS#、WS0#～WS3#）の"L"レベル出力タイミングを選択します。BSELi#信号の"L"レベル出力から0BCLK～3BCLK後にストローブ信号を"L"レベル出力します。

注. ストローブ出力ウェイト選択ビットの設定は、実行サイクル数に影響しません。Tend（バス終了サイクル）を超えて、ストローブ信号を"L"レベル出力させるような設定はしないで下さい。設定は以下の条件を満たすようにして下さい。

ソフトウェアウェイト数（RWAIT,WWAIT,PRWAIT,PWWAIT） +1 ≥ ストローブ出力ウェイト数（STBWAIT）

(6) PWWAIT (ページライト時ソフトウェアウエイト数選択) ビット (b27~b31)

このビットにより、ページアクセスで発生するライトサイクルの2回目以後のソフトウェアウエイト数を選択します。0~31BCLKを挿入できます。(1回目のライトサイクルのソフトウェアウエイトは、(2)のライト時ソフトウェアウエイト(WWAIT)設定が使用されます。)

この設定値をライト時ソフトウェアウエイト(WWAIT)より小さく設定することにより、外部I/Oデバイスを高速にアクセスすることができます。

9.3.4 BSELi制御レジスタ1

BSEL0制御レジスタ1 (BSEL0CR1)	<アドレス: H'00EF 5004>
BSEL1制御レジスタ1 (BSEL1CR1)	<アドレス: H'00EF 5104>
BSEL2制御レジスタ1 (BSEL2CR1)	<アドレス: H'00EF 5204>
BSEL3制御レジスタ1 (BSEL3CR1)	<アドレス: H'00EF 5304>
BSEL4制御レジスタ1 (BSEL4CR1)	<アドレス: H'00EF 5404>
BSEL5制御レジスタ1 (BSEL5CR1)	<アドレス: H'00EF 5504>
BSEL6制御レジスタ1 (BSEL6CR1)	<アドレス: H'00EF 5604>
BSEL7制御レジスタ1 (BSEL7CR1)	<アドレス: H'00EF 5704>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	PAEN	0	0	0	BSZ (注)	0	0	BWAIT	1
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	RRECWAIT	1	1	0	0	WRECWAIT	1	1	0	0	0	0	NWAIT	1

※ バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

注. BSEL0制御レジスタ1: ROMSZ端子="L"の場合、リセット解除時"01"

BSEL0制御レジスタ1: ROMSZ端子="H"の場合、リセット解除時"10"

BSEL1~BSEL7制御レジスタ1: リセット解除時"10"

<BSEL0制御レジスタ1でROMSZ端子="L"の場合のリセット解除時: H'0013 330F>

<BSEL0制御レジスタ1でROMSZ端子="H"の場合のリセット解除時: H'0023 330F>

<BSEL1~BSEL7制御レジスタ1のリセット解除時: H'0023 330F>

b	ビット名	機能	R	W
0~6	何も配置されていません。"0"に固定してください。		0	0
7	PAEN	0: ページアクセス無効 ページアクセスイネーブルビット 1: ページアクセス有効	R	W
8,9	何も配置されていません。"0"に固定してください。		0	0
10,11	BSZ	00: 設定禁止 パスサイズ選択ビット 01: 16ビット 10: 32ビット 11: 設定禁止	R	W
12,13	何も配置されていません。"0"に固定してください。		0	0
14,15	BWAIT	00: 0BCLK BSELウェイト数選択ビット 01: 1BCLK 10: 2BCLK 11: 3BCLK	R	W
16,17	何も配置されていません。"0"に固定してください。		0	0
18,19	RRECWAIT	00: 0BCLK リード時リカバリサイクル数選択ビット 01: 1BCLK 10: 2BCLK 11: 3BCLK	R	W
20,21	何も配置されていません。"0"に固定してください。		0	0
22,23	WRECWAIT	00: 0BCLK ライト時リカバリサイクル数選択ビット 01: 1BCLK 10: 2BCLK 11: 3BCLK	R	W

24~27	何も配置されていません。"0"に固定してください。		0	0
28~31	NWAIT	0000 : 0BCLK	R	W
	次アクセスウェイト数選択	0001 : 1BCLK		
	ビット	・		
		・		
		1110 : 14BCLK		
		1111 : 15BCLK		

(1) PAEN (ページアクセスイネーブル) ビット (b7)

このビットにより、ページリード時ソフトウェアウェイト (PWAIT) とページライト時ソフトウェアウェイト (PWWAIT) の設定を有効にし、ページアクセスを可能にします。

このビットを"1"にセットした場合は、BSELi#信号を"L"のまま連続バスアクセス (ページアクセス) を行います。連続バスアクセスは、キャッシュフィル時は128ビット単位で、内蔵SRAM⇄外部デバイス間のDMAバス権連続取得モードでのDMA転送時は、1オペランド転送データ数で設定した単位で行われます。1回目のバスアクセスは、リード時はリード時ソフトウェアウェイト (RWAIT)、ライト時はライト時ソフトウェアウェイト (WWAIT) で設定されたソフトウェアウェイト数でアクセスします。2回目以降のバスアクセスは、リード時はページリード時ソフトウェアウェイト (PWAIT)、ライト時はページライト時ソフトウェアウェイト (PWWAIT) で設定されたソフトウェアウェイト数でアクセスします。

このビットを"0"にクリアした場合は、BSELi#信号はBSELi制御レジスタ設定値により動作します。また、1回目および2回目以降のバスアクセスもリード時はリード時ソフトウェアウェイト (RWAIT)、ライト時はライト時ソフトウェアウェイト (WWAIT) で設定されたソフトウェアウェイト数でアクセスします。

(2) BSZ (バスサイズ選択) ビット (b10~b11)

このビットにより、外部データバス幅を選択します。

バス幅を16ビットに設定した場合、データバスは、D0~D15が有効になります。このとき、WS2#端子からA30を出力し、ライトストロブ信号は、WS0#、WS1#端子が有効になります。

(3) BWAIT (BSELウェイト数選択) ビット (b14~b15)

このビットにより、BSELi#信号の"L"レベル出力タイミングを選択します。アドレス出力から0BCLK~3BCLK後にBSELi#信号を"L"レベル出力します。

(4) RRECWAIT (リード時リカバリサイクル数選択) ビット (b18~b19)

このビットにより、リード時のBSELi#信号の"H"レベル出力タイミングを指定します。

リードストロブ信号 (RS#) の"H"レベル出力から0BCLK~3BCLK後にBSELi#信号を"H"レベル出力します。

(5) WRECWAIT (ライト時リカバリサイクル数選択) ビット (b22~b23)

このビットにより、ライト時のBSELi#信号の"H"レベル出力タイミングを指定します。

ライトストロブ信号 (WS#) の"H"レベル出力から0BCLK~3BCLK後にBSELi#信号を"H"レベル出力します。ライトデータの有効期間は、BSELi#信号の"H"レベル出力までです。

(6) NWAIT (次アクセスウェイト数選択) ビット (b28~b31)

このビットにより、前アクセスの終了から次アクセスの開始までのBCLK数を選択します。0BCLK~15BCLKを選択できます。

9.3.5 BSELi制御レジスタ2

BSEL0制御レジスタ2 (BSEL0CR2)	<アドレス: H'00EF 5008>
BSEL1制御レジスタ2 (BSEL1CR2)	<アドレス: H'00EF 5108>
BSEL2制御レジスタ2 (BSEL2CR2)	<アドレス: H'00EF 5208>
BSEL3制御レジスタ2 (BSEL3CR2)	<アドレス: H'00EF 5308>
BSEL4制御レジスタ2 (BSEL4CR2)	<アドレス: H'00EF 5408>
BSEL5制御レジスタ2 (BSEL5CR2)	<アドレス: H'00EF 5508>
BSEL6制御レジスタ2 (BSEL6CR2)	<アドレス: H'00EF 5608>
BSEL7制御レジスタ2 (BSEL7CR2)	<アドレス: H'00EF 5708>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	RDYCNT 0

※バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~30	何も配置されていません。"0"に固定してください。		0	0
31	RDYCNT	0: READY#信号を"L"アクティブで使用	R	W
	READY極性制御ビット	1: READY#信号を"H"アクティブで使用		

(1) RDYCNT (READY極性制御) ビット (b31)

このビットによりREADY#信号の極性を設定します。

このビットを"0"にクリアした場合、READY#信号の有効レベルは"L"レベルとなります

このビットに"1"をセットした場合、READY#信号の有効レベルは"H"レベルとなります。

9.3.6 制御レジスタ設定方法

BSEL0制御レジスタ0のバスサイズ（BSZ）ビットにROMSZ端子で設定した初期値と異なる値を設定した場合の動作は保証しません。また、動作中のブロックのBSELi制御レジスタ0、BSELi制御レジスタ1は書き換えないで下さい。

ただし、ブロック0に対応するBSEL0制御レジスタ0、BSEL0制御レジスタ1のみリセット解除後、1回限り書き換えることができます。

9.3.7 バスタイミング例

- RWAIT: 0BCLK
- WWAIT: 0BCLK
- RDYSEL: 外部 READY 待ちなし
- PRWAIT: 0BCLK
- STBWAIT: BSEL#信号出力と同時に
- PWWAIT: 0BCLK
- PAEN: ページアクセス無効
- BSZ: 32 ビットバス
- BWAIT: BSEL ウェイトなし
- RRECWAIT: リードリカバリサイクルなし
- WRECWAIT: ライトリカバリサイクル 1BCLK
- NWAIT: 0BCLK

BSELi 制御レジスタ 0

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

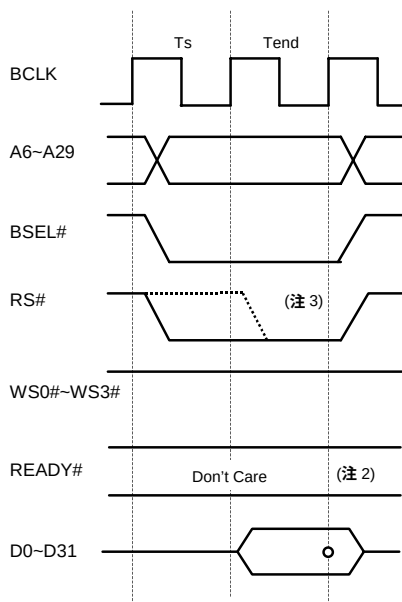
16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
RDYSEL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

BSELi 制御レジスタ 1

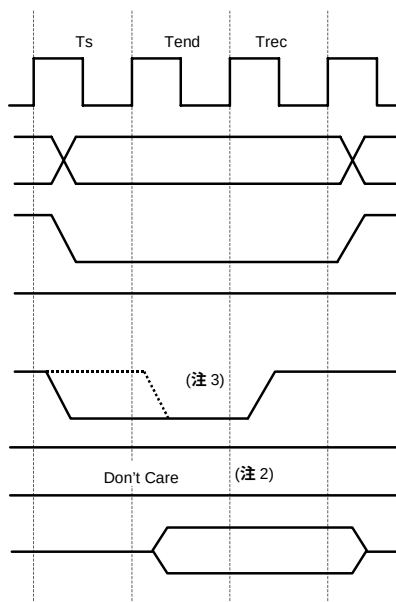
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

<リード時>



<ライト時>



- 注1. 最短アクセスは、リード時 2BCLK、ライト時 3BCLK です。
- 注2. ソフトウェアウエイが"0"の場合には、外部 READY 待ちなしを設定してください。
- 注3. 破線は、STBWAIT="1"に設定した場合の波形です。ストローブ出力ウェイト数選択ビットの設定は、実行サイクル数には影響しません。

図9.3.1 バスタイミング例1

- RWAIT: 0BCLK
- WWAIT: 0BCLK
- RDYSEL: 外部 READY 待ちなし
- PRWAIT: 0BCLK
- STBWAIT: BSEL#信号出力から 1BCLK
- PWWAIT: 0BCLK
- PAEN: ページアクセス無効
- BSZ: 32 ビットバス
- BWAIT: BSEL ウェイトなし
- RRECWAIT: リードリカバリサイクル 1BCLK
- WRECWAIT: ライトリカバリサイクル 1BCLK
- NWAIT: 0BCLK

BSELi 制御レジスタ 0

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
RDYSEL	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

BSELi 制御レジスタ 1

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

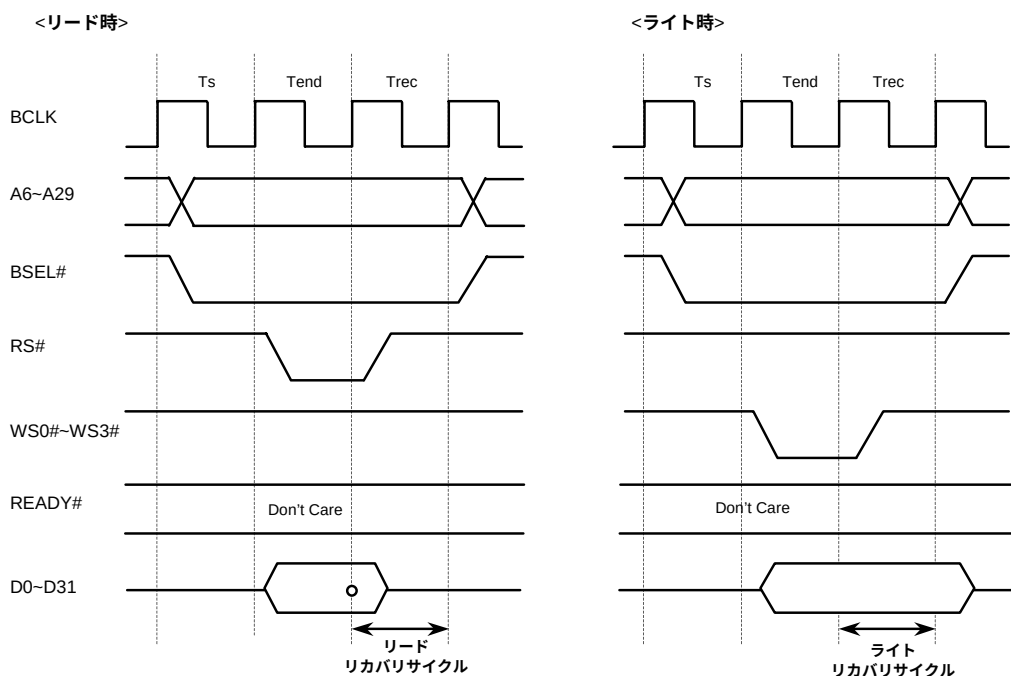


図9.3.2 バスタイミング例2

- RWAIT: 0BCLK
- WWAIT: 0BCLK
- RDYSEL: 外部 READY 待ちなし
- PRWAIT: 0BCLK
- STBWAIT: BSEL#信号出力から 1BCLK
- PWWAIT: 0BCLK
- PAEN: ページアクセス無効
- BSZ: 32 ビットバス
- BWAIT: BSEL ウェイト 1BCLK
- RRECWAIT: リードリカバリサイクル 1BCLK
- WRECWAIT: ライトリカバリサイクル 1BCLK
- NWAIT: 0BCLK

BSELi 制御レジスタ 0

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

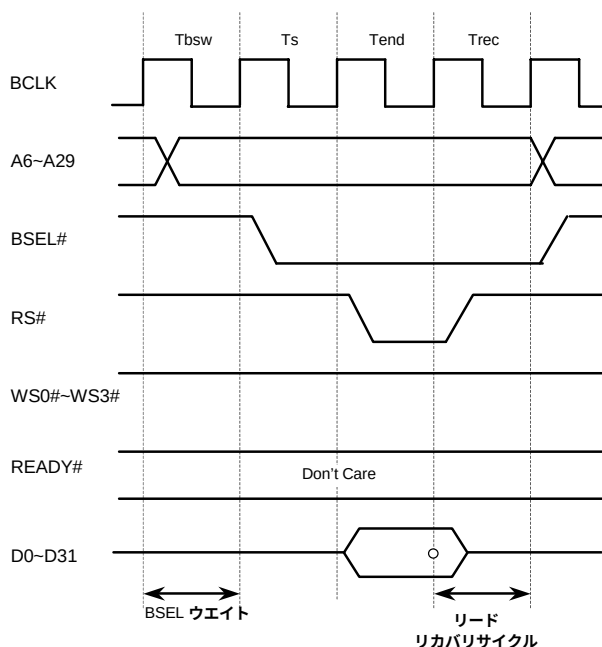
16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
RDYSEL	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

BSELi 制御レジスタ 1

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リード時>



<ライト時>

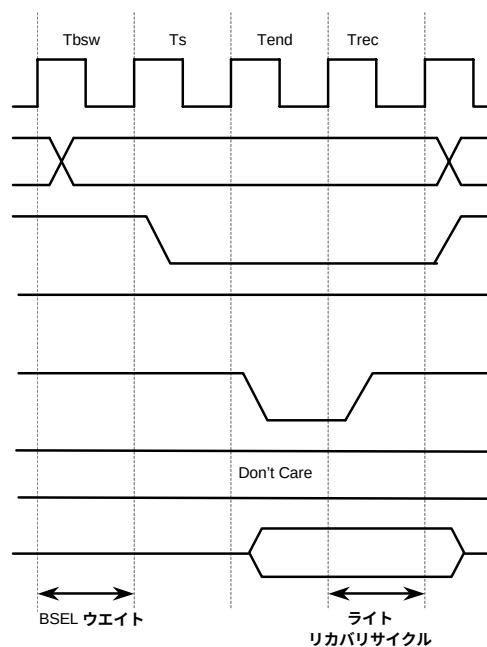


図9.3.3 バスタイミング例3

- RWAIT: 2BCLK
- WWAIT: 2BCLK
- RDYSEL: 外部 READY 待ちなし
- PRWAIT: 0BCLK
- STBWAIT: BSEL#信号出力から 1BCLK
- PWWAIT: 0BCLK
- PAEN: ページアクセス無効
- BSZ: 32 ビットバス
- BWAIT: BSEL ウェイト 1BCLK
- RRECWAIT: リードリカバリサイクル 1BCLK
- WRECWAIT: ライトリカバリサイクル 1BCLK
- NWAIT: 0BCLK

BSELi 制御レジスタ 0

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
RDYSEL	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

BSELi 制御レジスタ 1

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

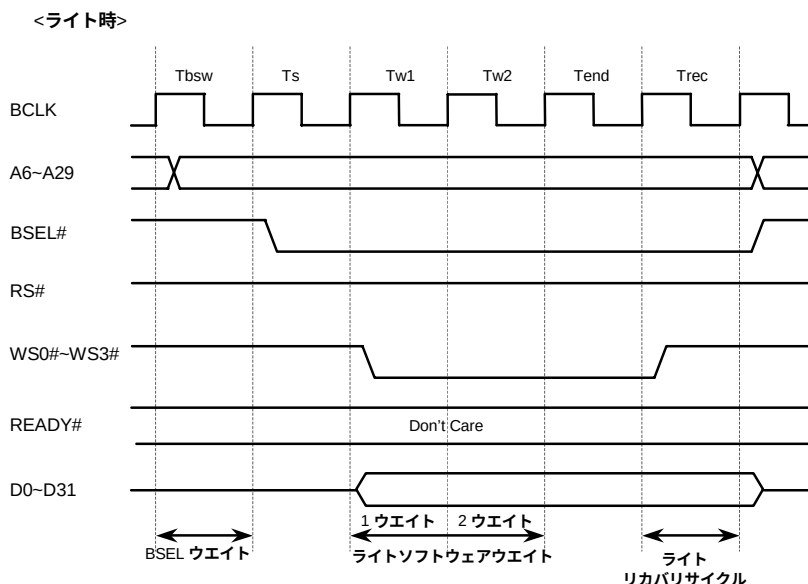
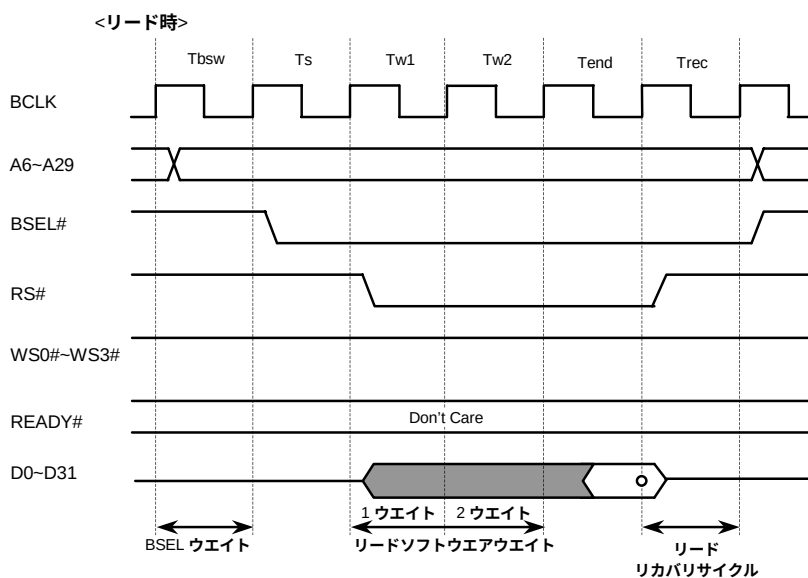


図9.3.4 バスタイミング例4

- RWAIT: 2BCLK
- WWAIT: 2BCLK
- RDYSEL: 外部 READY 待ちあり
- PRWAIT: 0BCLK
- STBWAIT: BSEL#信号出力から 1BCLK
- PWWAIT: 0BCLK
- PAEN: ページアクセス無効
- BSZ: 32 ビットバス
- BWAIT: BSEL ウェイト 1BCLK
- RRECWAIT: リードリカバリサイクル 1BCLK
- WRECWAIT: ライトリカバリサイクル 1BCLK
- NWAIT: 2BCLK

BSELi 制御レジスタ 0

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
RDYSEL	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0

BSELi 制御レジスタ 1

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

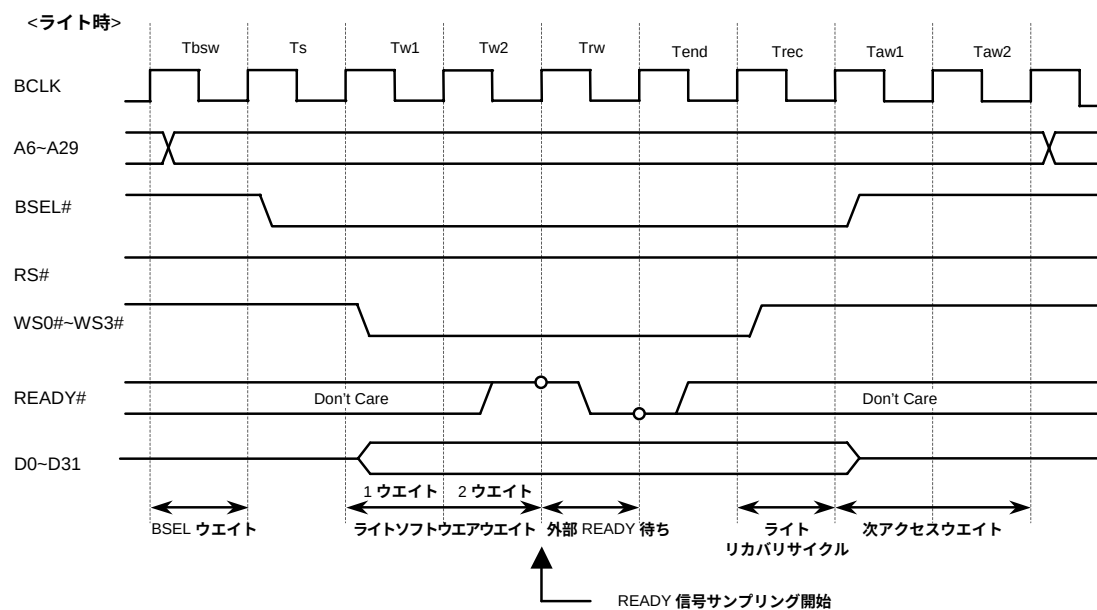
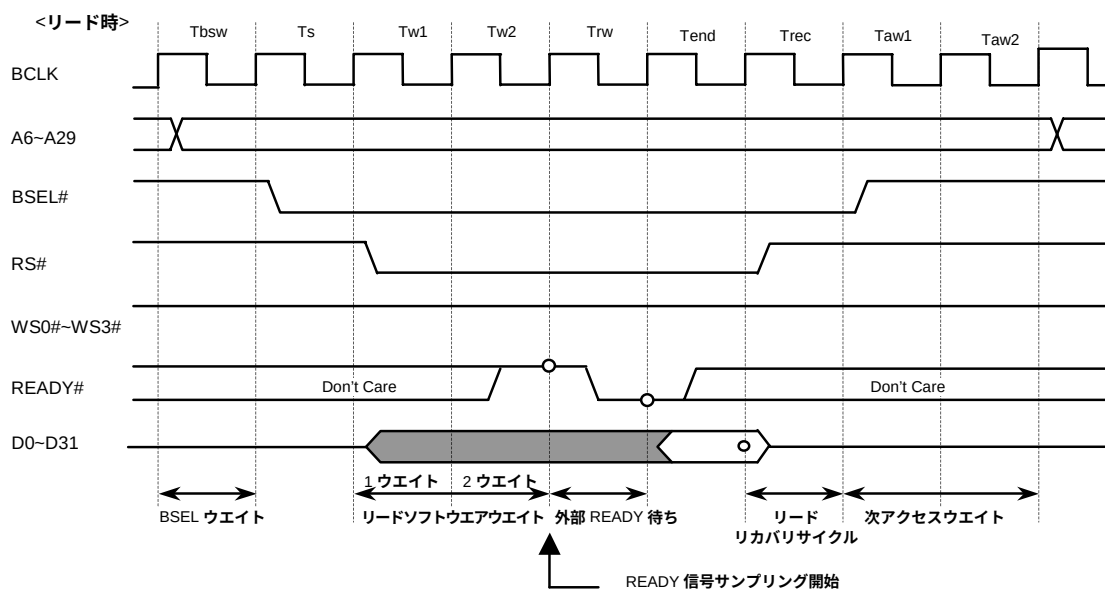


図9.3.5 バスタイミング例5

- RWAIT: 2BCLK
- WWAIT: 2BCLK
- RDYSEL: 外部 READY 待ちなし
- PRWAIT: 1BCLK
- STBWAIT: BSELi#信号出力から1BCLK
- PWWAIT: 1BCLK
- PAEN: ページアクセス有効
- BSZ: 32 ビットバス
- BWAIT: BSEL ウェイト 1BCLK
- RRECAWAIT: リードリカバリサイクル 1BCLK
- WRECAWAIT: ライトリカバリサイクル 1BCLK
- NWAIT: 1BCLK

BSELi 制御レジスタ 0

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0

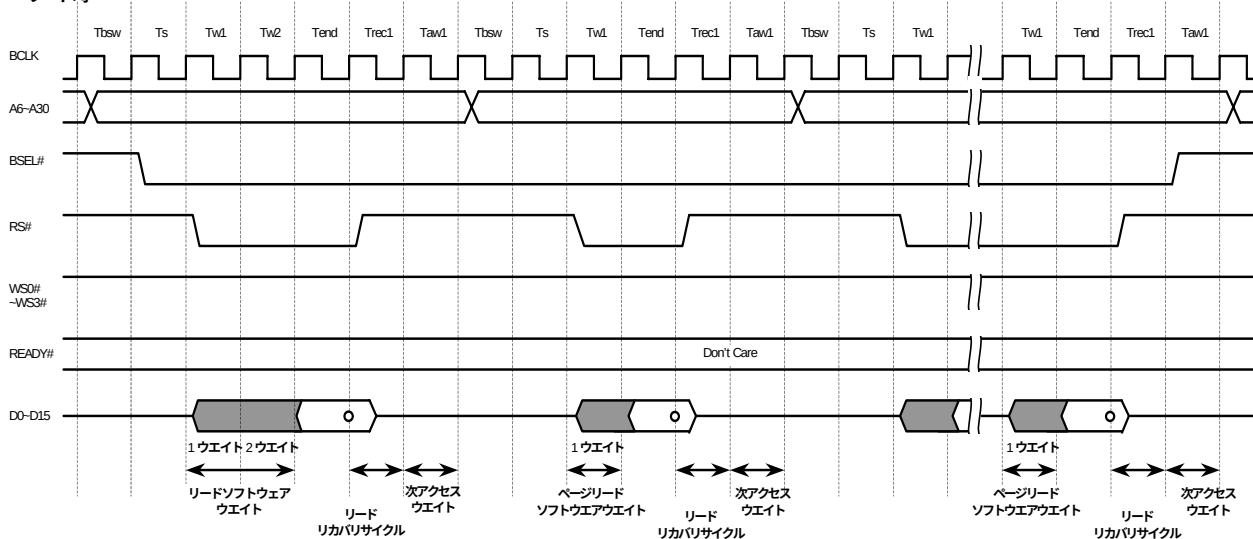
16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	1

BSELi 制御レジスタ 1

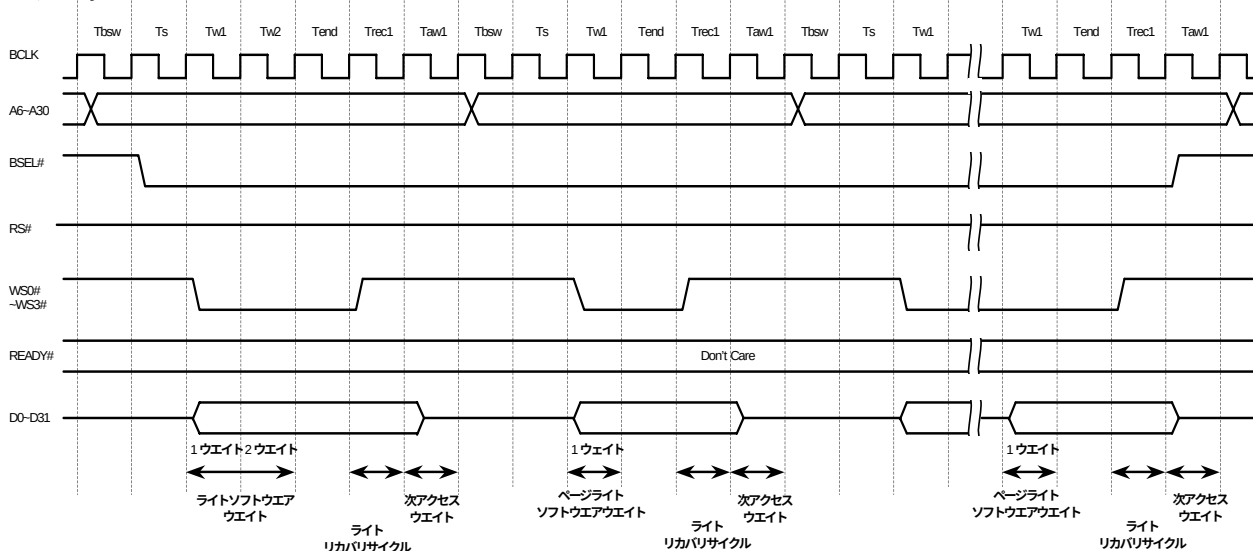
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	1	0	0	1	0	0	0	0	1

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	1

<リード時>



<ライト時>



注: ページアクセスを有効にして、連続アクセスを実行すると、BSELi#を"H"レベルにせずにはアドレスだけを更新して、アクセスを行います。

連続アクセス実行時、2回目のバスアクセス以降は、リード時は PRWAIT(ページリード時ソフトウェアウエイト)でリードソフトウェアが設定されます。ライト時は、PWWAIT(ページライト時ソフトウェアウエイト)でライトソフトウェアが設定されます。

図9.3.6 バスタイミング例6

RWAIT:1BCLK
 WAIT:1BCLK
 RDYSEL: 外部 READY 待ちあり
 PRWAIT:0BCLK
 STBWAIT: BSELi#信号出力から 1BCLK
 PWWAIT:0BCLK
 PAEN: ページアクセス無効
 BSZ: 16 ビットバス
 BWAIT: BSEL ウェイト 1BCLK
 RRECWAIT: リードリカバリサイクル 1BCLK
 WRECWAIT: ライトリカバリサイクル 1BCLK
 NWAIT: 1BCLK

BSELi 制御レジスタ 0

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
RDYSEL	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0

BSELi 制御レジスタ 1

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	1

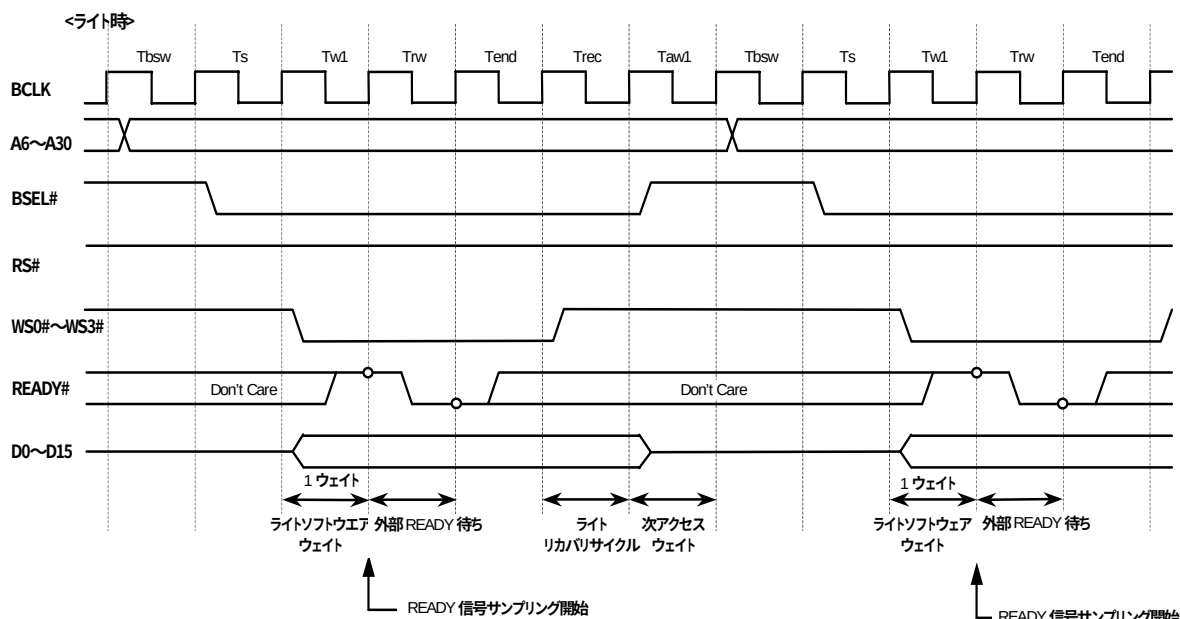
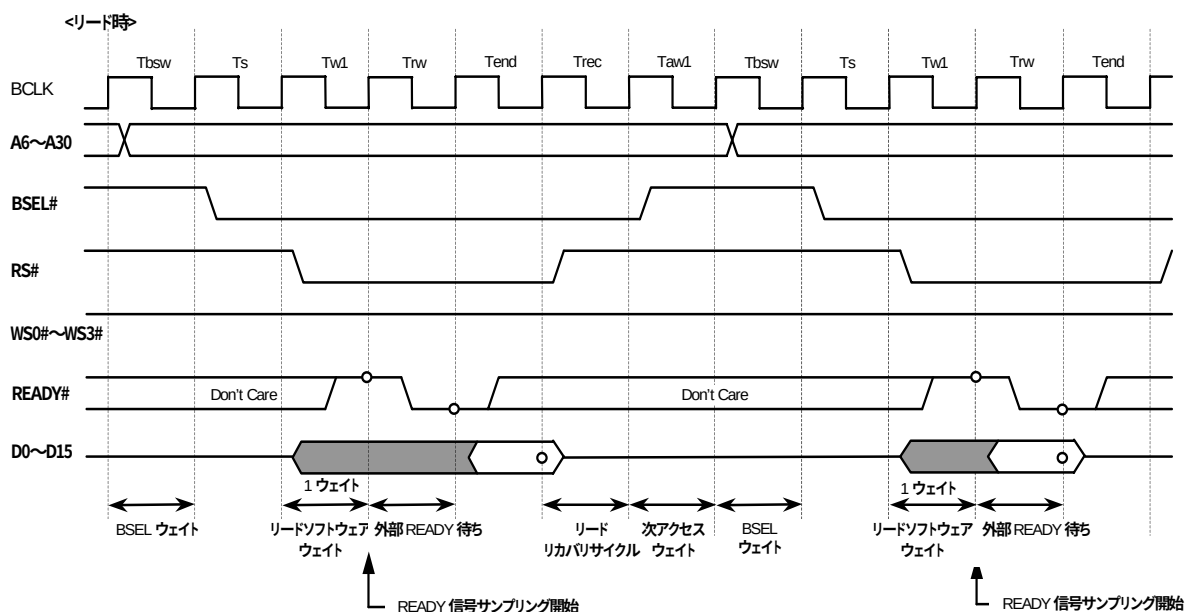


図9.3.7 バスタイミング例7

第10章

SDRAMコントローラ (SDRAMC)

10.1 SDRAMC概要

SDRAMC (SDRAMコントローラ) は、SDRAMのアクセス制御およびリフレッシュの制御を行います。リフレッシュはオートリフレッシュ、セルフリフレッシュモードをサポートしています。

表10.1.1にSDRAMCの概要を示します。

表10.1.1 SDRAMC概要

項目	概要
チャンネル数	2チャンネル
対応SDRAM	64Mビット/128Mビット/256Mビット
先頭アドレス設定	8/16/32/64Mバイト境界 (チャンネルサイズ設定値に依存)
アドレス出力	アドレス13ビット, バンクアドレス2ビット
データバス幅	16ビット/32ビット
リフレッシュ	オートリフレッシュ (プログラマブルリフレッシュカウンタ内蔵) セルフリフレッシュ
ウエイト設定	RAS-CASレイテンシ、CASレイテンシ、最短RAS有効BCLK数、 ライトリカバリ、プリチャージウエイト、 リフレッシュウエイト、初期化プリチャージウエイト、 初期化オートリフレッシュウエイト
バーストアクセス方式	ランダムカラム (SDRAMバースト長: 1) (注)
その他	初期化シーケンサ機能(プリチャージ、オートリフレッシュコマンドを発行)

注: ページ境界を越えるバーストアクセスは行わないでください。

10.2 レジスタ説明

以下にSDRAMコントローラ関連のレジスタマッピングと各レジスタについて説明します。

SDRAMコントローラのレジスタマッピング

番地	b0	+0番地	b7	b8	+1番地	b15	b16	+2番地	b23	b24	+3番地	b31
H'00EF 6000	SDRAMリフレッシュ制御レジスタ0 (SDRF0)											
H'00EF 6004	SDRAMリフレッシュ制御レジスタ1 (SDRF1)											
H'00EF 6008	SDRAM初期化レジスタ0 (SDIR0)											
H'00EF 600C	SDRAM初期化レジスタ1 (SDIR1)											
?	(使用禁止領域)											
H'00EF 6020	SDRAM0アドレスレジスタ (SD0ADR)											
H'00EF 6024	SDRAM0アクセスイネーブルレジスタ (SD0ER)											
H'00EF 6028	SDRAM0タイミングレジスタ (SD0TR)											
H'00EF 602C	SDRAM0モードレジスタ (SD0MOD)											
?	(使用禁止領域)											
H'00EF 6040	SDRAM1アドレスレジスタ (SD1ADR)											
H'00EF 6044	SDRAM1アクセスイネーブルレジスタ (SD1ER)											
H'00EF 6048	SDRAM1タイミングレジスタ (SD1TR)											
H'00EF 604C	SDRAM1モードレジスタ (SD1MOD)											

10.2.1 SDRAMリフレッシュ制御レジスタ0

SDRAMリフレッシュ制御レジスタ0 (SDRF0)

<アドレス: H'00EF 6000>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DSFEN 0

※バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~30	何も配置されていません。"0"に固定してください。		0	0
31	DSFEN	0: セルフリフレッシュ動作無効	R	W
	SDRAMセルフリフレッシュ動作有効ビット	1: セルフリフレッシュ動作有効		

(1) DSFEN (SDRAMセルフリフレッシュ動作有効) ビット (b31)

このビットにより、セルフリフレッシュ動作の制御を行います。制御は、全チャネル同時に行われます。

このビットに"1"をセットした場合、オートリフレッシュサイクル終了直後にセルフリフレッシュ動作を開始します。このビットの"1"セットは、セルフリフレッシュ動作開始直後に行われます。

このビットに"0"を書き込んだ場合、セルフリフレッシュ動作を終了し、オートリフレッシュを開始します。

このビットの"0"クリアは、セルフリフレッシュ動作終了直後に行われます。

注: ・このビットへの書き込みは、オートリフレッシュ動作有効 (DRFENビット="1")、SDRAMアクセス無効 (SDRAM0及びSDRAM1のDACENビット="0") の状態で行ってください。それ以外の状態で書き込みを行った場合の動作は保証されません。

また、セルフリフレッシュ動作中に、DRFENビットへの書き込みや、SDRAM0及びSDRAM1のDACENビットへの書き込みは行わないでください。セルフリフレッシュ動作中にSDRAM0及びSDRAM1のDACENビット及びDRFENビットへの書き込みを行った場合の動作は保証されません。

10.2.2 SDRAMリフレッシュ制御レジスタ1

SDRAMリフレッシュ制御レジスタ1 (SDRF1)

<アドレス: H'00EF 6004>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DRFEN 0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	1	0	0	0	1	0	1	1	1

※バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0117>

b	ビット名	機能	R	W
0~14	何も配置されていません。"0"に固定してください。		0	0
15	DRFEN	0: オートリフレッシュ動作無効 オートリフレッシュ有効ビット	R	W
16~19	何も配置されていません。"0"に固定してください。		0	0
20~23	DREFW	0000 : 2BCLK 1000 : 10BCLK	R	W
	オートリフレッシュサイクル／セルフリフレッシュ解除	0001 : 3BCLK 1001 : 11BCLK		
	サイクル数設定ビット	0010 : 4BCLK 1010 : 12BCLK		
		0011 : 5BCLK 1011 : 13BCLK		
		0100 : 6BCLK 1100 : 14BCLK		
		0101 : 7BCLK 1101 : 15BCLK		
		0110 : 8BCLK 1110 : 16BCLK		
		0111 : 9BCLK 1111 : 17BCLK		
24	何も配置されていません。"0"に固定してください。		0	0
25~31	DRFC	000 0000 : 16BCLK	R	W
	オートリフレッシュ要求間隔設定ビット	000 0001 : 32BCLK		
		000 0010 : 48BCLK		
		•		
		•		
		011 1111 : 1024BCLK		
		•		
		•		
		111 1111 : 2048BCLK		

(1) DRFEN (オートリフレッシュ動作有効) ビット (b15)

このビットによりオートリフレッシュ動作を制御します。

SDRAM0/SDRAM1に対するコマンド発行は同時に行われます。

このビットを"0"にクリアした場合、オートリフレッシュ動作を行いません。

このビットを"1"にセットした場合、オートリフレッシュ動作が有効となります。

このビットが"1"のときに"0"を書き込んだ場合、次のオートリフレッシュ終了後にこのビットが"0"クリアされ、オートリフレッシュ動作が停止します。このビットが"0"のときに"0"を書き込んでも、状態は変化しません。

このビットを"1"にセットすると、直ちにオートリフレッシュ要求が発生し、その後、DRFCビットで設定した間隔でオートリフレッシュ要求が発生します。

オートリフレッシュ要求が発生した場合、SDRAMアクセス中、オートリフレッシュ中であるか否か判定され、SDRAMアクセス中又はオートリフレッシュ中であればその完了後にリフレッシュ動作が行われます。逆に、オートリフレッシュ動作中にSDRAMアクセスが発生した場合は、オートリフレッシュ動作終了後にアクセスを開始します。

(2) DREFW (オートリフレッシュサイクル／セルフリフレッシュ解除サイクル数設定) ビット (b20~b23)

このビットにより、オートリフレッシュサイクル数、セルフリフレッシュ解除サイクル数を設定します。

このビットへの書き込みは、オートリフレッシュ動作有効ビット (DRFEN) の状態にかかわらず行うことができます。

DRFENビットが"0"の場合に、このビットへ書き込んだ値は、直ちに反映されます。DRFENビットが"1"の場合、まず現在オートリフレッシュ動作中か判断され、オートリフレッシュ動作中でなければ直ちに反映され、オートリフレッシュ動作中であれば終了後に反映されます。

(3) DRFC (オートリフレッシュ要求間隔設定) ビット (b25~b31)

このビットにより、オートリフレッシュ間隔を設定します。

SDRAMCには、7ビットのリフレッシュカウンタが内蔵されており、定期的にオートリフレッシュ要求が発生します。リフレッシュカウンタのカウントソースはバスクロックの16分周です。

オートリフレッシュ要求間隔からDRFCの設定値を求める計算式を以下に示します。

$$\text{DRFC} = (\text{オートリフレッシュ要求間隔} / (\text{BCLK周期} \times 16)) - 1$$

このビットへの書き込みは、オートリフレッシュ動作有効ビット (DRFEN) の状態にかかわらず行うことができます。DRFENビットが"0"の場合に、このビットへ書き込んだ値は、直ちにリフレッシュカウンタへロードされます。DRFENビットが"1"の場合に、このビットへ書き込んだ値は、オートリフレッシュ動作の開始とともにリフレッシュカウンタにロードされます。

注：SDRAMのアクセス中はオートリフレッシュが挿入されませんので、オートリフレッシュ間隔が通常よりも長くなることがあります。特にバーストリード、バーストライトアクセス時にオートリフレッシュが挿入されないことに注意する必要があります。SDRAMタイミングレジスタの設定やSDRAMバーストレジスタの設定値などを考慮し、使用するSDRAMのオートリフレッシュ間隔規定を満たすようにDRFCビットを設定してください。

10.2.3 SDRAM初期化レジスタ0

SDRAM初期化レジスタ0 (SDIR0)

<アドレス: H'00EF 6008>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	1	1	0	0	0	0	0	1	0

※ バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0182>

b	ビット名	機能	R	W
0~20	何も配置されていません。"0"に固定してください。		0	0
21~23	DPC 初期化プリチャージ数設定	000 : 3BCLK 001 : 4BCLK 010 : 5BCLK 011 : 6BCLK 100 : 7BCLK 101 : 8BCLK 110 : 9BCLK 111 : 10BCLK	R	W
24~27	DARFC 初期化オートリフレッシュ回数	0000 : 設定禁止 0001 : 1回 0010 : 2回 ・ ・ 1111 : 15回	R	W
28~31	DARFI 初期化オートリフレッシュ間隔	0000 : 3BCLK 0001 : 4BCLK 0010 : 5BCLK 0011 : 6BCLK 0100 : 7BCLK 0101 : 8BCLK 0110 : 9BCLK 0111 : 10BCLK 1000 : 11BCLK 1001 : 12BCLK 1010 : 13BCLK 1011 : 14BCLK 1100 : 15BCLK 1101 : 16BCLK 1110 : 17BCLK 1111 : 18BCLK	R	W

(1) DPC (初期化プリチャージサイクル数設定) ビット (b21~b23)

このビットにより、SDRAMの初期化シーケンスにおけるプリチャージサイクル数の設定を行います。初期化シーケンス開始前に、接続するSDRAMの仕様を満たすように設定してください。

(2) DARFC (初期化オートリフレッシュ回数) ビット (b24~b27)

このビットにより、SDRAMの初期化シーケンスにおけるオートリフレッシュ回数の設定を行います。初期化シーケンス開始前に、接続するSDRAMの仕様を満たすように設定してください。

(3) DARFI (初期化オートリフレッシュ間隔) ビット (b28~b31)

このビットにより、SDRAMの初期化シーケンスにおけるオートリフレッシュコマンドの発行間隔の設定を行います。初期化シーケンス開始前に、接続するSDRAMの仕様を満たすように設定してください。

10.2.4 SDRAM初期化レジスタ1

SDRAM初期化レジスタ1 (SDIR1)

<アドレス: H'00EF 600C>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DINIST 0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DINIRQ 0

※バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~14	何も配置されていません。"0"に固定してください。		0	0
15	DINIST	0: 初期化シーケンス中でない	R	W
	初期化ステータス	1: 初期化シーケンス中		
16~30	何も配置されていません。"0"に固定してください。		0	0
31	DINIRQ	0: 無効	R	注1
	初期化シーケンス開始	1: 初期化シーケンス開始		

注1. 「"0"書き込み無効、"1"書き込み時にはデータは保持されない」ことを示します。

(1) DINIST (初期化ステータス) ビット (b15)

このビットに"1"がセットされている時は、SDRAM初期化シーケンス実行中であることを示します。

(2) DINIRQ (初期化シーケンス開始) ビット (b31)

このビットに"1"をセットすると、SDRAM初期化シーケンスが開始され、DINISTビットに"1"が自動的にセットされます。初期化シーケンス終了後、DINISTビットが自動的に"0"クリアされます。

DINIRQビットへ書き込んだ値は保持されません。

注. このビットへの"1"セットは、リセット解除時、1回のみ行ってください。

10.2.5 SDRAMiアドレスレジスタ

SDRAM0先頭アドレスレジスタ (SD0ADR)

<アドレス: H'00EF 6020>

SDRAM1先頭アドレスレジスタ (SD1ADR)

<アドレス: H'00EF 6040>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
DADR															
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
DBSZ								0					DSZ		

※バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'00000000>

b	ビット名	機能	R	W
0~2	何も配置されていません。"0"に固定してください。		0	0
3~8	DADR 先頭アドレス設定ビット	SDRAMi先頭アドレスのA3-A8を設定します。	R	W
9~23	何も配置されていません。"0"に固定してください。		0	0
24	DBSZ バスサイズ選択ビット	0: 32ビット 1: 16ビット	R	W
25~28	何も配置されていません。"0"に固定してください。		0	0
29~31	DSZ チャンネルサイズ設定ビット	000: 設定禁止 001: 8Mバイト 010: 16Mバイト 011: 32Mバイト 100: 64Mバイト 101: 設定禁止 110: 設定禁止 111: 設定禁止	R	W

(1) DADR (先頭アドレス設定) ビット (b3~b8)

このビットによりチャンネルiに割り付けるSDRAMの先頭アドレスを設定します。SDRAMの先頭アドレスは、外部領域の先頭アドレスからチャンネルサイズの整数倍のアドレスを設定してください。

注: 次の設定を行った場合の動作は保証しません。

- チャンネルサイズの容量と同じバウンダリ以外のアドレスを設定した場合
- SDRAM0とSDRAM1のアドレス領域が重複した場合
- 内蔵SRAM、SFR領域のメモリマップと重複した場合

チャンネルサイズ(DSZi)の設定により、一部の低位ビットが無視され、"0"として扱われます。表10.2.1にSDRAMコントローラの先頭アドレス設定を示します。

表10.2.1 SDRAMコントローラの先頭アドレス設定

V:有効

DSZi	DADR[0]	DADR[1]	DADR[2]	DADR[3]	DADR[4]	DADR[5]
001	V	V	V	V	V	V
010	V	V	V	V	V	0
011	V	V	V	V	0	0
100	V	V	V	0	0	0

(2) DBSZ (バスサイズ選択) ビット (b24)

このビットで外部バス幅を設定します。"0"のときは32ビット幅、"1"のときは16ビット幅でSDRAMをアクセスします。16ビットに設定した場合、データバスはD0～D15が有効になります。このとき、DQM0,DQM1端子が有効なバイト位置を示します。

16ビットバス幅のSDRAMに対して32ビットデータのアクセスを行った場合は、先に前半アドレス(A30="0")の16ビットのアクセスを行い、次に後半アドレス(A30="1")の16ビットのアクセスが順に行われます。

(3) DSZ (チャネルサイズ設定) ビット (b29~b31)

このビットでチャネルサイズを指定します。

注：SDiADRレジスタの設定は、以下のすべての条件が満たされている場合にのみ行ってください。それ以外の場合に設定を行った場合の動作は保証されません。

- オートリフレッシュ無効 (DRFENビット="0")
- SDRAMアクセス無効 (SDRAM0及びSDRAM1のDACENビット="0")
- セルフリフレッシュ無効 (DSFENビット="0")

本SDRAMC (SDRAMコントローラ) のサポートするSDRAM構成を、表10.2.2、表10.2.3に示します。

表10.2.2 SDRAMCのサポートするSDRAM構成 [16ビットバスモード：DBSZビット="1"]

SDRAM	個数	チャネルサイズ (DSZビット)	バンクアドレス	ロウアドレス	カラムアドレス
64Mbit(×16)	1	8Mバイト("001")	A9,A10	?,A11-A22	????,A23～A30
128Mbit(×16)	1	16Mバイト("010")	A8,A9	?,A10-A21	????,A22～A30
256Mbit(×16)	1	32Mバイト("011")	A7,A8	A9～A21	????,A22～A30

注. "?"は不定値を示します。

表10.2.3 SDRAMCのサポートするSDRAM構成 [32ビットバスモード：DBSZビット="0"]

SDRAM	個数	チャネルサイズ (DSZビット)	バンクアドレス	ロウアドレス	カラムアドレス
64Mbit(×32)	1	8Mバイト("001")	A9,A10	?,A11-A22	????,A22～A29
64Mbit(×16)	2	16Mバイト("010")	A8,A9	?,A10-A21	????,A22～A29
128Mbit(×32)	1	16Mバイト("010")	A8,A9	?,A10-A21	????,A22～A39
128Mbit(×16)	2	32Mバイト("011")	A7,A8	?,A9-A20	???,A21～A29
256Mbit(×32)	1	32Mバイト("011")	A7,A8	?,A9-A20	???,A21～A29
256Mbit(×16)	2	64Mバイト("100")	A6,A7	A8-A20	???,A21～A29

注. "?"は不定値を示します。

10.2.6 SDRAMiアクセスイネーブルレジスタ

SDRAM0アクセスイネーブルレジスタ (SD0ER)

<アドレス: H'00EF 6024>

SDRAM1アクセスイネーブルレジスタ (SD1ER)

<アドレス: H'00EF 6044>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DACEN 0

※バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~30	何も配置されていません。"0"に固定してください。		0	0
31	DACEN	0: 無効	R	W
	SDRAMアクセス有効ビット	1: 有効		

(1) DACEN (SDRAMアクセス有効) ビット (b31)

このビットによりSDRAMアクセスへの有効、無効を設定します。

このビットを"0"にクリアした場合、SDRAMに対するアクセスは発生しません。ただし、セルフリフレッシュもしくはオートリフレッシュ動作が有効に設定されている時には、リフレッシュ動作は発生します。なお、このビットの"0"クリアは、SDRAMのアクセス中には行なわないでください。

このビットを"1"にセットした場合、SDRAMに対するリードアクセスおよびライトアクセスが可能となります。

- 注・ SDRAMCレジスタ初期設定において、SDRAMアクセス有効ビットの"1"セットは最後に行ってください。
また、 SDRAMiアクセスイネーブルレジスタ、SDRAMリフレッシュ制御レジスタ1以外のレジスタの設定を変更する場合は、必ずDACENビットを無効に設定してから行ってください。
・ SDRAMへのアクセスを開始する前に、使用するSDRAMの規格に沿った次のようなパワーオンシーケンスが必要です。

1. 電源を投入し、クロック発信を安定させる。
2. クロック安定後、一定時間 (100 μ s ~ 500 μ s) 以上、NOPまたはDESEL入力状態を維持する。
3. バンクに対しプリチャージを行う。
4. オートリフレッシュを規定回数 (2~8回) 以上行う。
5. モードレジスタを設定する

上記2についてはソフトウェアで実現してください。

上記3~5のパワーオンシーケンスはSDRAM初期化レジスタ0、SDRAM初期化レジスタ1、及びSDRAMモードレジスタの設定で行ってください。詳細は「10.3.7 SDRAMCの設定手順」を参照してください

なお、使用されるSDRAMにより、パワーオンシーケンス等の仕様が異なる場合がありますので、SDRAMの仕様を十分検討の上、システム設計を行ってください。

10.2.7 SDRAMiタイミングレジスタ

SDRAM0タイミングレジスタ (SD0TR)

<アドレス: H'00EF 6028>

SDRAM1タイミングレジスタ (SD1TR)

<アドレス: H'00EF 6048>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

※バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0002>

b	ビット名	機能	R	W
0~12	何も配置されていません。"0"に固定してください。		0	0
13~15	DRAS RASアクティブ期間設定ビット	000: 1BCLK 100: 5BCLK 001: 2BCLK 101: 6BCLK 010: 3BCLK 110: 7BCLK 011: 4BCLK 111: 8BCLK	R	W
16,17	何も配置されていません。"0"に固定してください。		0	0
18,19	DRCD RAS-CASレイテンシ設定ビット	00: 1BCLK 01: 2BCLK 10: 3BCLK 11: 4BCLK	R	W
20~22	DPCG RASプリチャージ設定ビット	000: 1BCLK 100: 5BCLK 001: 2BCLK 101: 6BCLK 010: 3BCLK 110: 7BCLK 011: 4BCLK 111: 8BCLK	R	W
23	DWR ライトリカバリ時間設定ビット	0: 1BCLK 1: 2BCLK	R	W
24~28	何も配置されていません。"0"に固定してください。		0	0
29~31	DCL SDRAMコントローラCASレイテンシ設定 ビット	000: 設定禁止 100: 設定禁止 001: 設定禁止 101: 設定禁止 010: 2BCLK 110: 設定禁止 011: 3BCLK 111: 設定禁止	R	W

(1) DRAS (RASアクティブ期間設定) ビット (b13~b15)

このビットにより、SDRAMの行活性化(ACT)コマンドから非活性化(PREA)までの最短期間を設定します。

(2) DRCD (RAS-CASレイテンシ設定) ビット (b18,b19)

このビットにより、SDRAMのRAS-CASレイテンシ設定を行います。

(3) DPCG (RASプリチャージ期間設定) ビット (b20~b22)

このビットにより、SDRAMの非活性化(PREA)コマンドから次の有効なコマンドまでの最短BCLK数を設定します。

(4) DWR (ライトリカバリ期間設定) ビット (b23)

このビットにより、ライトリカバリ時間を設定します。SDRAMのライト(WRITE)コマンドから非活性化(PREA)までの期間を設定します。

(5) DCL (SDRAMコントローラCASレイテンシ設定) ビット (b29~b31)

このビットにより、SDRAMコントローラのCASレイテンシを設定します。この設定は、SDRAMコントローラ側のレイテンシ設定のみに影響し、外部に接続するSDRAMへのCASレイテンシ設定は、SDRAMiモードレジスタで行います。詳細については「10.2.8 SDRAMiモードレジスタ」を参照してください。

注： SDRAMiタイミングレジスタ(SDiTR)への設定は、以下のいずれかの条件を満たしている時にのみ行ってください。それ以外の場合に設定を行った場合の動作は保証されません。

- ・セルフリフレッシュ動作中 (DSFENビット="1")、かつSDRAMアクセス無効 (SDRAM0及びSDRAM1のDACENビット="0")
- ・セルフリフレッシュ無効 (DSFENビット="0")、かつオートリフレッシュ無効 (DRFENビット="0")、かつSDRAMアクセス無効 (SDRAM0及びSDRAM1のDACEN="0")

10.2.8 SDRAMiモードレジスタ

SDRAM0モードレジスタ (SD0MOD)

<アドレス: H'00EF 602C>

SDRAM1モードレジスタ (SD1MOD)

<アドレス: H'00EF 604C>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

※バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~16	何も配置されていません。"0"に固定してください。		0	0
17~31	DMR モードレジスタ設定ビット	このビットに書き込みを行うと、モードレジスタセットコマンドが発行され、DMRのデータがBA1端子、BA0端子、MA12端子~MA0端子に出力されます。	R	W

(1) DMRi (モードレジスタ設定) ビット (b17~b31)

このビットへの書き込みにより、SDRAMに対しモードレジスタセットコマンドを発行します。

また、BA1端子、BA0端子、MA12端子~MA0端子に対して、DMRを出力します。b17はBA1端子にb18はBA0端子に、b19はMA12端子に、b31はMA0端子に対応しています。

このビットへの書き込みは、セルフリフレッシュ無効 (DSFENビット="0")、かつオートリフレッシュ無効 (DRFENビット="0")、かつSDRAMアクセス無効 (SDRAM0及びSDRAM1のDACENビット="0") の時にのみ行ってください。

注: モードレジスタ設定においては、以下の点に注意してください。

- SDRAMに対してバースト長1を指定してください。
バースト長が1以外が設定された場合、動作は保証しません。
本SDRAMコントローラは、SDRAMのバースト長を1 (SDRAMコントローラのバースト長とは異なります) とし、バースト転送にランダムカラム方式を用いています。SDRAMと内蔵SRAM間のDMA転送においては、BCLKごとにカラムアドレスを更新することにより、アドレスインクリメントだけではなく、アドレスデクリメント及びアドレス固定のDMA転送についてもバースト転送できます。
- SDRAMのカラムレイテンシは、SDRAMコントローラのDCLビットの設定と一致させてください。
異なるレイテンシが設定された場合、動作は保証されません。

10.3 SDRAM動作説明

ここでは、SDRAMに対して行う各動作（リード、ライト、オートリフレッシュ、セルフリフレッシュ、初期化シーケンス、モードレジスタ設定）、SDRAMCの設定手順、セルフリフレッシュモードへの移行、復帰手順について説明します。

10.3.1 SDRAMコマンド

SDRAMCは、バスサイクルごとに「コマンド」を発行することによりSDRAMの制御を行います。「コマンド」は、DRAS#/DCAS#/DWE#/DCKE#/DCS0#,DCS1#等の組み合わせにより与えます。

本SDRAMCの発行するコマンドは、以下の通りです。

表 10.3.1 SDRAMCの発行するコマンド一覧

略称	コマンド	端子名					
		DCS0#,DCS1#	RAS	CAS	WE	CKE	MA10
DSL	ディセレクト	"H"	X	X	X	X	X
ACT	行およびバンク活性化	"L"	"L"	"H"	"H"	"H"	(注1)
READ	リード	"L"	"H"	"L"	"H"	"H"	"L"
WRITE	ライト	"L"	"H"	"L"	"L"	"H"	"L"
PREA	プリチャージ オールバンク	"L"	"L"	"H"	"L"	"H"	"H"
REFA	オートリフレッシュ	"L"	"L"	"L"	"H"	"H"	×
MRS	モードレジスタセット	"L"	"L"	"L"	"L"	"H"	(注2)
REFS	セルフリフレッシュ エントリ	"L"	"L"	"L"	"H"	"H"→"L"	×
REFSX	セルフリフレッシュ エグジット	"H"	X	X	X	"L"→"H"	×

注1. 行アドレスの、対応するビット値を出力します。

注2. モードレジスタの対応するビットの値を出力します。

注. "H"は"H"レベル出力、"L"は"L"レベル出力、×は不定出力を示します。

10.3.2 リード・ライトアクセス

リード・ライトアクセスには、以下の種類があります。

● シングルリード／シングルライト

1回のバス動作で1つのデータをアクセスします。

● バーストリード／バーストライト

1回のバス動作で複数のデータをアクセスします。2回目のデータ以降は、BCLKごとに次のデータをアクセスします。

キャッシュのラインフィル、および連続バス権取得モードでのDMA転送（内蔵資源⇄SDRAM間）では、バーストリード／バーストライトアクセスが行われます。

それ以外のアクセス（CPUのリードライト等）は、シングルリード／シングルライトアクセスが行われます。

以下に、アクセスタイミング例を示します。アクセスタイミングは、SDRAMiタイミングレジスタにより各チャンネル毎に設定してください。

(1) バーストリード・バーストライトアクセスタイミング例

図10.3.1は、4データのバーストリードを行う場合のタイミング例です。

また、図10.3.2は、4データのバーストライトを行う場合のタイミング例です。

キャッシュのラインフィル時は、128ビット単位(32ビット幅接続時4回、16ビット幅接続時8回)のバーストリードアクセスを行います。

DMA転送時は、1オペランドの転送数、転送データのサイズやSDRAMバス幅等に応じてバースト転送数が変化します。DMA転送時は、ページ境界を越えるバーストアクセスを行わないでください。

アクセスタイミングは、SDRAMiタイミングレジスタの設定によって変化します。

詳細は、「10.4 アクセスタイミング詳細」を参照して下さい。

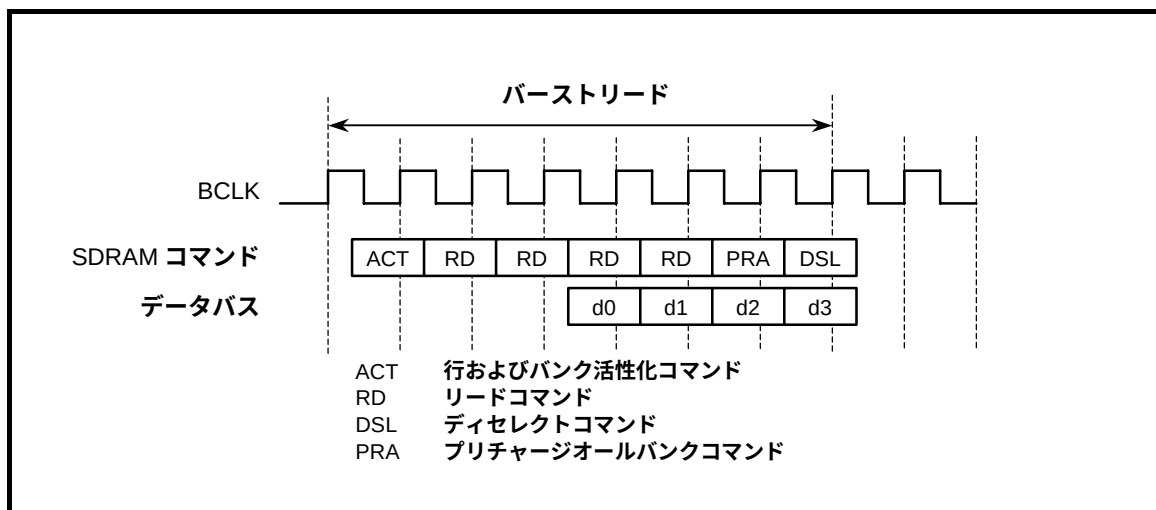


図10.3.1 バスリードタイミング例（4データバーストリード、最短タイミング設定時）

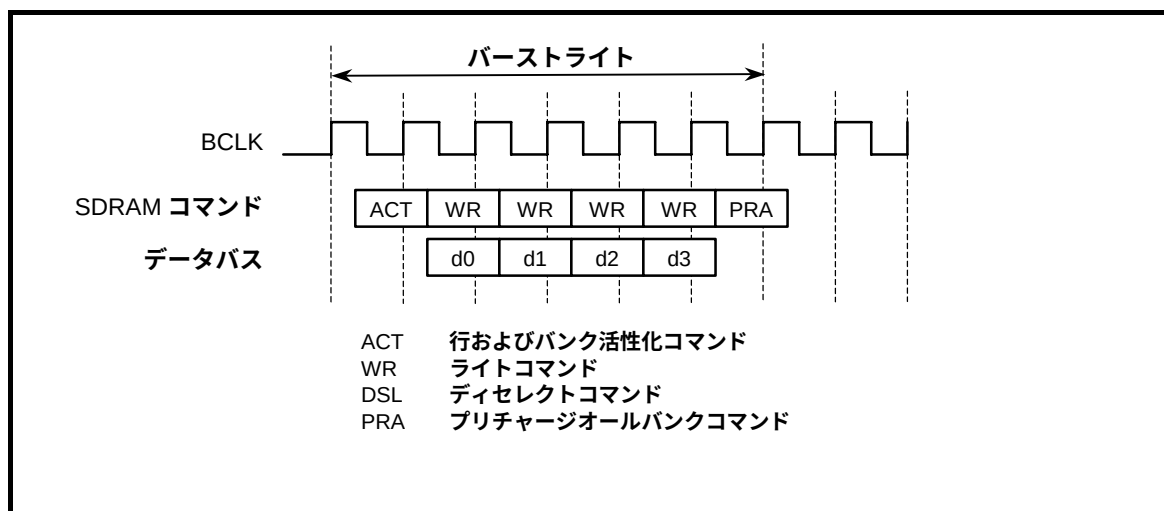


図10.3.2 バーストライトタイミング例 (4データバーストライト、最短タイミング設定時)

(2) シングルリード・ライトアクセスタイミング例

図10.3.3は、シングルリードを行う場合のタイミング例です。

また、図10.3.4は、ノーマルライトを行う場合のタイミング例です。

アクセスタイミングは、SDRAMiタイミングレジスタの設定によって変化します。

詳細は、「10.4 アクセスタイミング詳細」を参照して下さい。

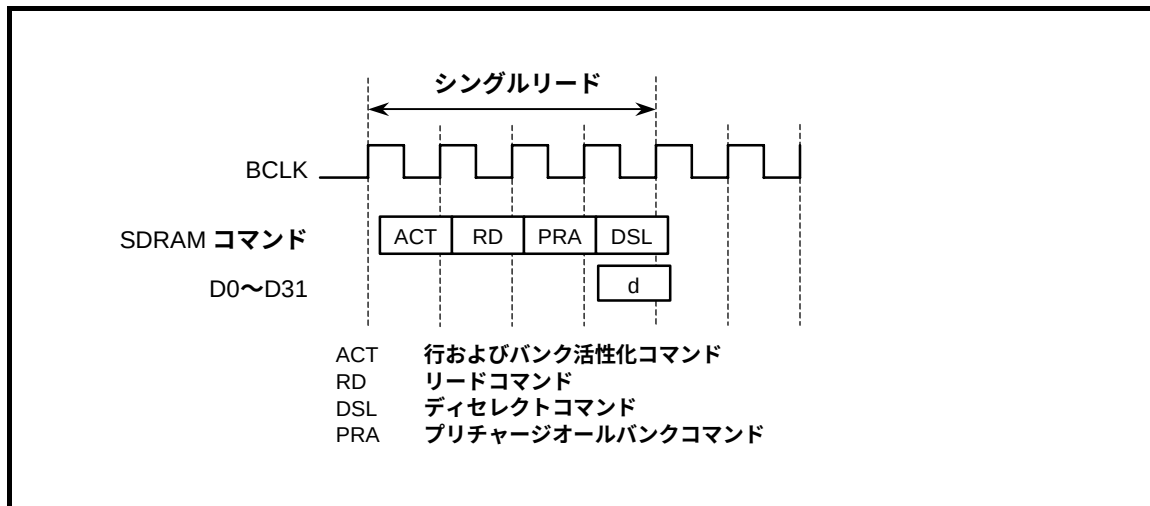


図10.3.3 シングルリードタイミング例（最短タイミング設定時）

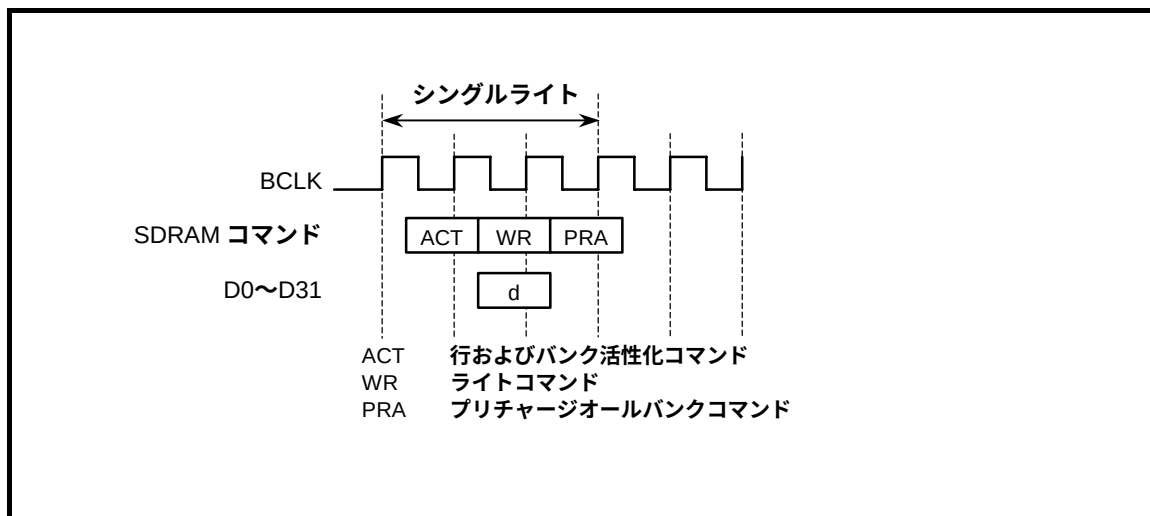


図10.3.4 シングルライトタイミング例（最短タイミング設定時）

10.3.3 オートリフレッシュ

オートリフレッシュサイクルは、SDRAMリフレッシュ制御レジスタ1 (SDRF1) のDRFENビットに"1"をセットすると開始されます。以後リフレッシュカウンタにより定期的にリフレッシュ要求が発生し、オートリフレッシュサイクルが起動されます。ただし、リフレッシュ要求はリード／ライトアクセス中は受け付けられないため、オートリフレッシュサイクルの起動が待たされることがあります。

なお、オートリフレッシュ動作中にSDRAMリフレッシュ制御レジスタ1 (SDRF1) のDRFENビットに"1"をセットした場合、直ちにリフレッシュ要求が発生します。

リフレッシュカウンタはセルフリフレッシュ中は停止します。セルフリフレッシュ解除後は、オートリフレッシュサイクルを起動した後、カウンタ値がリセットされカウントが再開されます。

オートリフレッシュの設定は、SDRAMリフレッシュ制御レジスタ1 (SDRF1)で行ってください。なお、オートリフレッシュ動作は全チャンネルのSDRAMに対して行われます。

図10.3.5にオートリフレッシュサイクルのタイミング例を示します。

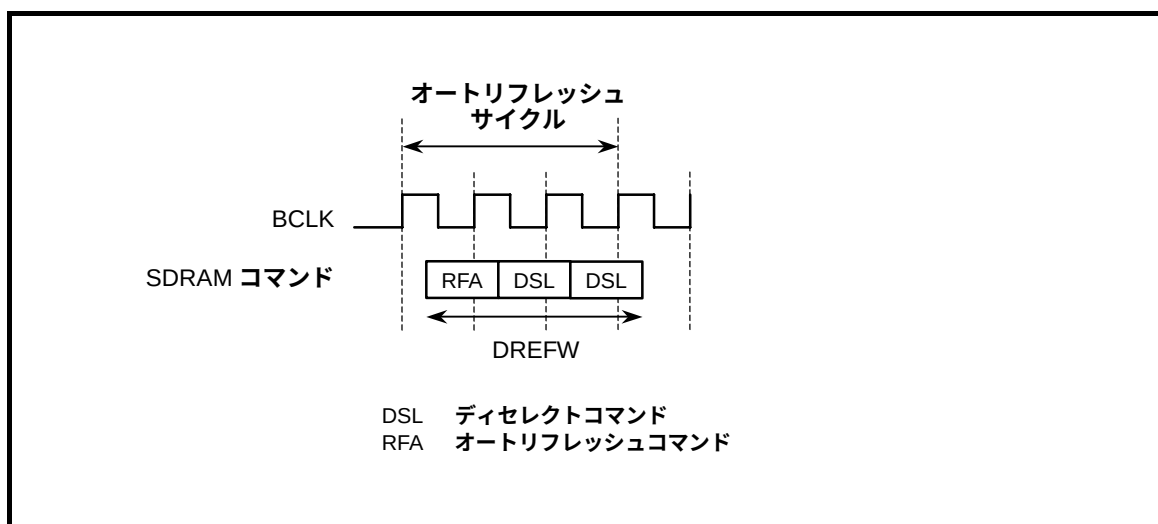


図10.3.5 オートリフレッシュサイクルタイミング例(DREFWビット設定値："0001"の場合)

10.3.4 セルフリフレッシュ

SDRAMリフレッシュ制御レジスタ0 (SDRF0) の設定により、セルフリフレッシュモードへの移行、復帰を制御することができます。セルフリフレッシュモードへの移行、復帰は全チャネル同時に行われます。

セルフリフレッシュモードへの移行は、オートリフレッシュサイクル直後に行われます。セルフリフレッシュモード中は、DCKE信号が"L"レベルになります。セルフリフレッシュモードからの復帰直後には、オートリフレッシュサイクルが起動されます。

図10.3.6、図10.3.7にセルフリフレッシュモードへの移行タイミング、復帰タイミング例を示します。

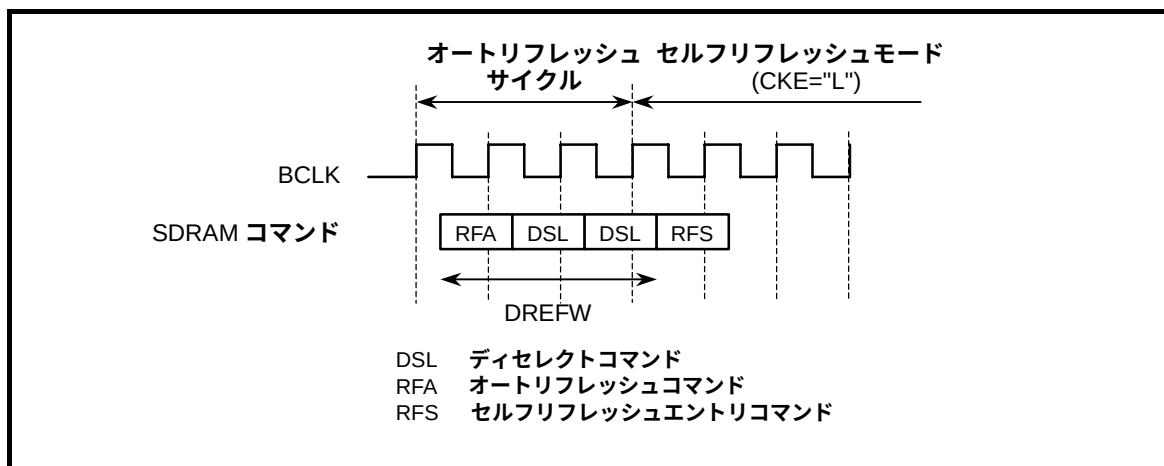


図10.3.6 セルフリフレッシュモード移行タイミング例(DREFWビット設定値："0001"の場合)

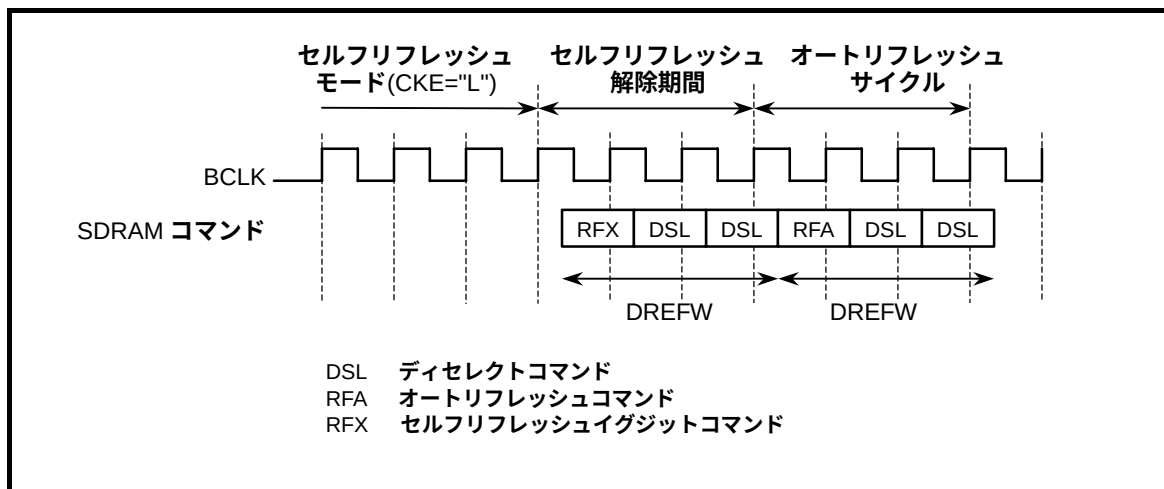


図10.3.7 セルフリフレッシュモード復帰タイミング例(DREFWビット設定値："0001"の場合)

10.3.5 初期化シーケンス

本SDRAMCは、SDRAMを初期化するためのコマンドを発行するシーケンスを備えています。初期化シーケンスの起動はリセット後、必ず1回のみ行って下さい。初期化シーケンスを行わなかった場合または複数回行った場合の動作は保証されません。

なお、初期化シーケンスは全チャンネル同時に行われます。

SDRAMの初期化シーケンスは、プリチャージオールバンクコマンドの発行、および n ($n=1\sim15$)回のオートリフレッシュコマンドの発行を順に行います。初期化シーケンスのタイミング設定はSDRAM初期化レジスタ0(SDIR0)で行って下さい。初期化シーケンスの起動はSDRAM初期化レジスタ1(SDIR1)で行ってください。

以下に、初期化シーケンスの動作タイミング例を示します。DARFCが2回以上に設定されている場合は、初期化オートリフレッシュサイクルが繰り返されます。

図10.3.8に初期化シーケンスのタイミング例を示します。

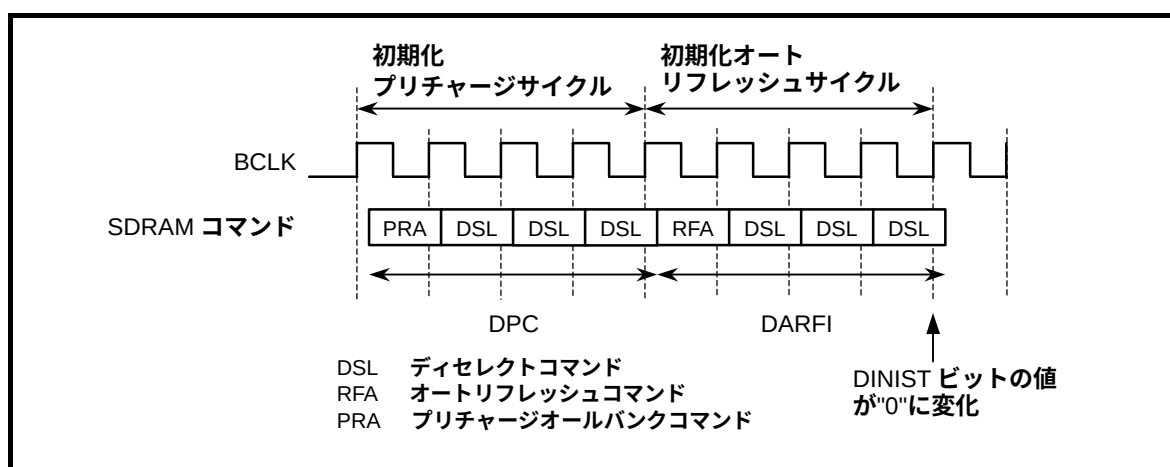


図10.3.8 初期化シーケンスタイミング例

(DPCビット設定値："001"、DARFIビット設定値："0001"、DARFCビット設定値："001"の場合)

10.3.6 モードレジスタ設定

SDRAMiモードレジスタ(SDiMOD)に書き込むことにより、各チャンネルのSDRAMに対し、モードレジスタ設定コマンドを発行します。SDRAMiモードレジスタ(SDiMOD)は各チャンネル毎に設定してください。

以下に、モードレジスタ設定の動作タイミングを示します。

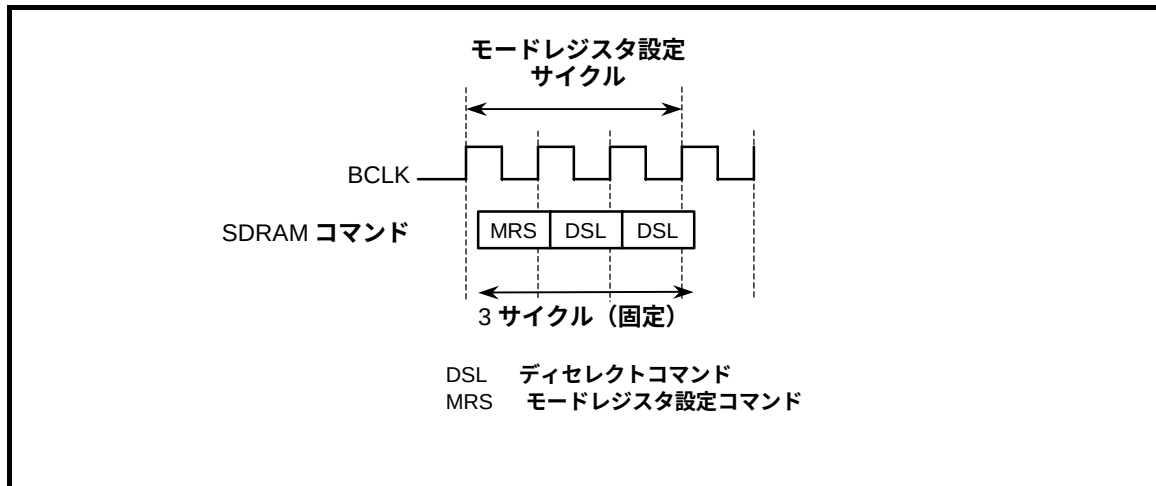


図10.3.9 モードレジスタ設定動作タイミング

10.3.7 SDRAMCの設定手順

SDRAMの設定手順を以下に示します。

なお使用されるSDRAMにより、パワーオンシーケンス等の仕様が異なる場合があります。

SDRAMの仕様を十分ご検討の上、システム設計を行ってください。

図10.3.10にSDRAMの初期設定手順を示します。

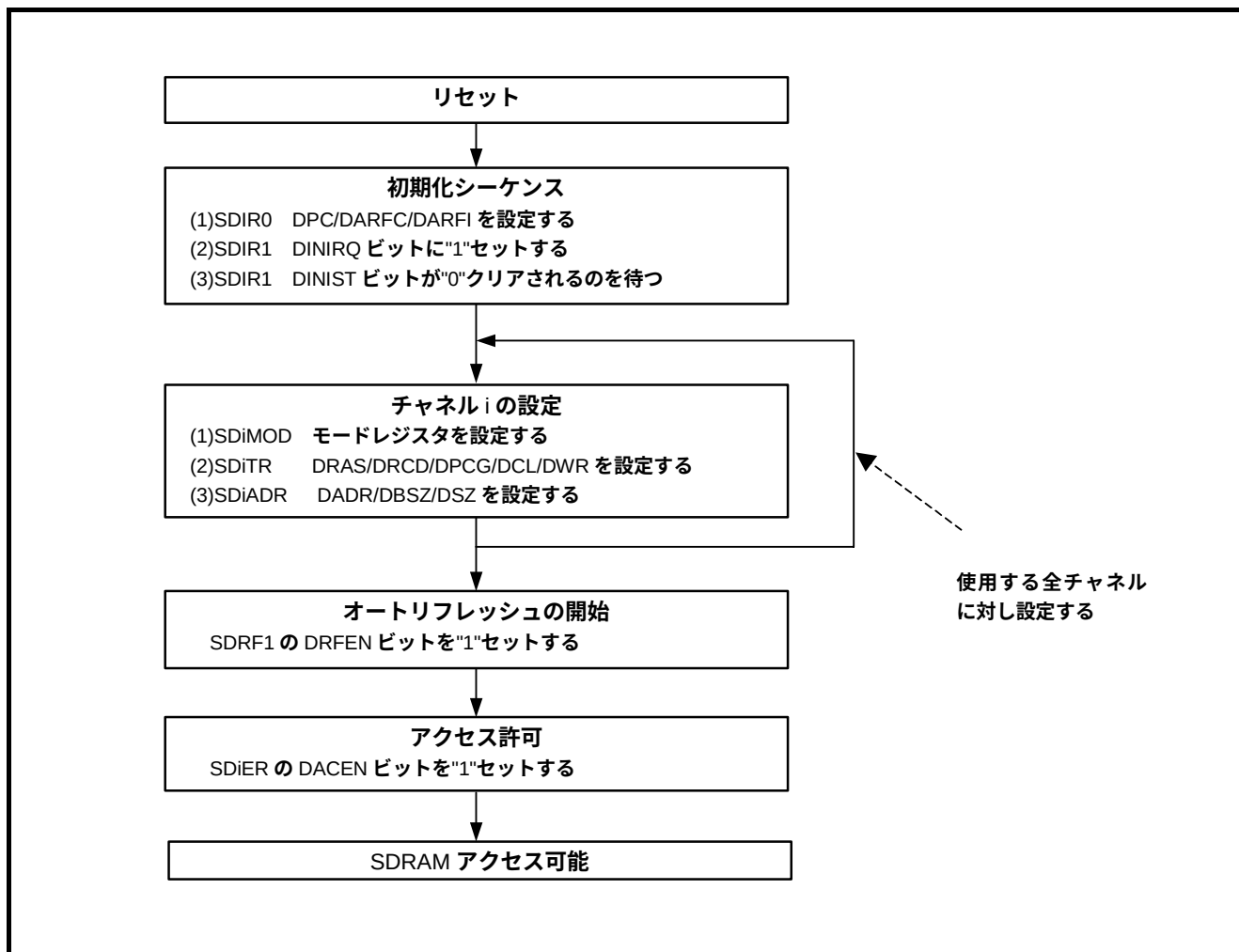


図10.3.10 SDRAMの初期設定手順

10.3.8 セルフリフレッシュモードへの移行・復帰手順

図10.3.11に、セルフリフレッシュモードへの移行、復帰手順について説明します。

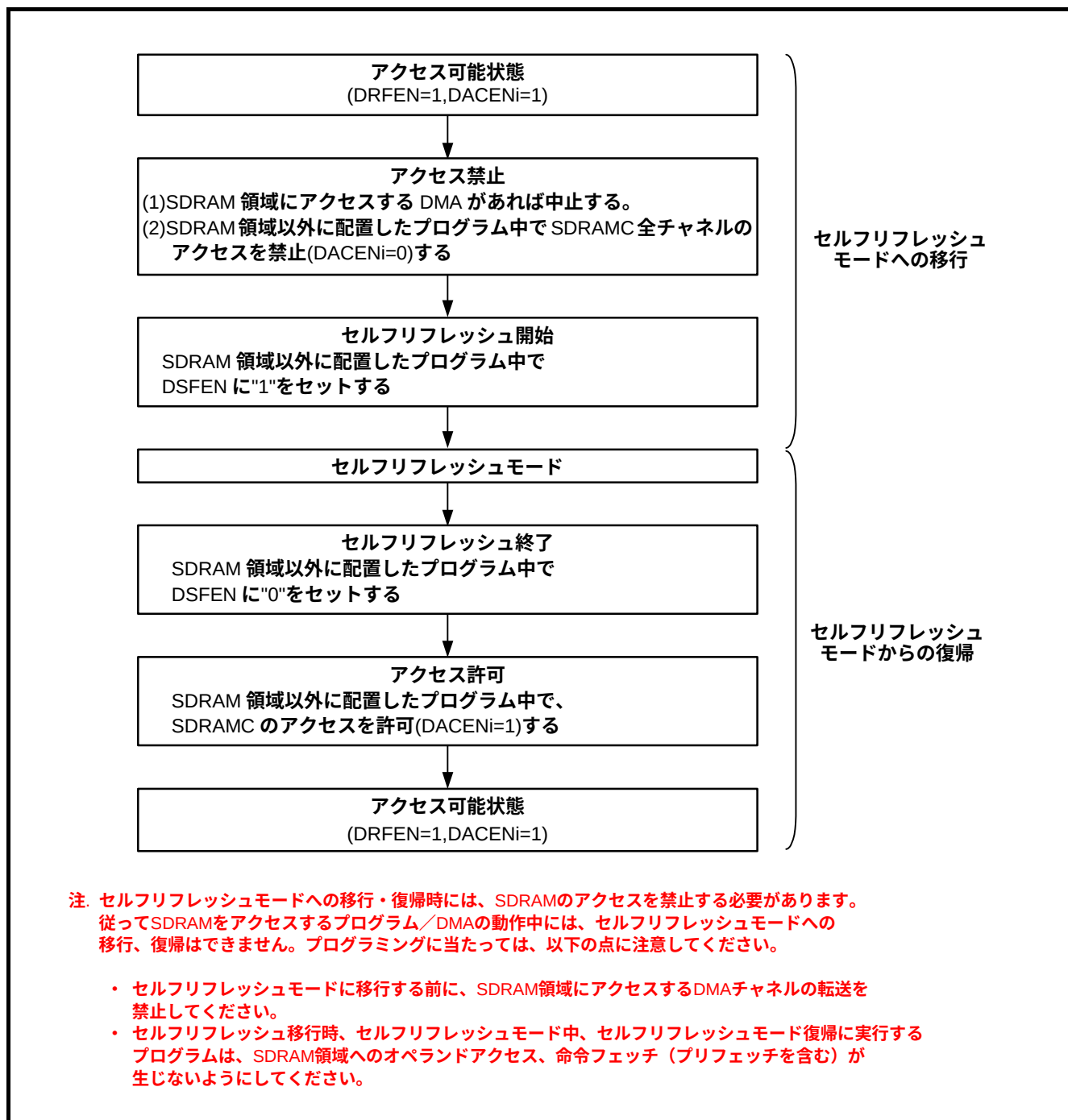


図10.3.11 セルフリフレッシュモードへの移行、復帰手順

10.4 アクセスタイミング詳細

リード・ライトアクセスタイミングと、SDRAMi タイミングレジスタ設定値の関連について説明します。

10.4.1 シングルリードタイミング

図10.4.1~図10.4.3に、シングルリードタイミングとSDRAMi タイミングレジスタ設定値の関連例を示します。

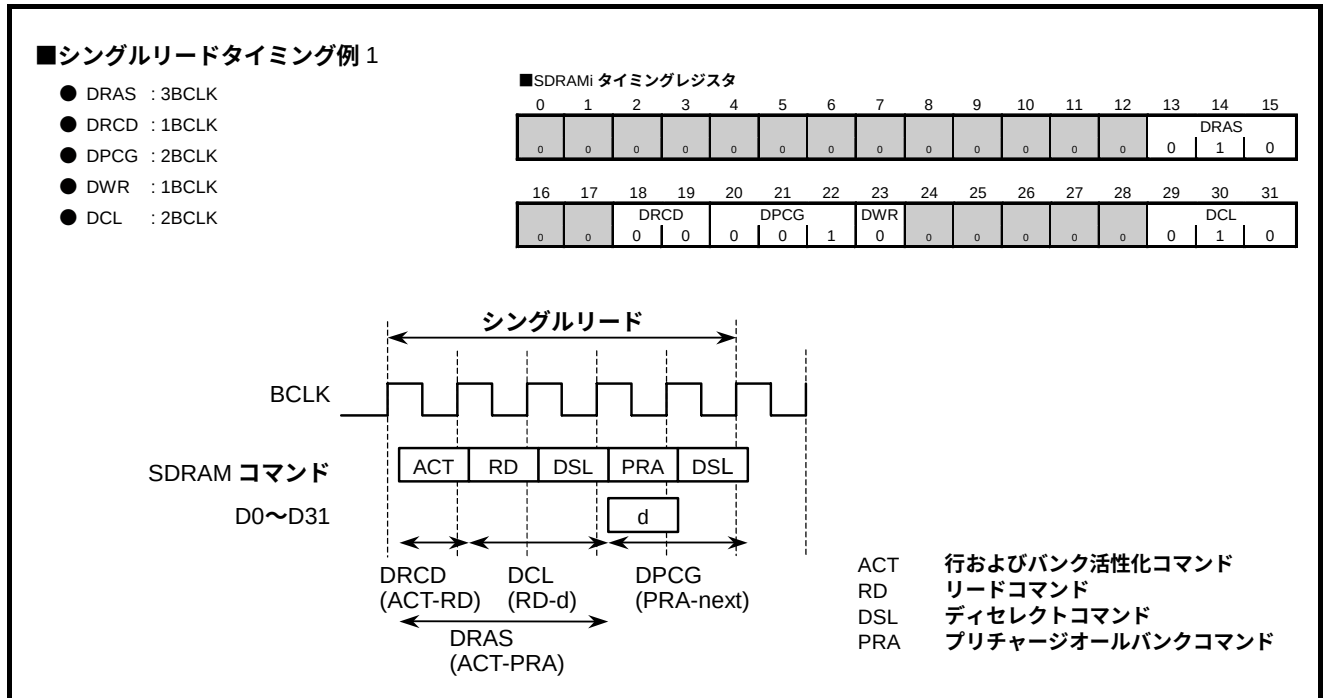


図10.4.1 シングルリードタイミング例1

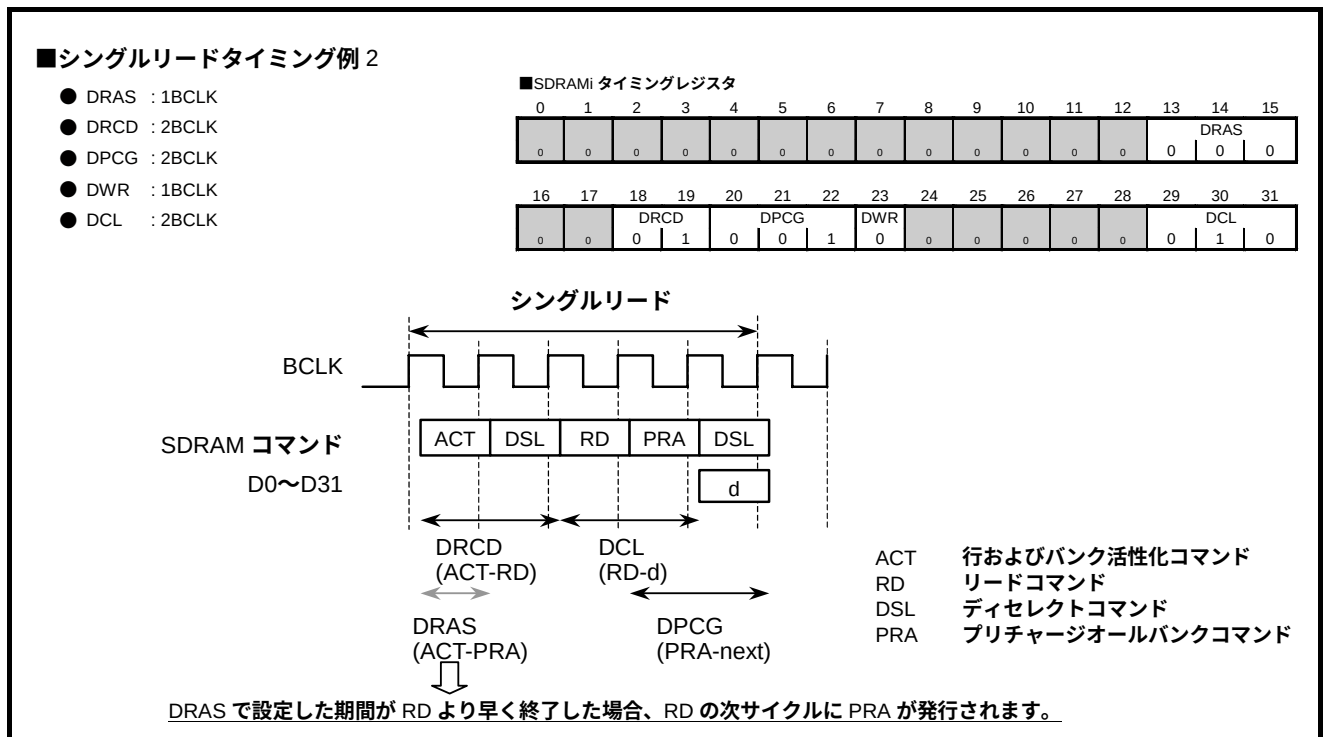


図10.4.2 シングルリードタイミング例2

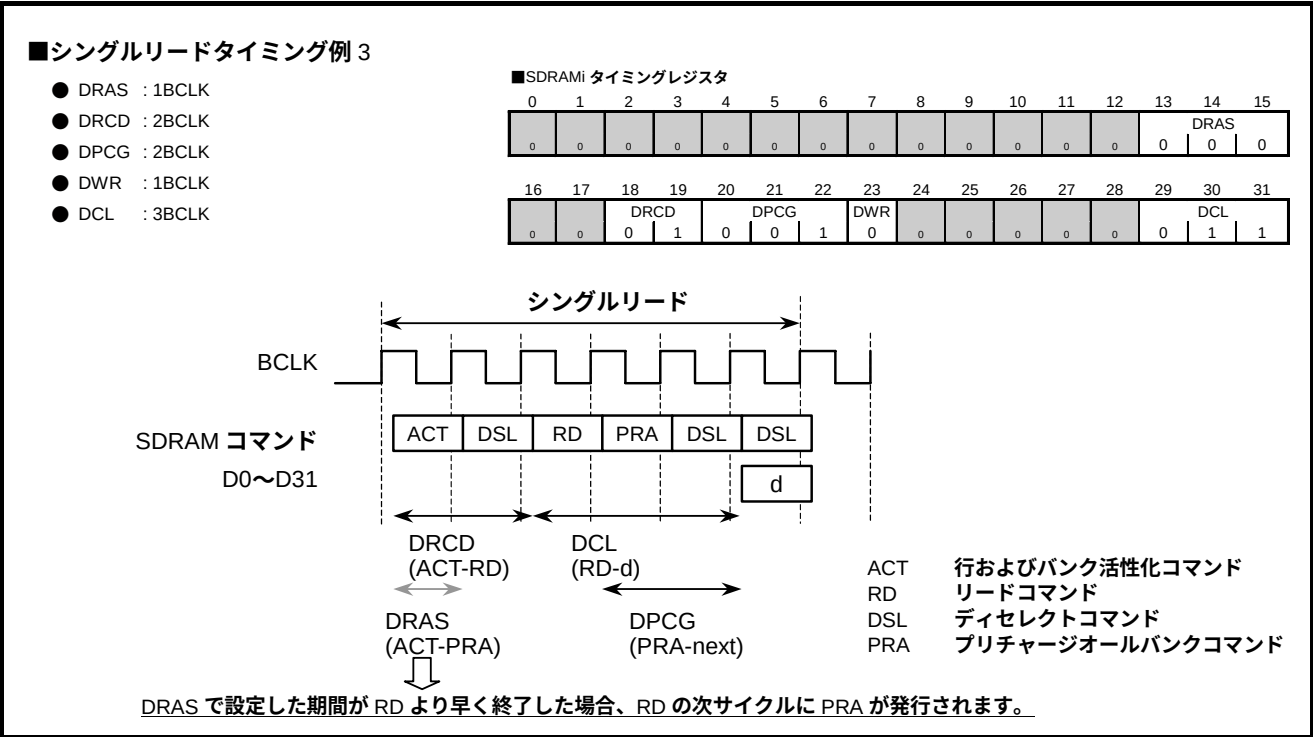


図10.4.3 シングルリードタイミング例3

10.4.2 シングルライトタイミング

図10.4.4~図10.4.6に、シングルライトタイミングとSDRAMiタイミングレジスタ設定値の関連例を示します。

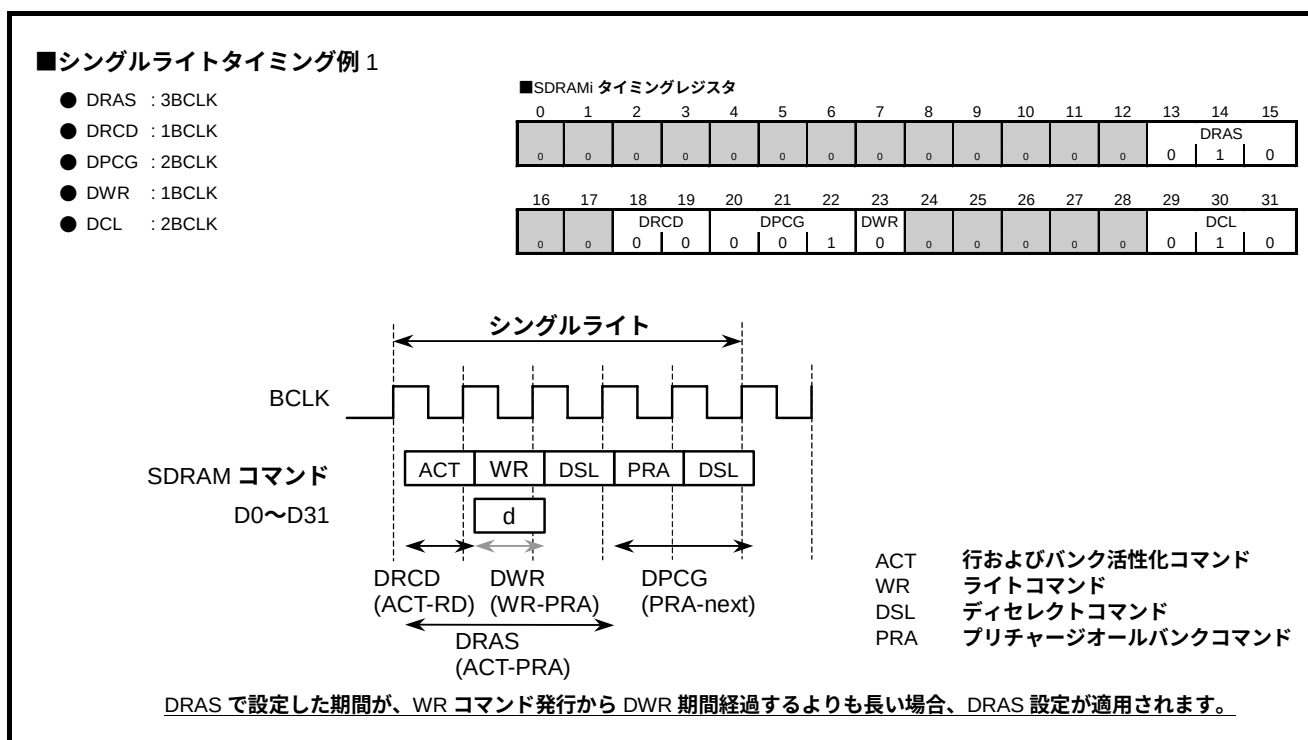


図10.4.4 シングルライトタイミング例1

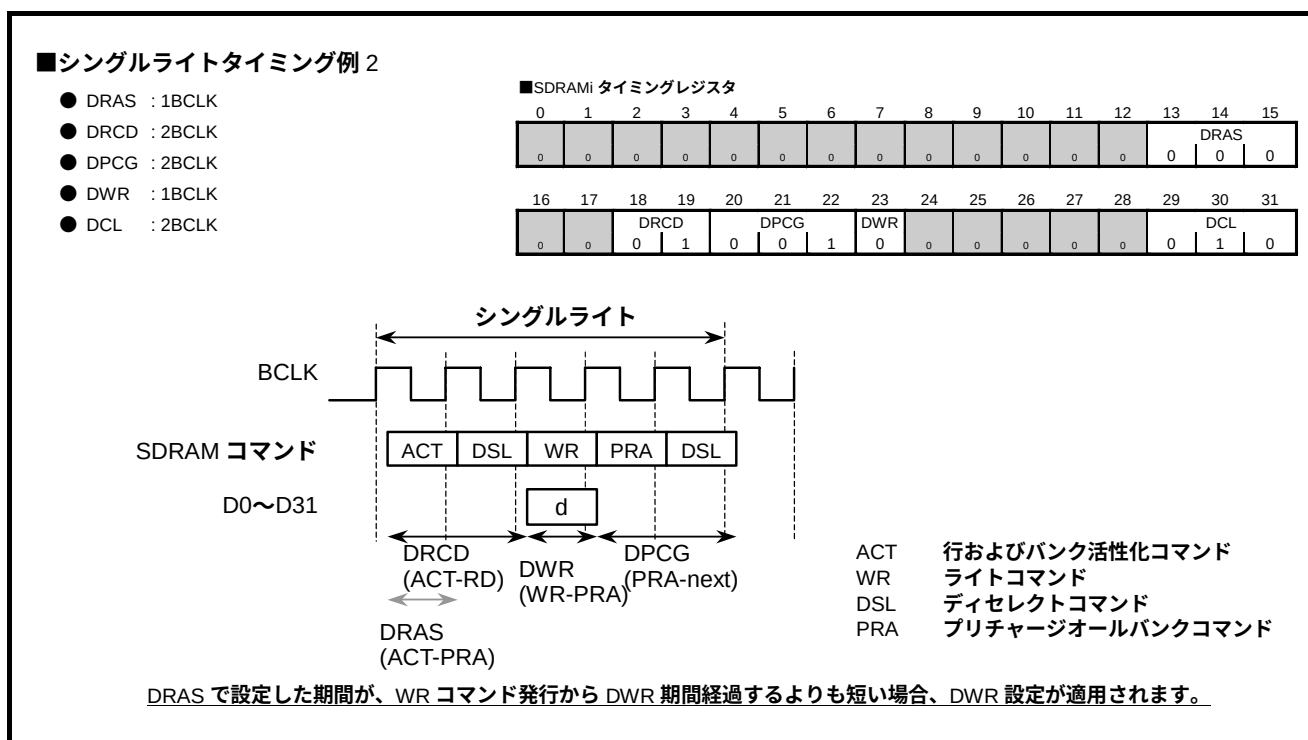


図10.4.5 シングルライトタイミング例2

■シングルライトタイミング例3

- DRAS : 1BCLK
- DRCD : 2BCLK
- DPCG : 2BCLK
- DWR : 2BCLK
- DCL : 2BCLK

■SDRAMi タイミングレジスタ

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
DRAS															
16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
0	0	0	1	0	0	1	1	0	0	0	0	0	0	1	0
DRCD		DPCG		DWR		DCL									

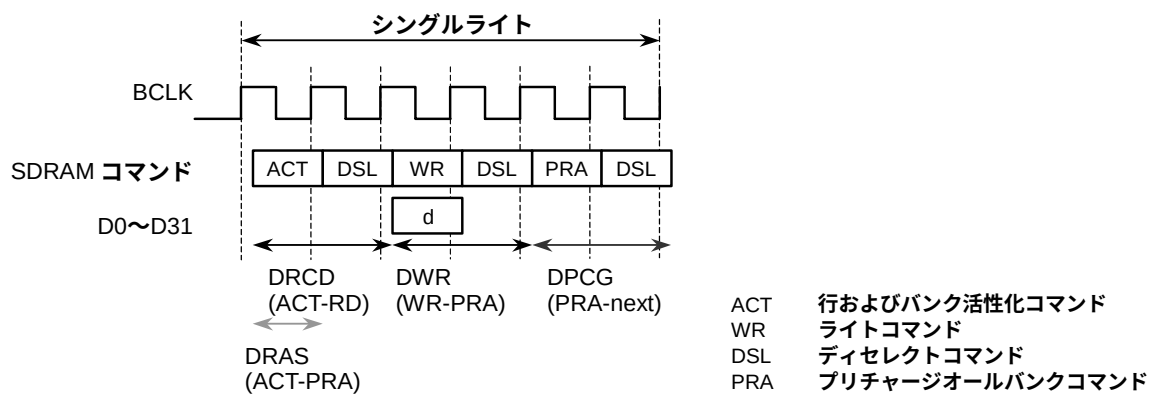


図10.4.6 シングルライトタイミング例3

10.4.3 バーストリードタイミング

図10.4.7~図10.4.9に、4データのバーストリード時のタイミングとSDRAMiタイミングレジスタ設定値の関連例を示します。

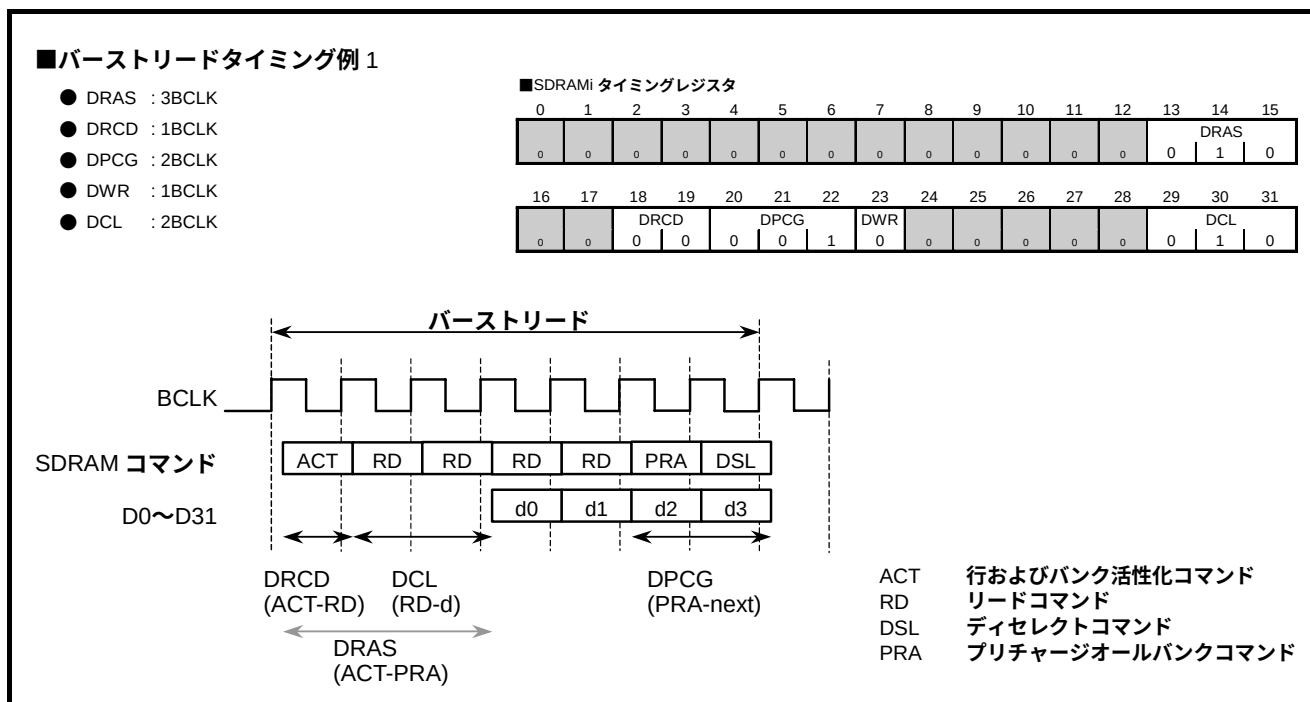


図10.4.7 バーストリードタイミング例1

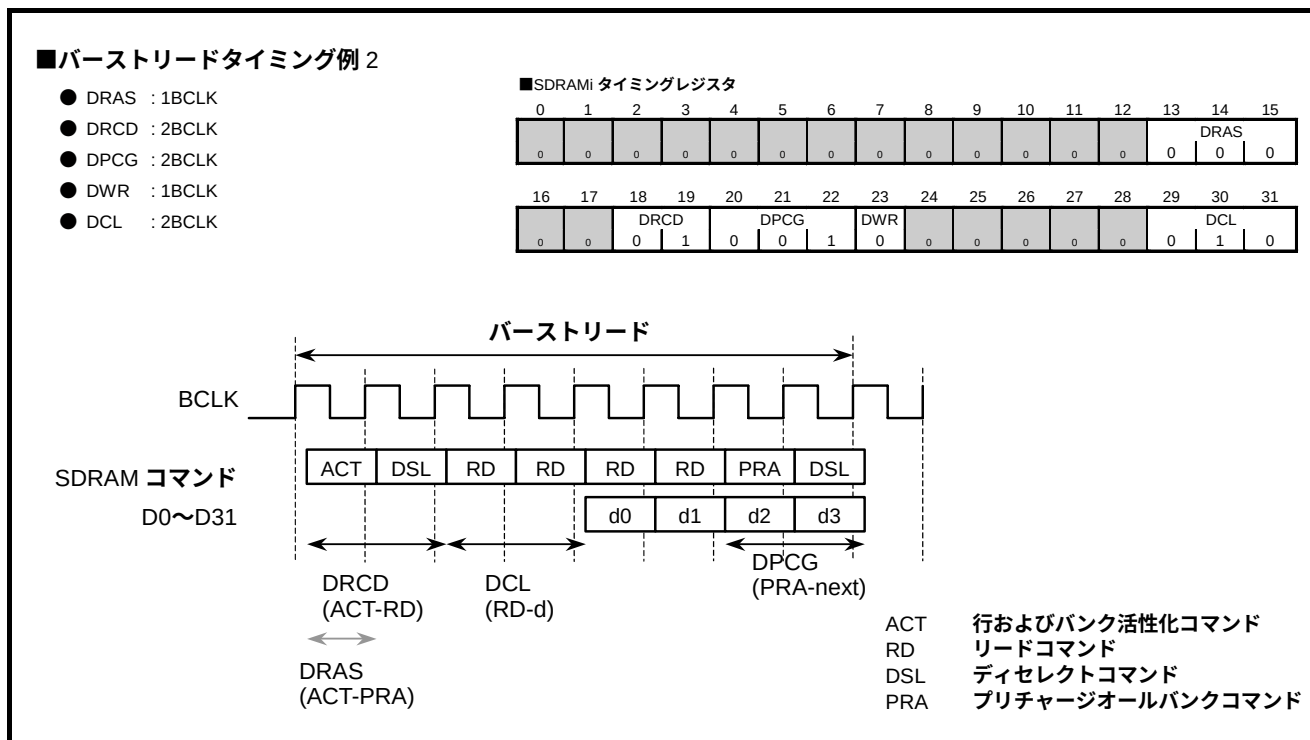


図10.4.8 バーストリードタイミング例2

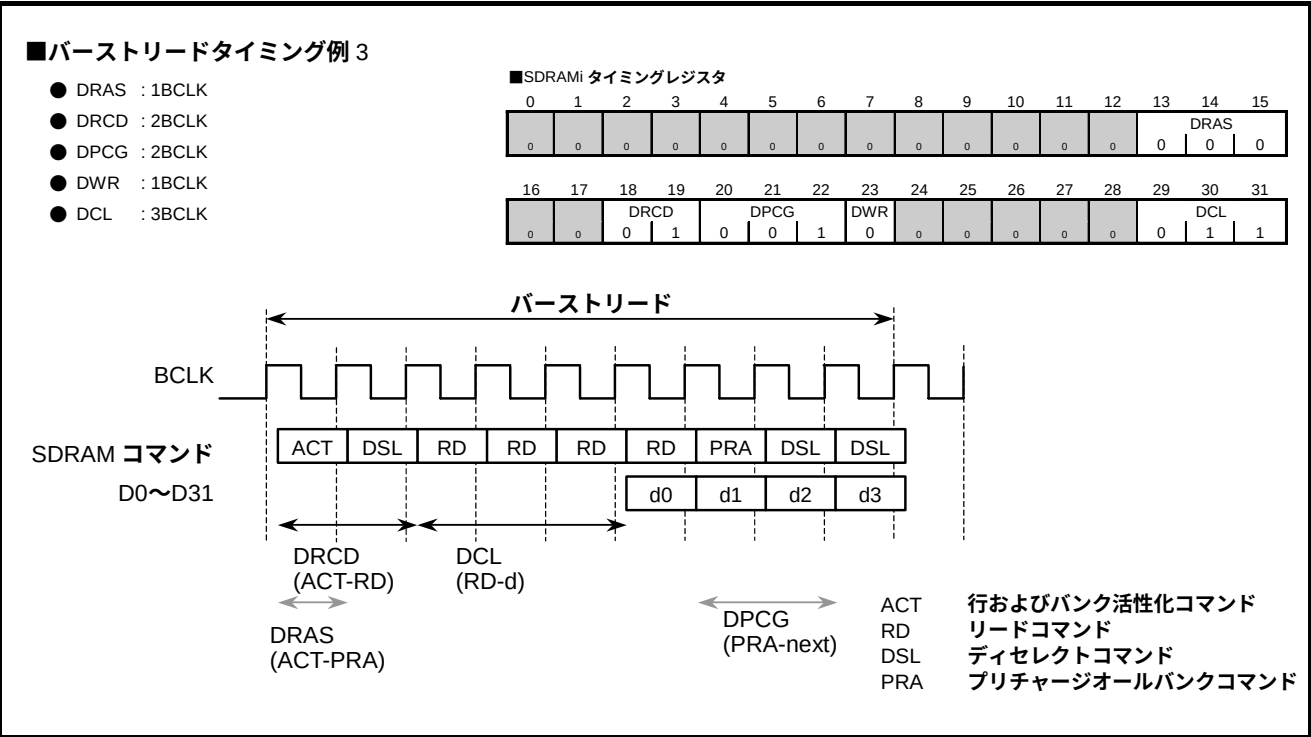


図10.4.9 バーストリードタイミング例3

10.4.4 バーストライトタイミング

図10.4.10~図10.4.12に、4データのバーストリード時のタイミングとSDRAMiタイミングレジスタ設定値の関連例を示します。

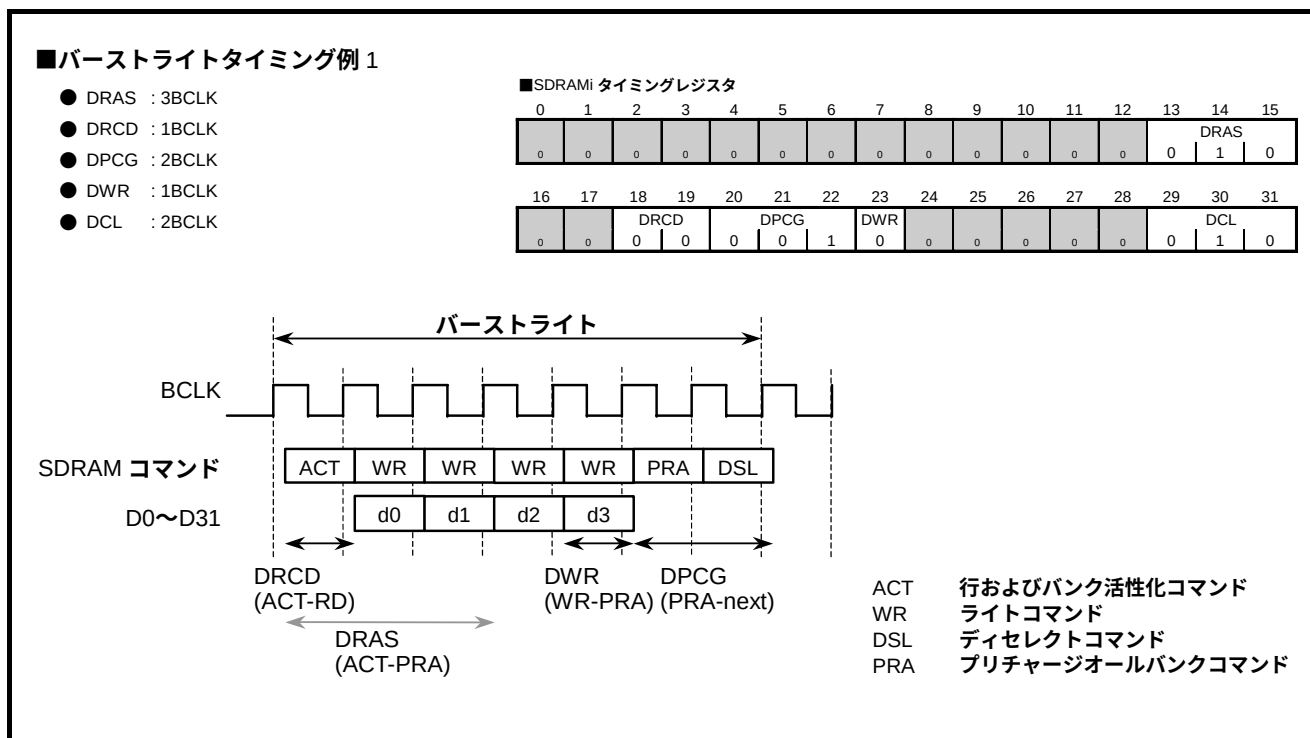


図10.4.10 バーストライトタイミング例1

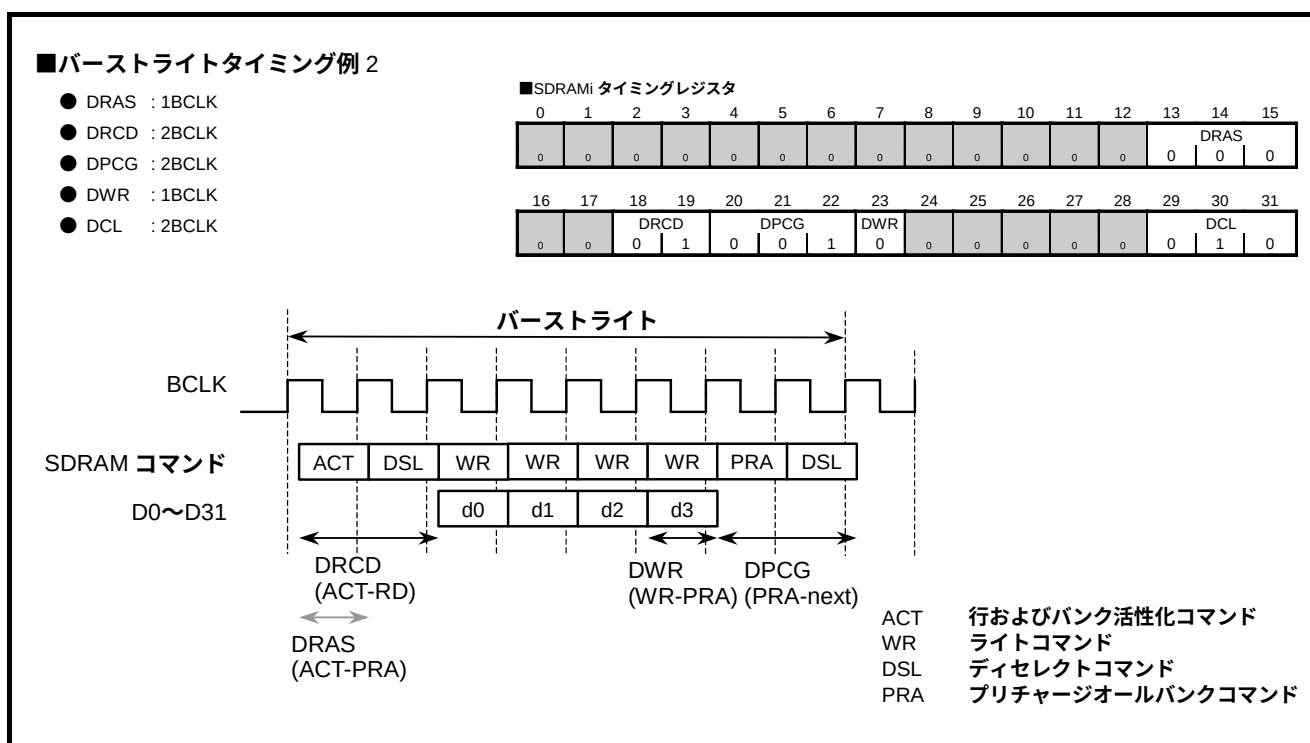


図10.4.11 バーストライトタイミング例2

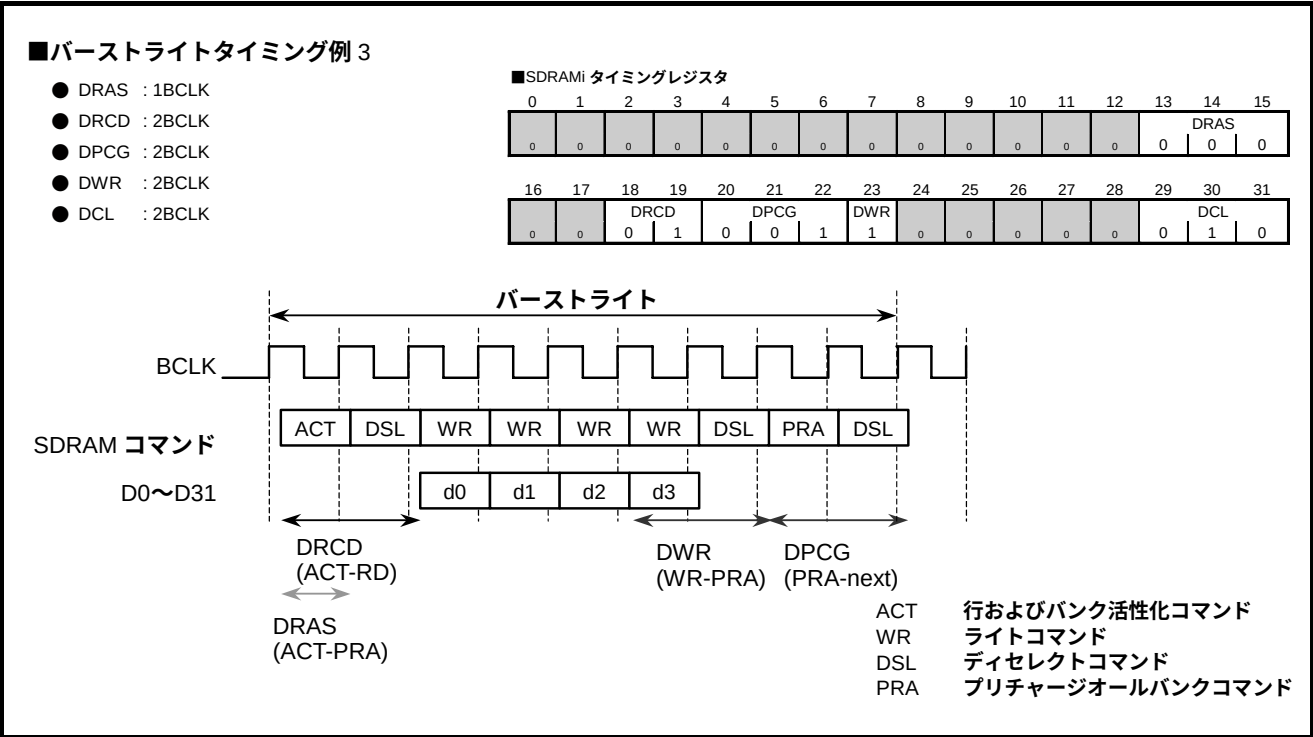


図10.4.12 バーストライトタイミング例3

10.5 接続例

図10.5.1に64MビットSDRAM(×16) 2個を32ビット幅接続する場合の接続例、

図10.5.2に256MビットSDRAM(×16) 2個を32ビット幅接続する場合の接続例を示します。

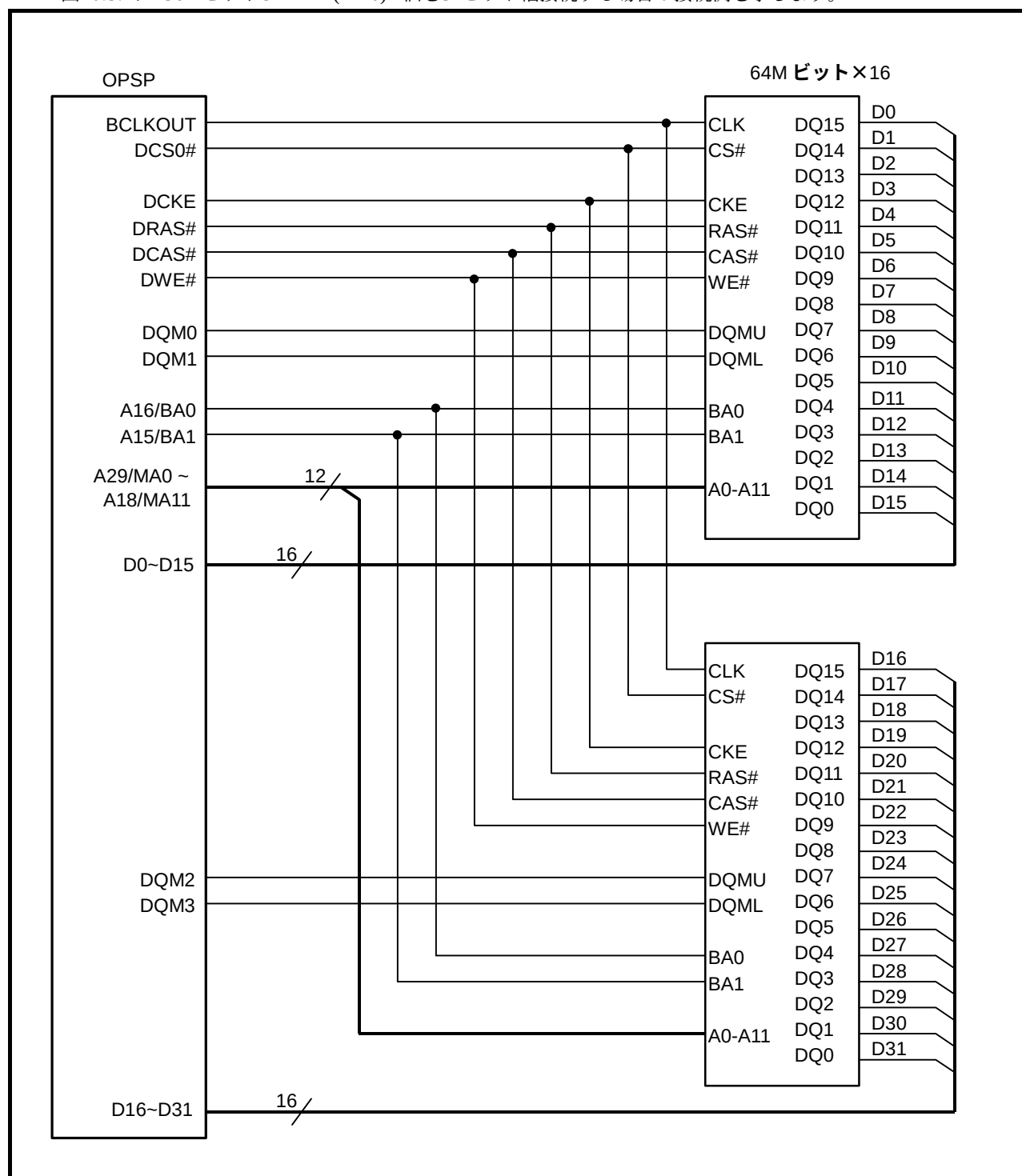


図10.5.1 64MビットSDRAM (×16) 2個接続例

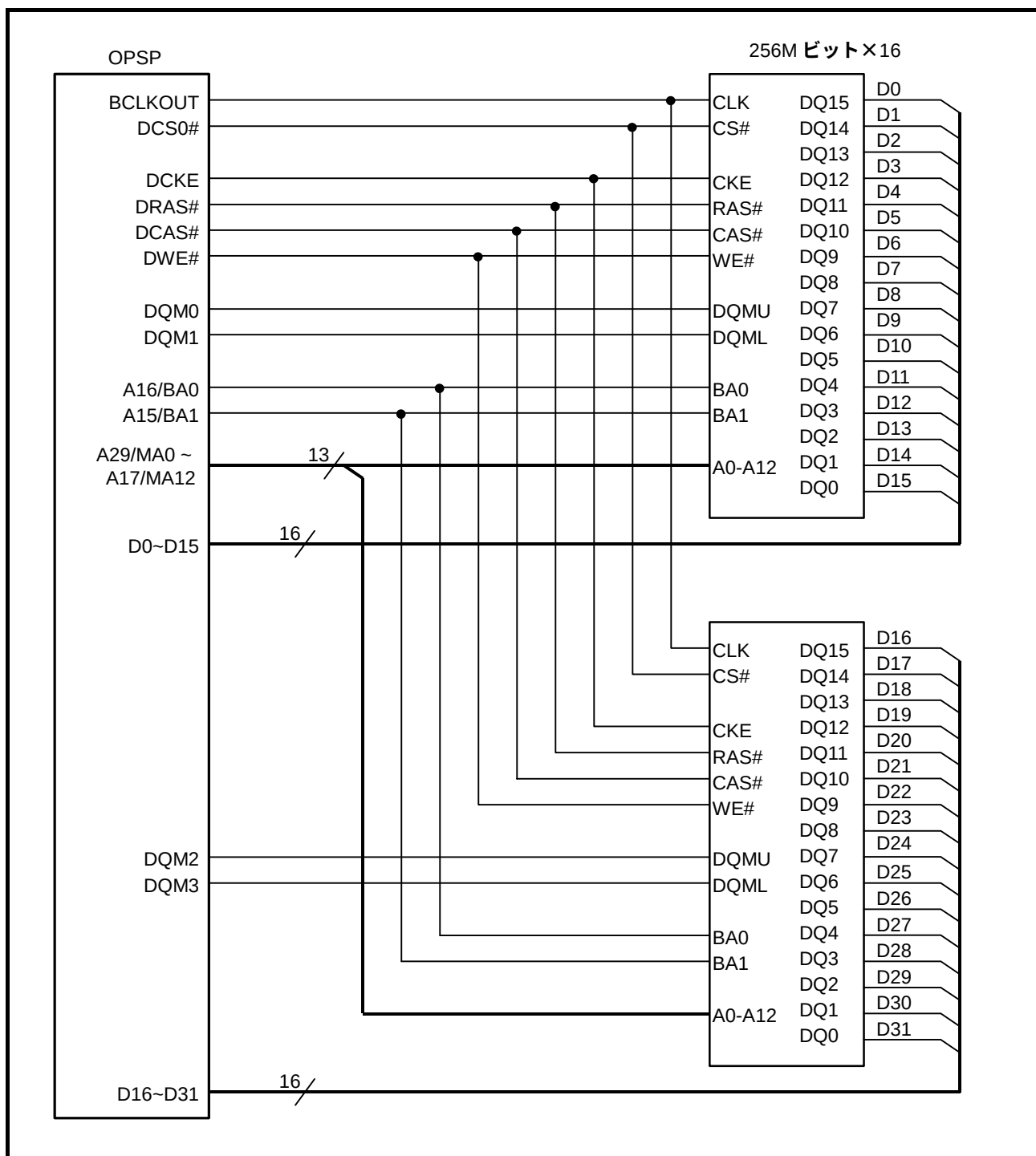


図10.5.2 256MビットSDRAM(×16)2個接続例

11.1 DMAC概要

OPSPはDMAC(DMAコントローラ)を2チャンネル内蔵しており、ソフトウェア、内蔵周辺I/O、また外部端子デバイスやユーザーIPモジュールからの要求により、高速なデータ転送を行うことができます。

転送には以下のパターンがあります。

- 外部デバイス ⇔ 外部デバイス間のデータ転送
- 外部デバイス ⇔内蔵周辺I/O、内蔵SRAM間のデータ転送
- 内蔵周辺I/O、内蔵SRAM ⇔ 内蔵周辺I/O、内蔵SRAM間のデータ転送
- ユーザIPモジュール ⇔ 外部デバイス間のデータ転送
- ユーザIPモジュール ⇔ 内蔵周辺I/O、内蔵SRAM間のデータ転送
- ユーザIPモジュール ⇔ ユーザIPモジュール間のデータ転送

表11.1.1にDMACの概要を示します。図11.1.1にDMACのブロック図を示します。なお、本章では以下のように用語を規定しています。

- 1データ転送：DMACによる1リードサイクルと1ライトサイクルの転送
- 1オペラント転送：1チャンネルのDMACが連続して行うデータ転送（この時のデータ転送数はレジスタにて設定）
- バス権連続取得転送（バースト転送）：1オペラント転送終了までバス権を開放しないDMA転送方法
- バス権逐次開放転送（サイクルスチール転送）：1データ転送ごとにバス権を開放するDMA転送方法
- DMAiのiは0～1

表11.1.1 DMACの概要

項目	概要
チャンネル数	2チャンネル
転送要求	ソフトウェア、内蔵周辺I/O、外部端子（DREQ0端子、DREQ1端子）、ユーザIPモジュール
最大転送バイト数	64Mバイト
アドレス空間	512Mバイト
転送データサイズ	バイト(8ビット)、ハーフワード(16ビット)、ワード(32ビット)
1オペラントの転送データ数	1,2,4,8,16,32,64,128
転送モード	バス逐次開放モード、バス権連続取得モード
チャンネル優先度	DMA0 > DMA1 優先順位固定
割り込み要求	バイトカウント="0"の場合
その他	リロード機能（ソース、デスティネーション、バイトカウント） 2次元アドレッシング SDRAMとユーザIPモジュール間でのフライバイ転送可能 DMA転送終了として1オペラント転送完了までとバイトカウント0までの選択が可能

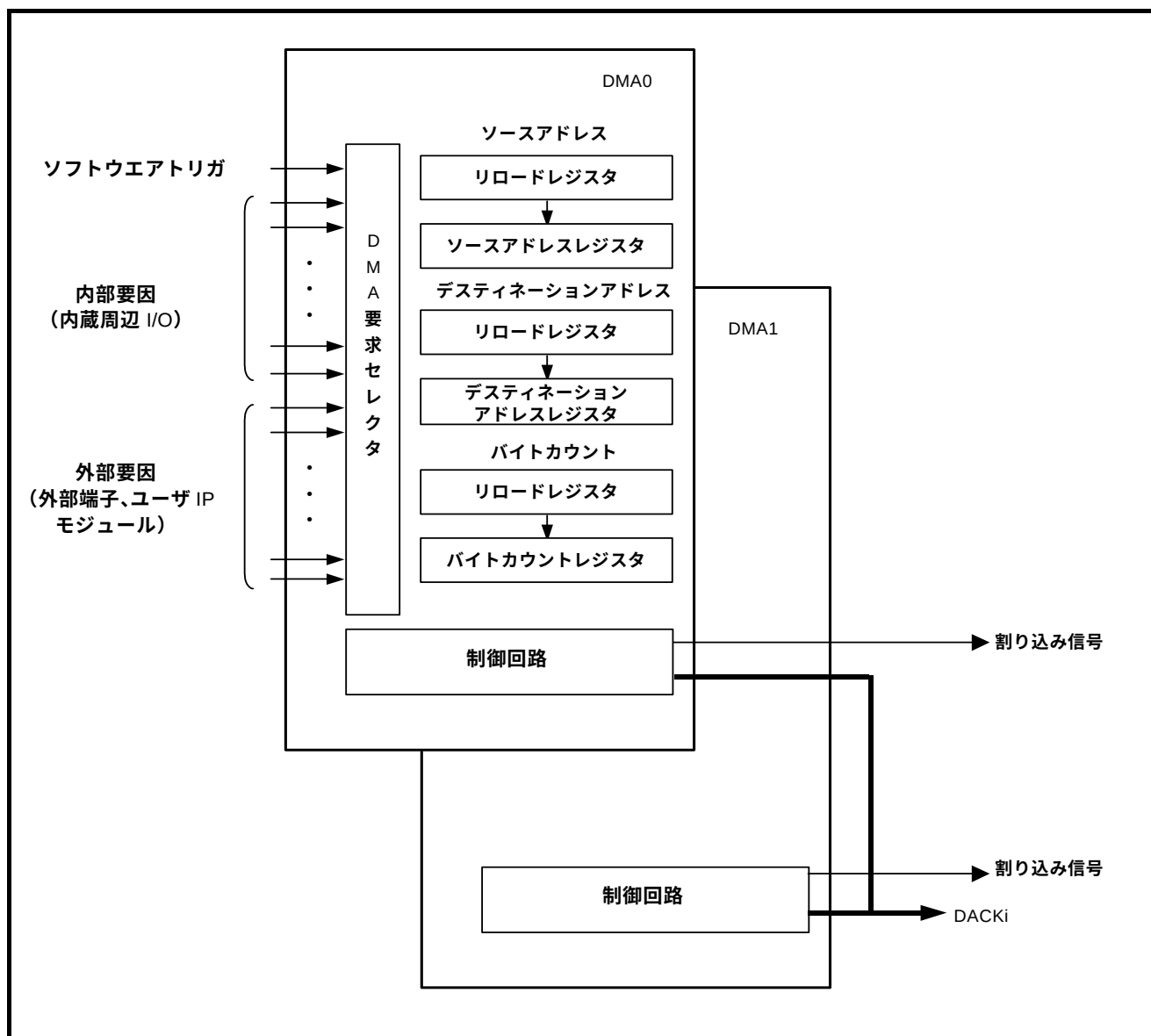


図11.1.1 DMACのブロック図

11.2 DMAC関連レジスタ

DMAC関連レジスタのメモリマップと各レジスタについて以下に説明します。

DMACのレジスタマッピング1

番地	b0	+0番地	b7	b8	+1番地	b15	b16	+2番地	b23	b24	+3番地	b31
H'00EF 8000	DMA転送許可レジスタ (DMAEN)											
H'00EF 8004	DMA割り込み要求ステータスレジスタ (DMAISTS)											
H'00EF 800C	DMA転送終了検出レジスタ (DMAEDET)											
H'00EF 8010	DMAアービトレーションステータスレジスタ (DMAASTS)											
H'00EF 8014	DMAフライバイ転送レイテンシ制御レジスタ (DMAFBCR)											
?	(使用禁止領域)											
H'00EF 8100	DMA0制御レジスタ0 (DMA0CR0)											
H'00EF 8104	DMA0制御レジスタ1 (DMA0CR1)											
H'00EF 8108	DMA0カレントソースアドレスレジスタ (DMA0CSA)											
H'00EF 810C	DMA0リロードソースアドレスレジスタ (DMA0RSA)											
H'00EF 8110	DMA0カレントデスティネーションアドレスレジスタ (DMA0CDA)											
H'00EF 8114	DMA0リロードデスティネーションアドレスレジスタ (DMA0RDA)											
H'00EF 8118	DMA0カレントバイトカウントレジスタ (DMA0CBCUT)											
H'00EF 811C	DMA0リロードバイトカウントレジスタ (DMA0RBCUT)											
H'00EF 8120	DMA0-2D制御レジスタ (DMA02DCR)											
?	(使用禁止領域)											
H'00EF 8130	DMA0-2D次行オフセットレジスタ (DMA02DNROST)											
H'00EF 8134	DMA0-2D次ブロックオフセットレジスタ (DMA02DNBOST)											
H'00EF 8138	DMA0-2D次ラインオフセットレジスタ (DMA02DNLOST)											
?	(使用禁止領域)											

DMACのレジスタマッピング2

番地	b0	+0番地	b7	b8	+1番地	b15	b16	+2番地	b23	b24	+3番地	b31
H'00EF 8200	DMA1制御レジスタ0 (DMA1CR0)											
H'00EF 8204	DMA1制御レジスタ1 (DMA1CR1)											
H'00EF 8208	DMA1カレントソースアドレスレジスタ (DMA1CSA)											
H'00EF 820C	DMA1リロードソースアドレスレジスタ (DMA1RSA)											
H'00EF 8210	DMA1カレントデスティネーションアドレスレジスタ (DMA1CDA)											
H'00EF 8214	DMA1リロードデスティネーションアドレスレジスタ (DMA1RDA)											
H'00EF 8218	DMA1カレントバイトカウントレジスタ (DMA1CBCUT)											
H'00EF 821C	DMA1リロードバイトカウントレジスタ (DMA1RBCUT)											
H'00EF 8220	DMA1-2D制御レジスタ (DMA12DCR)											
?	(使用禁止領域)											
H'00EF 8230	DMA1-2D次行オフセットレジスタ (DMA12DNROST)											
H'00EF 8234	DMA1-2D次ブロックオフセットレジスタ (DMA12DNBOST)											
H'00EF 8238	DMA1-2D次ラインオフセットレジスタ (DMA12DNLOST)											
?	(使用禁止領域)											

11.2.1 DMA転送許可レジスタ

DMA許可レジスタ (DMAEN)

<アドレス: H'00EF 8000>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
DMSK0	DMSK1							DEN0	DEN1						
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

※バイト(8ビット) / ハーフワード(16ビット) / ワード(32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~15	何も配置されていません。"0"に固定してください。		0	0
16	DMSK0	0 : DEN0は書き込みマスク状態	0	注
	DEN0の書き込みマスクビット	1 : DEN0は書き込みマスクを解除		
17	DMSK1	0 : DEN1は書き込みマスク状態	0	注
	DEN1の書き込みマスクビット	1 : DEN1は書き込みマスクを解除		
18~23	何も配置されていません。"0"に固定してください。		0	0
24	DEN0	0 : DMA0のDMA転送禁止	R	W
	DMA0転送許可ビット	1 : DMA0のDMA転送許可		
25	DEN1	0 : DMA1のDMA転送禁止	R	W
	DMA1転送許可ビット	1 : DMA1のDMA転送許可		
26~31	何も配置されていません。"0"に固定してください。		0	0

注: 「"0"書き込みは無効、"1"書き込みデータは保持されない」ことを示します。

(1) DMSKi (DENiの書き込みマスクビット) (b16~b17)

このビットにより、DMAi転送許可ビット(DENi)の書き込みマスクを制御します。

DMAi転送許可ビットへの書き込みと同時に、対応するこのビットを"0"にクリアしている場合、DMAi転送許可ビットへの書き込みは行われません。

DMAi転送許可ビットへの書き込みと同時に、対応するこのビットを"1"にセットしている場合、DMAi転送許可ビットへの書き込みが有効となり、DMAi転送許可ビットの値を変更することができます。

このビットは"1"にセットしてもその値を保持しません。したがって、DMAi転送許可ビットへの書き込みを行うごとに、このビットに同時に"1"をセットしてください。

(2) DENi (DMAi転送許可) ビット(b24~b25)

このビットにより、DMA転送の禁止、許可を設定します。

このビットを"0"にクリアした場合、DMAiのDMA転送が禁止状態になります。

このビットを"1"にセットした場合、DMAiのDMA転送が許可状態になります。

このビットが"0"にクリアされていても、DMACへのDMAリクエスト入力によりDMAi制御レジスタのDMA要求ビット(DREQ)は変化します。

このビットはDMAi制御レジスタ1のDMA転送許可クリアビット(ECLR)="1"の場合に、DMA転送終了条件が検出されると自動的に"0"にクリアされます。

●DMA転送の一時停止

サイクルスチールモードによる1オペランド転送中に、DMAi転送許可ビットをすべてクリアする(注1)と、実行中のオペランド転送は一時停止します。ただし、1オペランド転送中は他チャンネルにバス権を開放しません(注2)。その後、再びDMAi転送許可ビットをセットすることによりオペランド転送は再開されます。一時停止しているオペランド転送を再開せず、中止したい場合には、DMAi制御レジスタ1のDMA転送ステータスクリアビット(DSCLR)を"1"にセットして下さい。

注1. サイクルスチールモードによるオペランド転送を一時停止させる場合には、すべてのDMAi転送許可ビットをクリアして下さい。一時停止を行いたいチャンネルとは別チャンネルのDMAi転送許可ビットに"1"がセットされている場合、その後の動作は保証されません。

注2. サイクルスチールモード、バス権連続取得モードに関わらず、1オペランド転送中は他チャンネルにバス権を開放しません。したがって他チャンネルのオペランド転送を実行したい場合には、一時停止中のオペランド転送を中止して下さい。

11.2.2 DMA割り込み要求ステータスレジスタ

DMA割り込み要求ステータスレジスタ(DMAISTS)

<アドレス: H'00EF 8004>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
DISTS0	DISTS1														
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

※バイト(8ビット)/ ハーフワード(16ビット)/ ワード(32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~15	何も配置されていません。読み出し時"0"です。		0	N
16	DISTS0	0 : DMA0の割り込み要求なし DMA0の割り込み要求ステータスビット	0	N
17	DISTS1	0 : DMA1の割り込み要求なし DMA1の割り込み要求ステータスビット	0	N
18~31	何も配置されていません。読み出し時"0"です。		0	N

注. このレジスタは読み出し専用です。

(1) DISTS_i (DMA_i割り込み要求ステータス) ビット(b16~b23)

このビットにより、DMA_iの割り込み要求の状態を参照することができます。このビットに"1"がセットされている場合、DMA_iの割り込み要求が割り込みコントローラに対して発生しています。

■ "1"セット条件

DMA転送終了割り込み要求を許可に設定しているとき(DMA_i制御レジスタ0のDMA転送終了割り込み要求許可ビット(DIRQ)が"1")に、DMA転送終了条件が検出されると、DMA終了検出レジスタのDMA_i転送終了検出ビット(DEDET_i)が"1"にセットされます。このとき、このビットも"1"にセットされます。

■ "0"クリア条件

以下のいずれかの条件を満たした場合、このビットは"0"にクリアされます。

- ・ 割り込みが発生しているチャンネルに対応した、DMA終了検出レジスタのDMA_i転送終了検出ビットをクリアした場合。
- ・ 割り込みが発生しているチャンネルに対応した、DMA転送終了割り込み要求許可ビットをクリアした場合。

11.2.3 DMA転送終了検出レジスタ

DMA転送終了検出レジスタ(DMAEDET)

<アドレス: H'00EF 8008>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
DEDET0	DEDET1														
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

※バイト(8ビット)/ ハーフワード(16ビット)/ ワード(32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~15	何も配置されていません。"0"に固定してください。		0	0
16	DEDET0	0 : DMA0の転送終了条件検出なし	R	注
	DMA0転送終了条件検出ビット	1 : DMA0の転送終了条件検出あり		
17	DEDET1	0 : DMA1の転送終了条件検出なし	R	注
	DMA1転送終了条件検出ビット	1 : DMA1の転送終了条件検出あり		
18~31	何も配置されていません。"0"に固定してください。		0	0

注: 「"0"書き込みは無効、"1"書き込みデータは保持されない」ことを示します。

(1) DEDETi (DMAi転送終了条件検出ビット) (b16~b17)

このビットにより、DMAiのDMA転送終了条件検出の状態を参照することができます。このレジスタが"1"にセットされた場合、ソフトウェアによる下記"0"クリア条件を満たさない限り、常に値を保持しています。

■ "1"セット条件

DMA転送が終了すると、このビットに"1"がセットされます。

■ "0"クリア条件

クリアするビットに"1"を書き込むことにより"0"にクリアされます。

このときクリアを行わないビットには"0"を書き込んで下さい。"0"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

11.2.4 DMAアービトレーションステータスレジスタ

DMAアービトレーションステータスレジスタ(DMAASTS) <アドレス：H'00EF 800C>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
DASTS0	DASTS1														
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

※バイト(8ビット)/ ハーフワード(16ビット)/ ワード(32ビット) アクセス可能

<リセット解除時：H'0000 0000>

b	ビット名	機能	R	W
0~15	何も配置されていません。読み出し時"0"です。		0	N
16	DASTS0 DMA0アービトレーション ステータスビット	0 : DMA0は1オペランド転送中ではない 1 : DMA0は1オペランド転送中	R	N
17	DASTS1 DMA1アービトレーション ステータスビット	0 : DMA1は1オペランド転送中ではない 1 : DMA1は1オペランド転送中	R	N
26~31	何も配置されていません。"読み出し時"0"です。		0	N

注. このレジスタは読み出し専用です。

(1) DASTSi (DMAiアービトレーションステータス) ビット (b16,b17)

このビットにより、チャンネルiのオペランド転送実行状態を参照することができます。

■"1"セット条件

オペランド転送が開始されたチャンネルのビットに"1"がセットされます。

■"0"クリア条件

以下のいずれかの条件を満たした場合、"0"にクリアされます。

- 1オペランド転送が正常に終了した場合
- DMAi制御レジスタ1のDMAステータスクリアビット（DSCLR）によりDMA転送が中止された場合

11.2.5 DMAフライバイ転送レイテンシ制御レジスタ

DMAフライバイ転送レイテンシ制御レジスタ(DMAFBCR)

<アドレス: H'00EF 8010>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

※バイト(8ビット) / ハーフワード(16ビット) / ワード(32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~19	何も配置されていません。"0"に固定してください。		0	0
20~23	FBRL	0000 : 0BCLK	R	W
	DMAフライバイ転送リード	0001 : 1BCLK		
	レイテンシ	.		
		.		
		1110 : 14BCLK		
		1111 : 15BCLK		
24~27	何も配置されていません。"0"に固定してください。		0	0
28~31	FBWL	0000 : 0BCLK	R	W
	DMAフライバイ転送ライト	0001 : 1BCLK		
	レイテンシ	.		
		.		
		1110 : 14BCLK		
		1111 : 15BCLK		

フライバイ転送を行う場合の、SDRAMアクセスレイテンシを設定します。対象となるSDRAMCの設定値を元にSDRAMアクセスレイテンシの設定を行って下さい。

(1) FBRL (フライバイ転送リードレイテンシ)

このビットにより、SDRAMアクセス開始からリードストロブ出力までのウェイト数を設定します。フライバイ転送リードレイテンシはSDRAMiタイミングレジスタのRAS-CASレイテンシ設定ビット (DRCD) で設定した値を元に計算します。

フライバイ転送リードレイテンシを求める計算式を以下に示します。

●フライバイ転送リードレイテンシ計算式

$$\text{フライバイ転送リードレイテンシ} = \text{DRCDビット} - 1$$

例えば、RAS-CASレイテンシとして2BCLKを設定した場合 (DRCDビット="01"の場合)、フライバイリードレイテンシは0BCLKとなり、このビットには"0000"を設定します。

注. フライバイ転送を行うためには、DRCDを2BCLK以上に設定する必要があります。

(2) FBWL (フライバイ転送ライトレイテンシ)

このビットにより、SDRAMアクセス開始からライトストロープ出力までのウェイト数を設定します。

フライバイライトレイテンシはSDRAMiタイミングレジスタのRAS-CASレイテンシ設定ビット (DRCD) とCASレイテンシ設定ビット (DCL) で設定した値を元に計算します。フライバイ転送ライトレイテンシを求める計算式を以下に示します。

●フライバイ転送ライトレイテンシ計算式

$$\text{フライバイ転送ライトレイテンシ} = \text{DRCDビット} + \text{DCLビット} + 2$$

例えば、RAS-CASレイテンシに2BCLK (DRCDビット="01")、CASレイテンシに2BCLK (DCLビット="010") を設定した場合、フライバイ転送ライトレイテンシは5BCLKとなりFBWLビットには"0101"を設定します。

11.2.6 DMAi制御レジスタ0

DMA0制御レジスタ0 (DMA0CR0)

<アドレス: H'00EF 8100>

DMA1制御レジスタ0 (DMA1CR0)

<アドレス: H'00EF 8200>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
DREQ			SZSEL		MDSEL		DIRQ	DSEL		OPSEL		ALSEL	BRLOD	SRLOD	DRLOD
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
SAMOD		DAMOD		FB		TDIR		DSE					REQSEL		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

※バイト(8ビット) / ハーフワード(16ビット) / ワード(32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0	DREQ DMA要求ビット	0: DMA要求なし 1: DMA要求あり	R	W
1	何も配置されていません。"0"に固定してください。		0	0
2,3	SZSEL 転送データサイズ選択ビット	00: バイト (8ビット) 01: ハーフワード (16ビット) 10: ワード(32ビット) 11: 設定禁止	R	W
4	何も配置されていません。"0"に固定してください。		0	0
5	MDSEL DMA転送モード選択ビット	0: バス権連続取得モード 1: サイクルスチールモード	R	W
6	何も配置されていません。"0"に固定してください。		0	0
7	DIRQ DMA転送終了割り込み要求許可ビット	0: 割り込み禁止 1: 割り込み許可	R	W
8	DSEL DMA転送条件選択ビット	0: 1オペランド転送完了まで転送 1: バイトカウント0まで転送	R	W
9~11	OPSEL 1オペランド転送データ数選択ビット	000: 1データ 001: 2データ 010: 4データ 011: 8データ 100: 16データ 101: 32データ 110: 64データ 111: 128データ	R	W
12	ALSEL DACK信号出力有効レベル選択ビット	0: DACKを"H"イネーブルで出力する 1: DACKを"L"イネーブルで出力する	R	W
13	BRLOD DMAバイトカウントリロード機能有効ビット	0: バイトカウントリロード機能無効 1: バイトカウントリロード機能有効	R	W
14	SRLOD DMAソースアドレスリロード機能有効ビット	0: ソースアドレスリロード機能無効 1: ソースアドレスリロード機能有効	R	W
15	DRLOD DMAデスティネーションアドレスリロード機能有効ビット	0: デスティネーションアドレスリロード機能無効 1: デスティネーションアドレスリロード機能有効	R	W
16,17	SAMOD DMAソースアドレッシングモード選択ビット	00: 固定 01: プラス方向 10: 2次元アドレッシング 11: マイナス方向	R	W
18,19	DAMOD DMAデスティネーションアドレッシングモード選択ビット	00: 固定 01: プラス方向 10: 2次元アドレッシング 11: マイナス方向	R	W

20	FB フライバイ転送制御ビット	0 : フライバイ転送無効 (デュアルアドレス転送) 1 : フライバイ転送有効	R	W
21~23	TDIR DMA転送方向選択ビット	[FB=0のとき] ソース デスティネーション 000 : 内蔵資源 → 内蔵資源 001 : 内蔵資源 → 外部デバイス 010 : 外部デバイス → 内蔵資源 011 : 外部デバイス → 外部デバイス 100 ~ 111 : 設定禁止 [FB=1のとき] ソース デスティネーション 000 ~ 010 : 設定禁止 011 : ユーザIPモジュール → SDRAM 100 ~ 110 : 設定禁止 111 : SDRAM → ユーザIPモジュール	R	W
24,25	DSE DMA要求入力センスモード選択ビット	00 : 立ち上がりエッジセンス 01 : "H"レベルセンス 10 : 立ち下がりエッジセンス 11 : "L"レベルセンス	R	W
26	何も配置されていません。"0"に固定してください。		0	0
27~31	REQSEL DMA要求要因選択ビット	00000 : ソフトウェア起動 00001 : DREQ0 (外部端子入力/ユーザIPモジュール) 00010 : DREQ1 (外部端子入力/ユーザIPモジュール) 00011 ~ 00111 : 設定禁止 01000 : SIO0受信 01001 : SIO0送信 01010 : SIO1受信 01011 : SIO1送信 01100 ~ 01111 : 設定禁止 10000 : MFT0 10001 : MFT1 10010 : MFT2 10011 : MFT3 10100 : MFT4 10101 : MFT5 10110 ~ 11111 : 設定禁止	R	W

注1. DMA要求要因にソフトウェア起動を選択している場合、DMA要求ビットの"1"セットは、DMA転送許可ビットの設定やオペランド転送状態に関係なく常に行うことが可能です。ただし、DMA要求要因にソフトウェア起動を選択している場合でも、DMA要求ビットの"0"クリア及びDMAi制御レジスタ0の他のビットの設定値変更は、対応するチャンネルが1オペランド転送でなく (DMAアービトレーションステータスレジスタのDASTSi=0)、かつDMA転送が禁止 (DMA転送許可レジスタのDENi=0) に設定されている場合にのみ行って下さい。それ以外の場合にDMAi制御レジスタ0の値を変更した場合の動作は保証されません。

注2. DMA要求要因にソフトウェア起動以外を選択している場合、DMA要求ビットを含むDMAi制御レジスタ0の設定値変更は、対応するチャンネルが1オペランド転送中でなく、かつDMA転送が禁止に設定されている場合にのみ行って下さい。それ以外の場合にDMAi制御レジスタ0の値を変更した場合の動作は保証されません。

注3. 複数のチャンネルで同じDMA要求要因を選択しないでください。ただし、ソフトウェア起動は除きます。

注4. ソフトウェア起動を選択した場合、DMA要求入力センスモード選択ビットはエッジセンスを選択して下さい。

(1) DREQ (DMA要求) ビット (b0)

このビットによりDMA要求の有無を参照することができます。

また、DMAi制御レジスタ0のDMA要求要因選択ビットでソフトウェア起動を選択した場合（REQSELビット="00000"）、このビットによりDMA要求の操作を行います。

このビットはDMA転送許可レジスタの設定にかかわらず、DMACへのDMAリクエスト入力の状態により変化し、そのセット、クリアの条件はDMAi制御レジスタ0のDMA要求要因選択ビット、およびDMA要求入力センスモード選択ビット（DSE）の設定により以下のように変化します。

<ソフトウェア起動の場合>

ソフトウェア起動を選択した場合、DMA要求入力センスモード選択ビットはエッジセンス(DSE="00"または"10")を選択して下さい。レベルセンスは設定禁止です。

■"1"セット条件

ソフトウェアによりこのビットに"1"を書き込んだ場合に"1"にセットされます。これによりDMA要求が発生します。

■"0"クリア条件

以下のいずれかの条件を満たした場合、"0"にクリアされます。

- ソフトウェアによりこのビットに"0"を書き込んだ場合
- このビットに対応するオペランド転送が開始された場合

<外部入力でレベルセンスまたは、内部要因でレベルセンスの場合>

■"1"セット条件

DMA要求 入力センスモード選択ビットで設定したレベルと、DMAリクエスト入力のレベルが一致した場合（DMA要求がある場合）に"1"にセットされます。

■"0"クリア条件

DMA要求入力センスモード選択ビットで設定したレベルと、DMAリクエスト入力のレベルが一致しなくなった場合（DMA要求がなくなった場合）に"0"にクリアされます。

（DMA要求受付前にDMA要求がなくなった場合、そのDMA要求は保持されずDMA要求ビットはクリアされます。したがって、レベルセンスで使用する場合は、DMA要求受付までDMA要求を保持して下さい。）

注．選択された要求要因がソフトウェア起動以外の場合には、ソフトウェアによってDMA要求ビットに"1"を書き込まないでください。"1"を書き込んだ場合の動作は保証されません。

<外部入力でエッジセンスまたは、内部要因でエッジセンスの場合>

■"1"セット条件

内蔵周辺I/O側でDMA要求が発生した場合、または外部入力選択時、DMA要求入力センスモード選択ビットで選択したエッジが、DMACへ入力された場合（DMA要求がある場合）に"1"にセットされます。

"1"にセットされた場合、その後のDMAリクエスト入力の状態に関わらず、"0"クリア条件が満たされるまでは、DMA要求ビットはセットされたままとなります。

■"0"クリア条件

以下のいずれかの条件を満たした場合、"0"にクリアされます。

- ソフトウェアによりこのビットに"0"を書き込んだ場合
- このビットに対するオペランド転送が開始された場合

注1：選択された要求要因がソフトウェア起動以外の場合には、ソフトウェアによってDMA要求ビットに"1"を書き込まないで下さい。"1"を書き込んだ場合の動作は保証されません。

注2：DMAi制御レジスタ0のDMA要求要因選択ビット（REQSEL）を設定した場合、必ず設定したチャンネルのDMA要求ビットを"0"にクリアした後、DMA転送許可の設定を行ってください。

(2) SZSEL (転送データサイズ選択) ビット (b2~b3)

このビットにより、1データ転送のビットサイズを選択します。

またこのビットにより以下のレジスタの増減値が変化します。(DMAiカレントバイトカウンタは、減少のみ)。

- DMAi カレントソースアドレスレジスタ
- DMAi カレントデスティネーションアドレスレジスタ
- DMAi カレントバイトカウンタ

増減値は以下のように変化します。

- バイト (8ビット) : 1
- ハーフワード (16ビット) : 2
- ワード (32ビット) : 4

(3) MDSEL (DMA転送モード選択) ビット (b5)

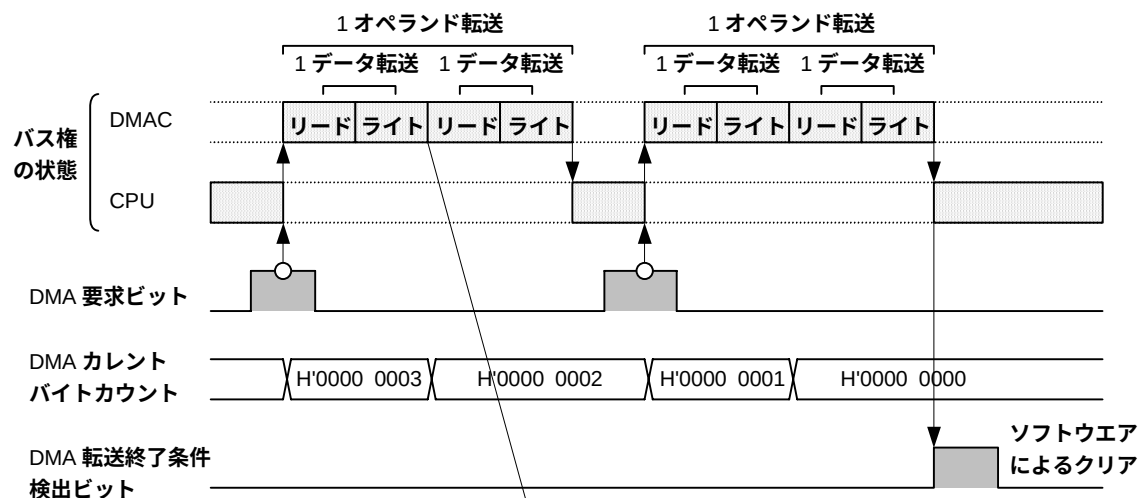
このビットにより、DMA転送モードを選択します。図11.2.1に転送モード別の動作例を示します。

このビットを"0"にクリアした場合、転送モードはバス権連続取得転送となり1オペランド転送終了となるまでDMACはバス権を開放しません。フライバイ転送を行う場合は、このビットを"0"に設定してください。

このビットを"1"にセットした場合、転送モードはサイクルスチール転送となりDMACは1データ転送ごとにバス権を開放します。

＜バス権連続取得モードの動作例＞

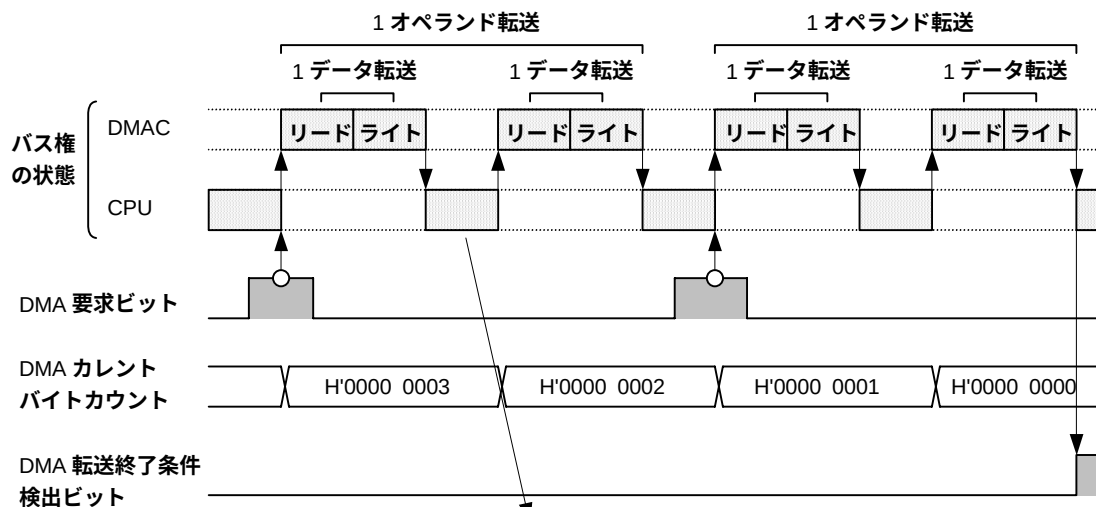
●転送オペランドサイズ 8 ビット、転送オペランド数 2 データの場合



バス権連続取得モードの場合、1 オペランド転送が終了するまでは、バス権を開放しません。
○：DMA 要求受付

＜サイクルスチール転送モードの動作例＞

●転送オペランドサイズ 16 ビット、転送オペランド数 2 データの場合



サイクルスチール転送の場合、1 データ転送ごとに CPU にバス権を開放します。
ただし、1 オペランド転送中は、他チャンネルの DMA 要求は受け付けません。
○：DMA 要求受付

図11.2.1 DMA転送モードの動作例

(4) DIRQ (DMA転送終了割り込み要求許可) ビット (b7)

このビットによりDMA転送終了割り込みを、ICU（割り込みコントローラ）に対して発生させるか、させないかを選択します。

このビットを"0"にクリアした場合、DMA転送終了条件が検出されてもDMA割り込みステータスレジスタの対応するビット（DISTSi）は"1"にセットされず、ICUへの割り込み要求は発生しません。

このビットを"1"にセットした場合、DMA転送終了条件が検出されるとDMA割り込みステータスレジスタの対応するビット（DISTSi）は"1"にセットされ、ICUへの割り込み要求が発生します。

ICUへの割り込み要求は各チャンネル単位で行われます。

(5) DSEL(DMA転送条件選択ビット)

このビットにより、DMA転送条件を選択します。

このビットを"0"にクリアした場合、1回のDMA要求で1オペランド分の転送を行います。

このビットを"1"にセットした場合、1回のDMA要求でバイトカウントが0まで転送を行います。

図11.2.2にDMA転送条件選択による転送例を示します。

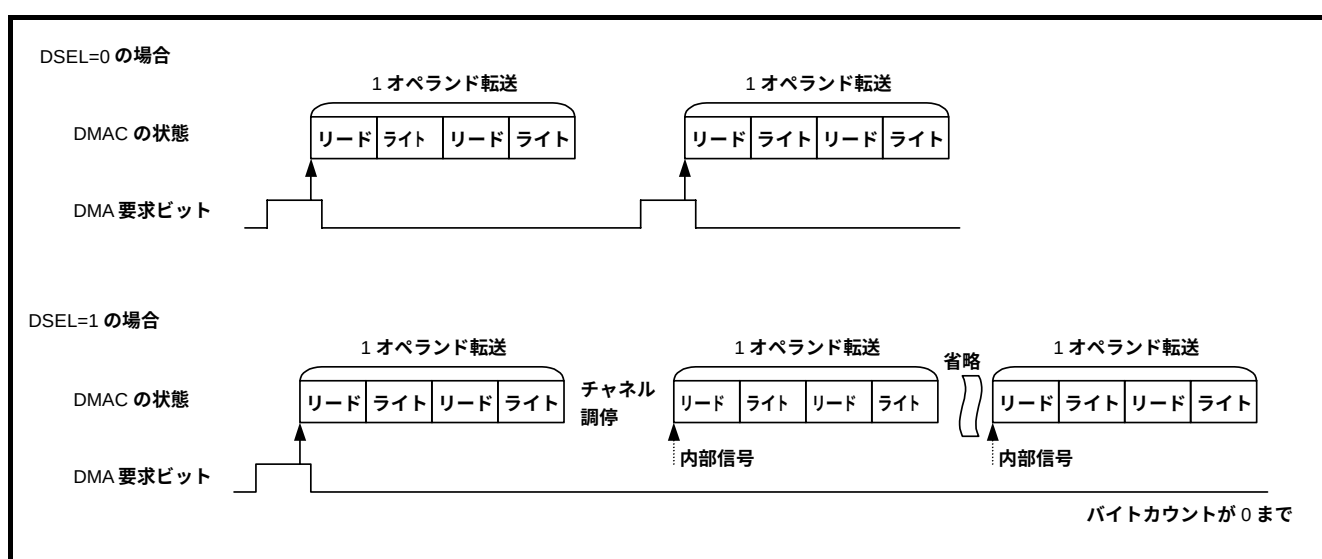


図11.2.2 DSELの設定による動作例

(6) OPSEL (1オペランド転送データ数選択) ビット (b9~b11)

このビットにより、1オペランド転送のデータ転送数を選択します。DMA転送条件選択ビット(DSEL)が"0"の場合、一回のDMA要求により、このビットで設定された数分のデータ転送を行います。DSELが"1"の場合、このビットで設定された数分の転送をバイトカウント0まで繰り返します。この場合、転送の間にチャンネル調停を行います。

またDSELの設定に関わらず、この設定数分のデータ転送（1オペランド転送）を終了するまでは、他チャンネルのDMA要求は受け付けません。

注：転送データサイズ選択ビットにより、8ビットが設定されている場合（SZSEL="00"）、DMAカレントバイトカウンタ、およびDMAリロードバイトカウンタに設定される数は、1オペランド転送データ数選択ビットで選択した転送データ数の整数倍になるように値を設定してください。また、転送データサイズ選択ビットにより、16ビットが設定されている場合（SZSEL="01"）、32ビットが設定されている場合（SZSEL="10"）、は、それぞれ、DMAカレントバイト1オペランド転送データ数選択ビットで選択した転送データ数の偶数倍、4の倍数倍になるように値を設定してください。

(7) ALSEL (DACK信号出力有効レベル選択) ビット (b12)

このビットにより、DMA要求を受け付けたことを示すDMAアクノリッジ信号の有効レベルを選択します。

このビットを"0"にクリアした場合、DMA要求が受け付けられた要因に対し、DMAアクノリッジ信号としてDACK端子から"H"レベル信号を出力します。

このビットを"1"にセットした場合、DMA要求が受け付けられた要因に対しDMAアクノリッジ信号としてDACK端子から"L"レベル信号を出力します。

ユーザIPモジュールに対するDACKの有効レベルは"H" (ALSELビット="0") に設定して下さい。

注1：DMA要求要因として外部端子以外を設定した場合、このビットは"1"にセットしないでください。"1"にセットした場合の動作は保証しません。

(8) BRLOD (DMAバイトカウントリロード機能有効) ビット (b13)

このビットにより、DMA転送終了条件 (DMAiカレントバイトカウントレジスタ値が"H'0000 0000") が検出された場合にバイトカウンタをリロードするか、しないかを選択します。

このビットを"0"にクリアした場合、リロードは行われません。

このビットを"1"にセットした場合、DMA転送終了条件が検出されるとDMAiリロードバイトカウントレジスタの内容がDMAiカレントバイトカウントレジスタにリロードされます。

(9) SRLOD (DMAソースアドレスリロード機能有効) ビット (b14)

このビットにより、DMA転送終了条件 (DMAiカレントバイトカウントレジスタ値が"H'0000 0000") が検出された場合にソースアドレスをリロードするか、しないかを選択します。

このビットを"0"にクリアした場合、リロードは行われません。

このビットを"1"にセットした場合、DMA転送終了条件が検出されるとDMAiリロードソースアドレスレジスタの内容がDMAiカレントソースアドレスレジスタにリロードされます。

(10) DRLOD (DMAデスティネーションアドレスリロード機能有効) ビット (b15)

このビットにより、DMA転送終了条件 (DMAiカレントバイトカウントレジスタ値が"H'0000 0000") が検出された場合にデスティネーションアドレスをリロードするか、しないかを選択します。

このビットを"0"にクリアした場合、リロードは行われません。

このビットを"1"にセットした場合、DMA転送終了条件が検出されるとDMAiリロードデスティネーションアドレスレジスタの内容がDMAiカレントデスティネーションアドレスレジスタにリロードされます。

(11) SAMOD (DMAソースアドレッシングモード選択) ビット (b16~b17)

このビットにより、DMAiカレントソースアドレスレジスタの変化する方向 (固定、プラス方向、マイナス方向、2次元アドレッシング) を選択します。

2次元アドレッシングを選択した場合、DMAデスティネーションアドレッシングモード選択ビット (DAMOD) に2次元アドレッシングを設定することはできません。

フライバイ転送モード (FBビット="1") 時、DMA転送方向としてユーザIPモジュールからSDRAMへの転送を選択した場合 (TDIRビット="011"), このビットは無効です。

(12) DAMOD (DMAデスティネーションアドレッシングモード選択) ビット (b18~b19)

このビットにより、DMAiカレントデスティネーションアドレスレジスタの変化する方向（固定、プラス方向、マイナス方向、2次元アドレッシング）を選択します。

2次元アドレッシングを選択した場合、DMAソースアドレッシングモード選択ビット（SAMOD）に2次元アドレッシングを設定することはできません。

フライバイ転送モード（FBビット="1"）時、DMA転送方向としてSDRAMからユーザIPモジュールへの転送を選択した場合（TDIRビット="111"）、このビットは無効です。

表11.2.1にDMAiカレントソースアドレスレジスタおよびDMAiカレントデスティネーションアドレスレジスタの増減値を示します。

表11.2.1 DMAiソース/デスティネーションアドレスレジスタのカウンタ増減値

DMAi制御レジスタ0 転送データサイズ 選択ビットSZSEL[0:1]	アドレッシングモード（SAMODまたはDAMOD）			
	"00" （固定）	"01" （プラス方向）	"11" （マイナス方向）	"10" （2次元）
"00"（8ビット）	±0	+1	-1	設定禁止
"01"（16ビット）	±0	+2	-2	設定禁止
"10"（32ビット）	±0	+4	-4	2次元

(13) FB (DMAフライバイ転送選択) ビット (b20)

このビットにより、SDRAMとユーザIPモジュール間のDMA転送をフライバイ転送するかどうかを選択します。

このビットを"0"にクリアした場合、デュアルアドレス転送になります。

このビットを"1"にセットした場合、フライバイ転送になります。

フライバイ転送はSDRAMとユーザIPモジュール間での転送のみサポートしており、転送データサイズ選択ビット（SZSEL）を32ビット、SDRAMのバス幅選択ビット（BSZ）を32ビットに設定し、DMA転送モードをバス権連続取得モードに設定してください。

フライバイ転送例を図11.2.3に示します。

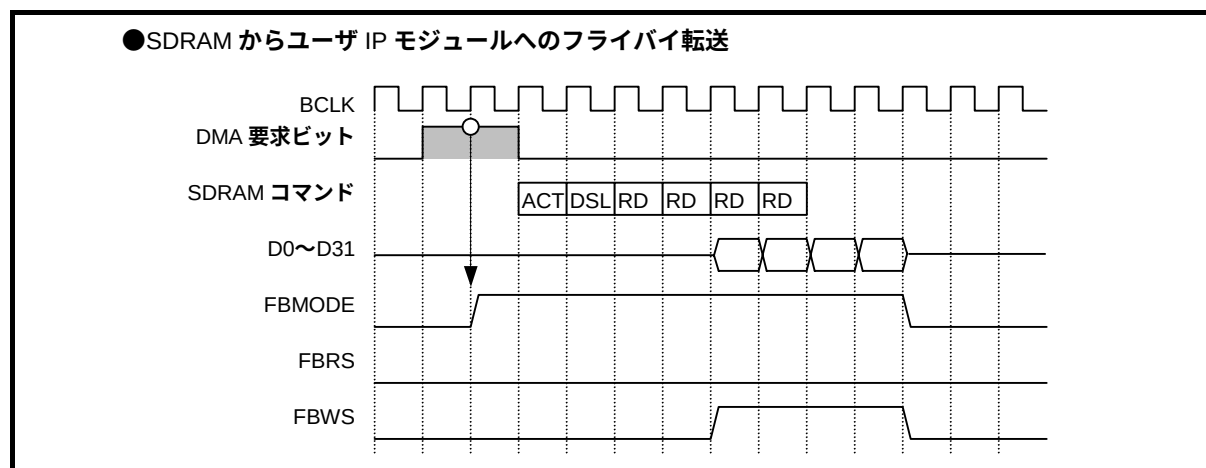


図11.2.3 フライバイ転送例

注. フライバイ転送を行う場合は、ユーザIPモジュール側のアドレス（ソースアドレスまたはデスティネーションアドレス）の設定(BSEL1空間のアドレス)を必ず行ってください。

(14) TDIR (DMA転送方向選択) ビット (b21~b23)

このビットにより、DMA転送方向を選択します。
DMA転送方向を間違えて設定した場合、動作は保証されません。

(15) DSE (DMA要求入力センスモード選択) ビット (b24~b25)

DMA要求要因選択ビット (REQSEL) でソフトウェア起動、または、外部端子入力を選択した場合、このビットにより、DMACに対して入力されるDMAリクエスト信号の入力センスモードを選択します。

注．DMA要求要因として内蔵周辺I/Oを選択した場合、このビットを設定する必要はありません。

(16) REQSEL (DMA要求要因選択) ビット (b28~b31)

このビットによりDMA要求要因を選択します。

このビットによりソフトウェア起動を設定した (REQSELビット="00000") 場合、DMAi制御レジスタ0のDMA要求ビット (DREQ) により、DMA要求を操作します。

DMA要求要因選択ビットへの書き込みは、DMA転送が禁止設定の時 (DMA転送許可レジスタのDENiビット="0") に行ってください。また、DMA要求要因選択ビットへの書き込みを行った場合は、必ずDMAi制御レジスタ0のDMA要求ビットを"0"にクリアした後、DMA転送を許可にしてください。

また、フライング転送はユーザIPモジュールからのDMA要求によって起動されますので、REQSELにはソフトウェア起動や内蔵周辺IOを選択することはできません。

11.2.7 DMAi制御レジスタ1

DMA0制御レジスタ1 (DMA0CR1)

<アドレス: H'00EF 8104>

DMA1制御レジスタ1 (DMA1CR1)

<アドレス: H'00EF 8204>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	ECLR	0	0	0	0	0	0	0	DSCLR
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

※ バイト(8ビット) / ハーフワード(16ビット) / ワード(32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~6	何も配置されていません。"0"に固定してください。		0	0
7	ECLR DMA転送許可クリアビット	0: DMA転送終了検出によりDMAi転送許可ビットを0にクリアしない 1: DMA転送終了検出によりDMAi転送許可ビットを0にクリアする	R	W
8~14	何も配置されていません。"0"に固定してください。		0	0
15	DSCLR DMA転送ステータスクリアビット	0: なにもしない 1: DMA転送状態をクリアして、転送中のDMAを中止する。	R	注
16~31	何も配置されていません。"0"に固定してください。		0	0

注: 「0」書き込みは無効、「1」書き込みデータは保持されない」ことを示します。

(1) ECLR (DMA転送許可クリア) ビット (b7)

このビットにより、DMA転送終了条件 (DMAiカレントバイトカウントレジスタ値がH'0000 0000) が検出された場合に、DMA転送許可レジスタの対応するチャンネルのDMAi転送許可ビット (DENi) を"0"にクリアするか、しないかを選択します。

このビットを"0"にクリアした場合、DMA転送終了条件が検出されてもDMAi転送許可ビットは"0"にクリアされません。

このビットを"1"にセットした場合、DMA転送終了条件が検出されるとDMAi転送許可ビットは"0"にクリアされます。

注. 1オペランド転送途中のチャンネルのDMA転送許可クリアビットへの書き込みを行った場合の動作は保証されません。

(2) DSCLR (DMA転送ステータスクリア) ビット (b15)

このビットにより、1オペランド転送が途中で一時停止している場合に、残りのオペランド転送を中止します。

注. 本ビットは、すべてのチャンネルのDMA転送を禁止にした後セットしてください。それ以外の場合に本ビットをセットした場合の動作は保証されません。

11.2.8 DMAカレントソースアドレスレジスタ

DMA0カレントソースアドレスレジスタ (DMA0CSA)

<アドレス: H'00EF 8108>

DMA1カレントソースアドレスレジスタ (DMA1CSA)

<アドレス: H'00EF 8208>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	?	?	?	?	?	?	DCSA	?	?	?	?	?	?
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?

※バイト(8ビット) / ハーフワード(16ビット) / ワード(32ビット) アクセス可能

<リセット解除時: 不定>

b	ビット名	機能	R	W
0~2	何も配置されていません。"0"に固定してください。		0	0
3~31	DCSA DMAiカレントソースアドレスビット	DMAiカレントソースアドレスA3~A31	R	W

DMAiカレントソースアドレスレジスタは、DMA転送元の開始アドレスを設定するためのレジスタです。

DMAiカレントソースアドレスレジスタは、1データ転送毎に値が変化する場合があります。その増加/減少値については、「11.2.6 DMAi制御レジスタ0」の転送データサイズ選択ビット (SZSEL)、及びDMAソースアドレスシングモード選択ビット(SAMOD)を参照して下さい。

DMAiカレントソースアドレスレジスタは、リロード機能の有効、無効にかかわらず設定する必要があります。

注1. 選択された転送データサイズに対して、アライメントのとれたアドレス境界内でDMA転送が行われるようにレジスタを設定して下さい（転送データサイズとして16ビットを選択した場合、32ビットを選択した場合、DMAiカレントソースアドレスレジスタには、それぞれ、16ビットアドレス境界となるアドレス（偶数番地）、32ビットアドレス境界となるアドレス（4の倍数番地）を設定して下さい）。

注2. DMAiカレントソースアドレスレジスタへの書き込みは、対応するチャンネルが1オペランド転送中でなく（DMAアービトレーションステータスレジスタのDASTSi="0"）、かつDMA転送が禁止（DMA転送許可レジスタのDENi="0"）に設定されている場合にのみ行ってください。それ以外の場合に、DMAiカレントソースアドレスレジスタへの書き込みを行った場合の動作は保証されません。

11.2.9 DMAiリロードソースアドレスレジスタ

DMA0リロードソースアドレスレジスタ (DMA0RSA)

<アドレス: H'00EF 810C>

DMA1リロードソースアドレスレジスタ (DMA1RSA)

<アドレス: H'00EF 820C>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	?	?	?	?	?	?	DRSA	?	?	?	?	?	?
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?

※バイト(8ビット) / ハーフワード(16ビット) / ワード(32ビット) アクセス可能

<リセット解除時: 不定>

b	ビット名	機能	R	W
0~2	何も配置されていません。"0"に固定してください。		0	0
3~31	DRSA	DMAiリロードソースアドレスA3~A31	R	W
	DMAiリロードソースアドレスビット			

DMAiリロードソースアドレスレジスタは、DMAiカレントソースアドレスレジスタにリロードするアドレスを設定するためのレジスタです。リロード機能を有効にするにはDMAi制御レジスタ0のDMAソースアドレスリロード機能有効ビット (SRL0D) を"1"にセットしてください。この場合、DMAiカレントソースアドレスレジスタ、およびDMAiリロードソースアドレスレジスタの両方に設定を行う必要があります。

注: 選択された転送データサイズに対してアライメントのとれたアドレス境界内でDMA転送が行われるようにレジスタを設定して下さい。

11.2.10 DMAiカレントデスティネーションアドレスレジスタ

DMA0カレントデスティネーションアドレスレジスタ (DMA0CDA)

<アドレス: H'00EF 8110>

DMA1カレントデスティネーションアドレスレジスタ (DMA1CDA)

<アドレス: H'00EF 8210>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	?	?	?	?	?	?	DCDA	?	?	?	?	?	?
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?

※バイト(8ビット) / ハーフワード(16ビット) / ワード(32ビット) アクセス可能

<リセット解除時: 不定>

b	ビット名	機能	R	W
0~2	何も配置されていません。"0"に固定してください。		0	0
3~31	DCDA DMAiカレントデスティネーション アドレスビット	DMAiカレントデスティネーションアドレスA3~A31	R	W

DMAiカレントデスティネーションアドレスレジスタは、DMA転送先の開始アドレスを設定するためのレジスタです。

DMAiカレントデスティネーションアドレスレジスタは、1データ転送毎に値が変化する場合があります。その増加/減少値については、「11.2.6 DMAi制御レジスタ0」の転送データサイズ選択ビット (SZSEL)、及びDMAデスティネーションアドレッシングモード選択ビット(DAMOD)を参照して下さい。

DMAiカレントデスティネーションアドレスレジスタは、リロード機能の有効、無効にかかわらず設定する必要があります。

注1. 選択された転送データサイズに対してアライメントのとれたアドレス境界内でDMA転送が行われるようにレジスタを設定して下さい (転送データサイズとして16ビットを選択した場合、32ビットを選択した場合、DMAiカレントデスティネーションアドレスレジスタには、それぞれ、16ビットアドレス境界となるアドレス (偶数番地)、32ビットアドレス境界となるアドレス (4の倍数番地) を設定して下さい)。

注2. DMAiカレントデスティネーションアドレスレジスタへの書き込みは、対応するチャンネルが1オペランド転送中でなく (DMAアービトレーションステータスレジスタのDASTSi="0")、かつDMA転送が禁止 (DMA転送許可レジスタのDENi="0") に設定されている場合にのみ行ってください。それ以外の場合に、DMAiカレントデスティネーションアドレスレジスタへの書き込みを行った場合の動作は保証されません。

11.2.11 DMAiリロードデスティネーションアドレスレジスタ

DMA0リロードデスティネーションアドレスレジスタ (DMA0RDA)

<アドレス: H'00EF 8114>

DMA1リロードデスティネーションアドレスレジスタ (DMA1RDA)

<アドレス: H'00EF 8214>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	?	?	?	?	?	?	DRDA	?	?	?	?	?	?
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?

※バイト(8ビット) / ハーフワード(16ビット) / ワード(32ビット) アクセス可能

<リセット解除時: 不定>

b	ビット名	機能	R	W
0~2	何も配置されていません。"0"に固定してください。		0	0
3~31	DRDA DMAiリロードデスティネーション アドレスビット	DMAiリロードデスティネーションアドレス A3~A31	R	W

DMAiリロードデスティネーションアドレスレジスタは、DMAiデスティネーションアドレスレジスタにリロードするアドレスを設定するためのレジスタです。リロード機能を有効にするにはDMAi制御レジスタ0のDMAデスティネーションアドレスリロード機能有効ビット (DRLOD) を"1"にセットしてください。この場合、DMAiカレントデスティネーションアドレスレジスタ、およびDMAiリロードデスティネーションアドレスレジスタの両方に設定を行う必要があります。

注 選択された転送データサイズに対してアライメントのとれたアドレス境界内でDMA転送が行われるようにレジスタを設定して下さい (転送データサイズとして16ビットを選択した場合、32ビットを選択した場合、DMAiリロードデスティネーションアドレスレジスタには、それぞれ、16ビットアドレス境界となるアドレス (偶数番地)、32ビットアドレス境界となるアドレス (4の倍数番地) を設定して下さい)。

11.2.12 DMAiカレントバイトカウントレジスタ

DMA0カレントバイトカウントアドレスレジスタ (DMA0CBCUT)

<アドレス: H'00EF 8118>

DMA1カレントバイトカウントアドレスレジスタ (DMA1CBCUT)

<アドレス: H'00EF 8218>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	?	?	?	?	?	?	?	?	?	?
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?

※バイト(8ビット) / ハーフワード(16ビット) / ワード(32ビット) アクセス可能

<リセット解除時: 不定>

b	ビット名	機能	R	W
0~5	何も配置されていません。"0"に固定してください。		0	0
6~31	DCBCUT DMAiカレントバイトカウントビット	DMAiカレントバイトカウント	R	W

DMAiカレントバイトカウントレジスタはDMA転送するバイト数を設定するためのレジスタです。

本レジスタに設定したDMAカレントバイトカウント数は、1データ転送ごとに減少し、"0"となった時点でDMA転送終了（バイトカウント="0"による終了）となります。この時、DMA転送終了条件検出レジスタの対応するビットが"1"にセットされます。DMAカレントバイトカウントの減少数は以下のとおりです。

- 転送データサイズが8ビット設定の場合（DMAi制御レジスタ0のSZSEL="00"）：-1
- 転送データサイズが16ビット設定の場合（DMAi制御レジスタ0のSZSEL="01"）：-2
- 転送データサイズが32ビット設定の場合（DMAi制御レジスタ0のSZSEL="10"）：-4

DMAiカレントバイトレジスタの設定値がH'000 0001の時は1バイト、H'3FF FFFFの時は（64M-1）バイト、H'000 0000の時は最大転送バイトである64Mバイト転送できます。

DMAiカレントバイトカウントレジスタは、リロード機能の有効、無効にかかわらず設定する必要があります。

注1. 1オペランド転送の最終データ転送時にバイトカウント="0"となるように、DMAiカレントバイトカウントレジスタを設定してください。

- 転送データサイズが8ビットの場合は、1オペランド転送データ数の整数倍（×1, ×2, ×3, ...）
- 転送データサイズが16ビットの場合は、1オペランド転送データ数の偶数倍（×2, ×4, ×6, ...）
- 転送データサイズが32ビットの場合は、1オペランド転送データ数の4の倍数倍（×4, ×8, ×12, ...）

上記以外の値を設定した場合の動作は保証されません。

注2. DMAiカレントバイトカウントレジスタへの書き込みは、対応するチャンネルが1オペランド転送中でなく（DMAアービトレーションステータスレジスタのDASTSi="0"）、かつDMA転送が禁止（DMA転送許可レジスタのDENi="0"）に設定されている場合にのみ行ってください。それ以外の場合に、DMAiカレントバイトカウントレジスタへの書き込みを行った場合の動作は保証されません。

11.2.13 DMAiリロードバイトカウントレジスタ

DMA0リロードバイトカウントアドレスレジスタ (DMA0RBCUT)

<アドレス: H'00EF 811C>

DMA1リロードバイトカウントアドレスレジスタ (DMA1RBCUT)

<アドレス: H'00EF 821C>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	?	?	?	?	?	?	?	?	?	?
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?

※バイト(8ビット) / ハーフワード(16ビット) / ワード(32ビット) アクセス可能

<リセット解除時: 不定>

b	ビット名	機能	R	W
0~5	何も配置されていません。"0"に固定してください。		0	0
6~31	DRBCUT DMAiリロードバイト カウントビット	DMAiリロードバイトカウント	R	W

DMAiリロードバイトカウントレジスタは、DMAiカレントバイトカウントレジスタにリロードするバイトカウント値を設定するためのレジスタです。リロード機能を有効にするにはDMAi制御レジスタ0のDMAバイトカウントリロード機能有効ビット (BRLOD) を"1"にセットしてください。この場合、DMAiカレントバイトカウントレジスタ、およびDMAiリロードバイトカウントレジスタの両方に設定を行う必要があります。

注. オペランド転送の最終データ転送時にバイトカウント="0"となるように、DMAiリロードバイトカウントレジスタを設定してください。

- 転送データサイズが8ビットの場合は、1オペランド転送データ数の整数倍 (×1, ×2, ×3, ...)
 - 転送データサイズが16ビットの場合は、1オペランド転送データ数の偶数倍 (×2, ×4, ×6, ...)
 - 転送データサイズが32ビットの場合は、1オペランド転送データ数の4の倍数倍 (×4, ×8, ×12, ...)
- 上記以外の値を設定した場合の動作は保証されません。

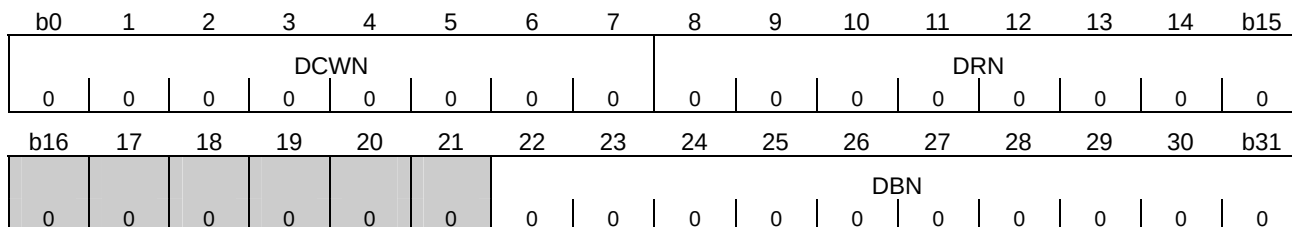
11.2.14 DMAi2次元アドレッシング制御レジスタ

DMA02次元アドレッシング制御レジスタ (DMA02DCR)

<アドレス: H'00EF 8120>

DMA12次元アドレッシング制御レジスタ (DMA12DCR)

<アドレス: H'00EF 8220>



※バイト(8ビット) / ハーフワード(16ビット) / ワード(32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~7	DCWN	0000 0000 : 1ワード	R	W
	DMAiブロック列ワード数	0000 0001 : 2ワード		
		•		
		•		
		1111 1111 : 256ワード		
8~15	DRN	0000 0000 : 1行	R	W
	DMAiブロック行数	0000 0001 : 2行		
		•		
		•		
		1111 1111 : 256行		
16~21	何も配置されていません。"0"に固定してください。		0	0
22~31	DBN	00 0000 0000 : 1ブロック	R	W
	DMAiブロック数	00 0000 0001 : 2ブロック		
		•		
		•		
		11 1111 1111 : 1024ブロック		

(1) DCWN (DMAブロック列ワード数) ビット(b0~b7)

このビットにより、1ブロックの列のワード数を設定します。

注：1オペランド転送データ数選択ビット(OPSEL)で設定したデータ数と同じワード数、または整数倍の数を設定して下さい。異なる設定を行った場合の動作は保証されません。

(2) DRN (DMAブロック行数) ビット(b8~b15)

このビットにより、1ブロックの行数を設定します。

(3) DBN (DMAブロック数) ビット(b22~b31)

このビットにより、1ライン分のブロック数を設定します。

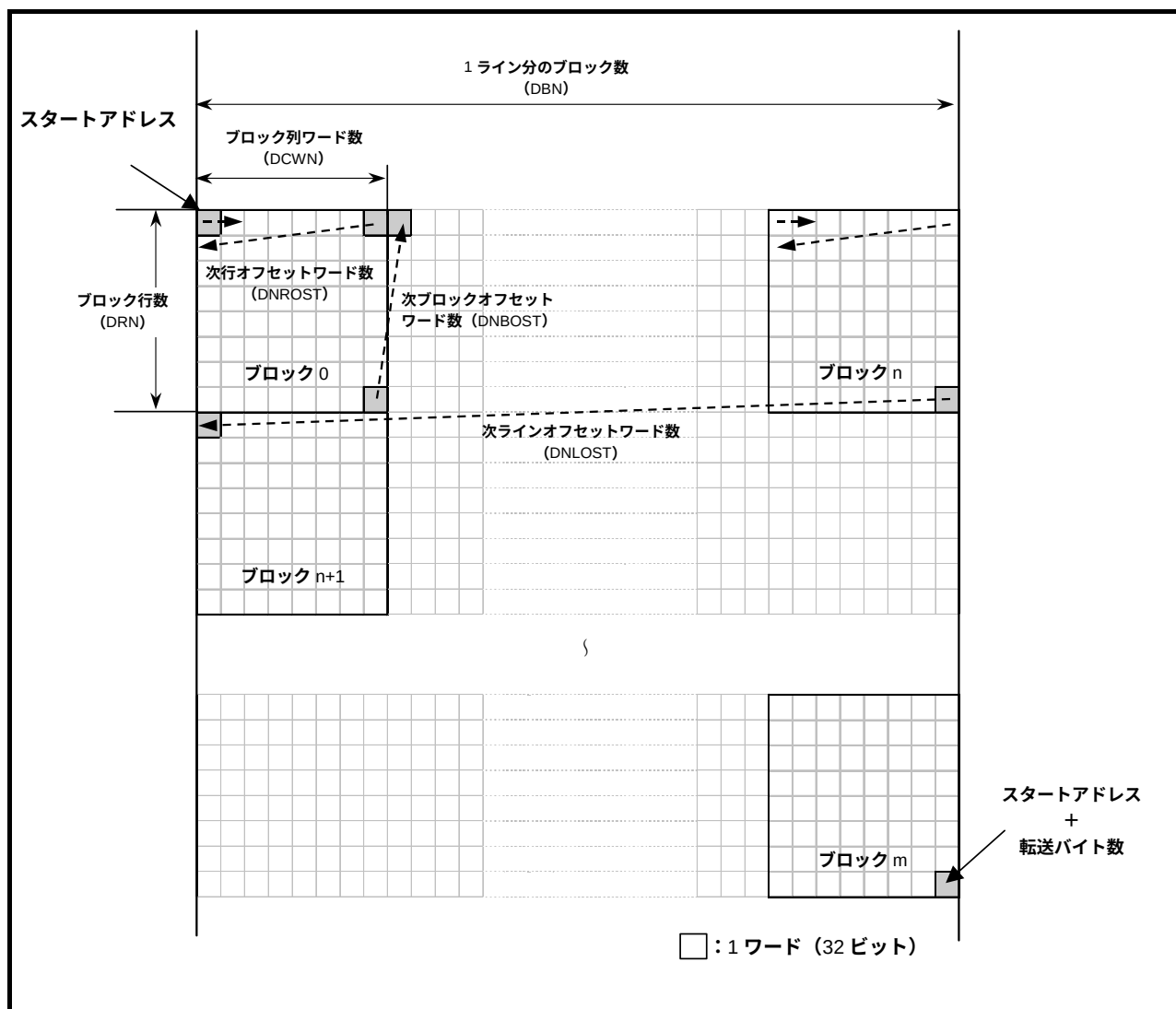


図11.2.4 2次元アドレッシング概念図

11.2.15 DMAi2次元次行オフセットレジスタ

DMA02次元次行オフセットレジスタ (DMA02DNROST)

<アドレス: H'00EF 8130>

DMA12次元次行オフセットレジスタ (DMA12DNROST)

<アドレス: H'00EF 8230>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
DNROST															
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
?	?	?	?	?	?	?	?	?	?	?	?	?	?	0	0

※バイト(8ビット) / ハーフワード(16ビット) / ワード(32ビット) アクセス可能

<リセット解除時: 不定>

b	ビット名	機能	R	W
0~29	DNROST	DMAi2D次行オフセットワード数	R	W
	DMAi2D次行オフセットワード数設定ビット			
30,31	何も配置されていません。"0"に固定してください。		0	0

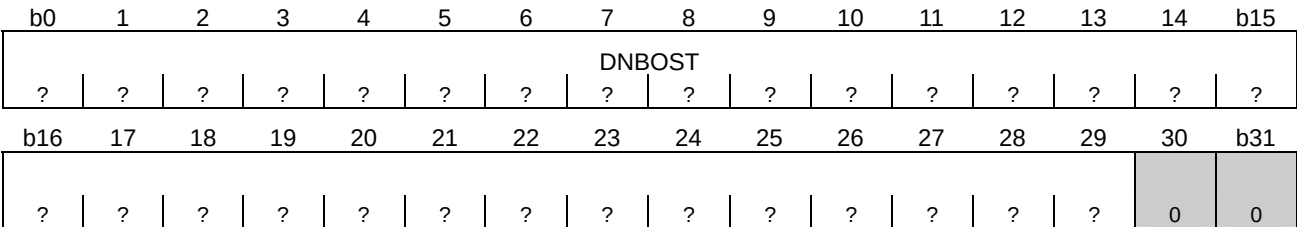
(1) DNROST (DMA次行オフセットワード数) ビット

このビットは、2次元アドレッシングによるDMA転送実行時、1ブロック内の1行分のDMA転送が終了後、次の行の先頭アドレスを指定するために使用します。カレントソースアドレスまたは、カレントデスティネーションアドレスに加算するワード数を設定します。

11.2.16 DMAi次ブロックオフセットレジスタ

DMA02次元次ブロックオフセットレジスタ (DMA02DNBOST) <アドレス：H'00EF 8134>

DMA12次元次ブロックオフセットレジスタ (DMA12DNBOST) <アドレス：H'00EF 8234>



※バイト(8ビット) / ハーフワード(16ビット) / ワード(32ビット) アクセス可能

<リセット解除時：不定>

b	ビット名	機能	R	W
0~29	DNBOST	DMAi2D次ブロックオフセットワード数	R	W
	DMAi2D次ブロックオフセットワード数設定			
30,31	何も配置されていません。"0"に固定してください。		0	0

(1) DNBOST(DMA次ブロックオフセットワード数)ビット

このビットは、2次元アドレッシングによるDMA転送時、1ブロックのDMA転送が終了後、次のブロックの先頭アドレスを指定するために使用します。カレントソースアドレスまたは、カレントデスティネーションアドレスに加算するワード数を設定します。

11.2.17 DMAi2次元次ラインオフセットレジスタ

DMA02次元次ラインオフセットレジスタ (DMA02DNLOST)

<アドレス：H'00EF 8138>

DMA12次元次ラインオフセットレジスタ (DMA02DNLOST)

<アドレス：H'00EF 8238>

[illegible]

※バイト(8ビット) / ハーフワード(16ビット) / ワード(32ビット) アクセス可能

＜リセット解除時：不定＞

b	ビット名	機能	R	W
0~29	DNLOST	DMAi2D次ラインオフセットワード数	R	W
	DMAi2D次ラインオフセットワード数設定			
30,31	何も配置されていません。"0"に固定してください。		0	0

(1) DNLOST (DMA次ラインオフセットワード数) ビット

このビットは、2次元アドレッシングによるDMA転送時、1ライン分のDMA転送が終了後、次のラインの先頭アドレスを指定するために使用します。カレントソースアドレスまたは、カレントデスティネーションアドレスに加算するワード数を設定します。

11.3 DMAC機能説明

以下にDMACの各機能について説明します。

11.3.1 DMACのアービトレーション

DMACは、DMA要求のチャンネル間調停を行います。どのチャンネルからもDMA要求が発生していない場合、バス権はCPUに移ります。いずれかのチャンネルからのDMA要求が発生している場合、バス権獲得要求を出力します。このバス権獲得要求が受け付けられるまで、調停は毎サイクル行われ、バス権獲得要求が受け付けられるとそのサイクルでおこなった調停で決定したチャンネルを保持してオペランド転送を開始します。1オペランド転送を終了するまでチャンネルは遷移しません。

以下にチャンネル優先順位を示します。

●DMA0 > DMA1

11.3.2 DMA要求入力センスモード選択について

DMACは各チャンネル(DMA0、DMA1)ごとに、13要因の中からDMA要求元を選択することができます(内蔵周辺I/Oまたは外部要因からのDMA要求は12要因、ソフトウェアによるDMA要求1要因の計13要因)。ソフトウェアによるDMA要求要因または、外部要因を選択した場合のみ、DMA要求入力センスモード選択ビット(DSE)を設定して下さい。それ以外の場合は、書き込み無効となりますので、設定する必要はありません。

次にレベルセンスとエッジセンスについて説明します。

(1) レベルセンス要求受け付け処理例

レベルセンス選択(DSEビット="01"または"10")時は、DMAリクエスト入力のレベルにより、DMA要求の有無を判断します。DMA要求はDMAC内部では保持されないため、DMA要求が受け付けられたことを確認するまで、DMAリクエストのレベルを保持して下さい。

図11.3.1にレベルセンス要求受付処理例を示します。

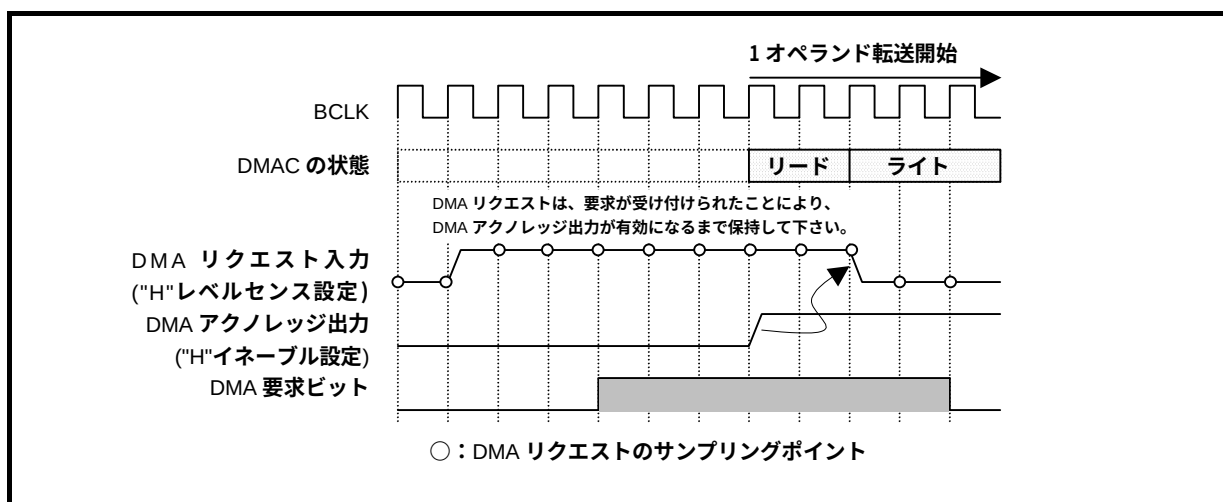


図11.3.1 レベルセンス要求受付処理例

レベルセンスモードを選択している場合、DMAリクエスト入力の要求取り下げ期間に余裕をもたせるため、1オペランド転送終了後、そのチャンネルのDMA要求は2クロック(システムクロック)間受け付けられなくなります。

図11.3.2にタイミング例を示します。

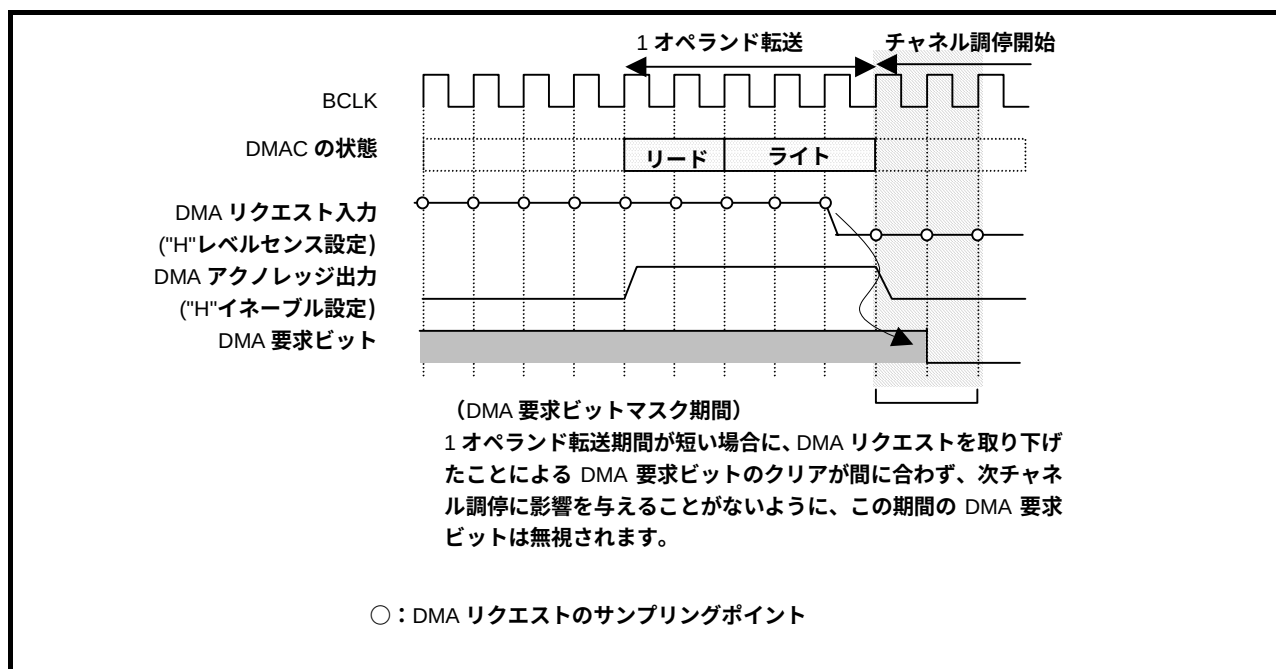


図11.3.2 レベルセンスモード設定時のDMA要求受付マスク期間

したがって、レベルセンス選択されているチャンネルにおいて、DMA要求が受け付けられた後にそのままDMAリクエストのレベルを保持した（DMA転送を要求しつづけた）場合でも、DMA要求マスク期間中はDMA要求がないものと判断されるため、DMACはバス権を開放します。

以下に、レベルセンス選択されているチャンネルにおいて、DMA要求が受け付けられた後も、そのままDMAリクエストのレベルを保持した場合の動作を示します。

DMACは一度バス権を開放し、その後DMACが再びバス権を獲得したときのチャンネル調停において、最優先と判断されたDMA要求が受け付けられます。図11.3.3に動作例を示します。

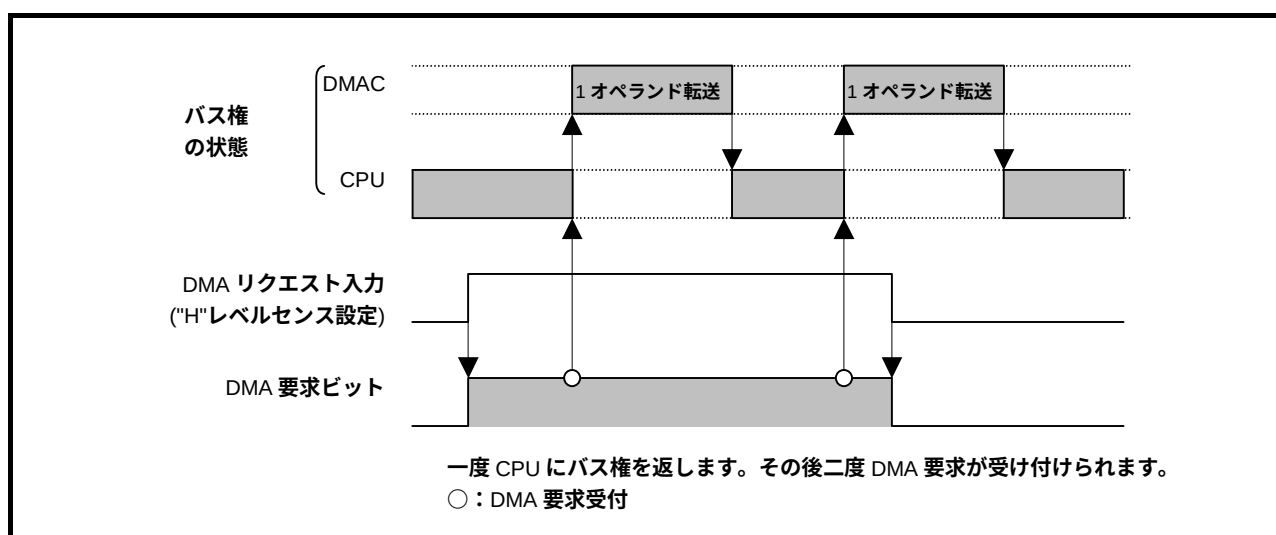


図11.3.3 DMA要求が受け付けられた後もそのままDMAリクエストのレベルを保持した場合の動作例

(2)エッジセンス要求受け付け処理例

DMAリクエスト入力の立ち上がり/立ち下がり遷移をDMA要求として認識します。有効エッジを検出するとDMAi制御レジスタ0のDMA要求ビット(DREQ)が"1"にセットされます。その後、DMAリクエスト入力のレベルが変化しても、DMA要求ビットの値は保持されています。DMA要求が受け付けられ、DMAアクノレッジ信号が有効出力されると、DMA要求ビットは自動的に"0"クリアされます（内蔵周辺I/Oや内部ユーザIPモジュールに対して出力されるDMAアクノレッジ信号は、外部からは参照できません）。

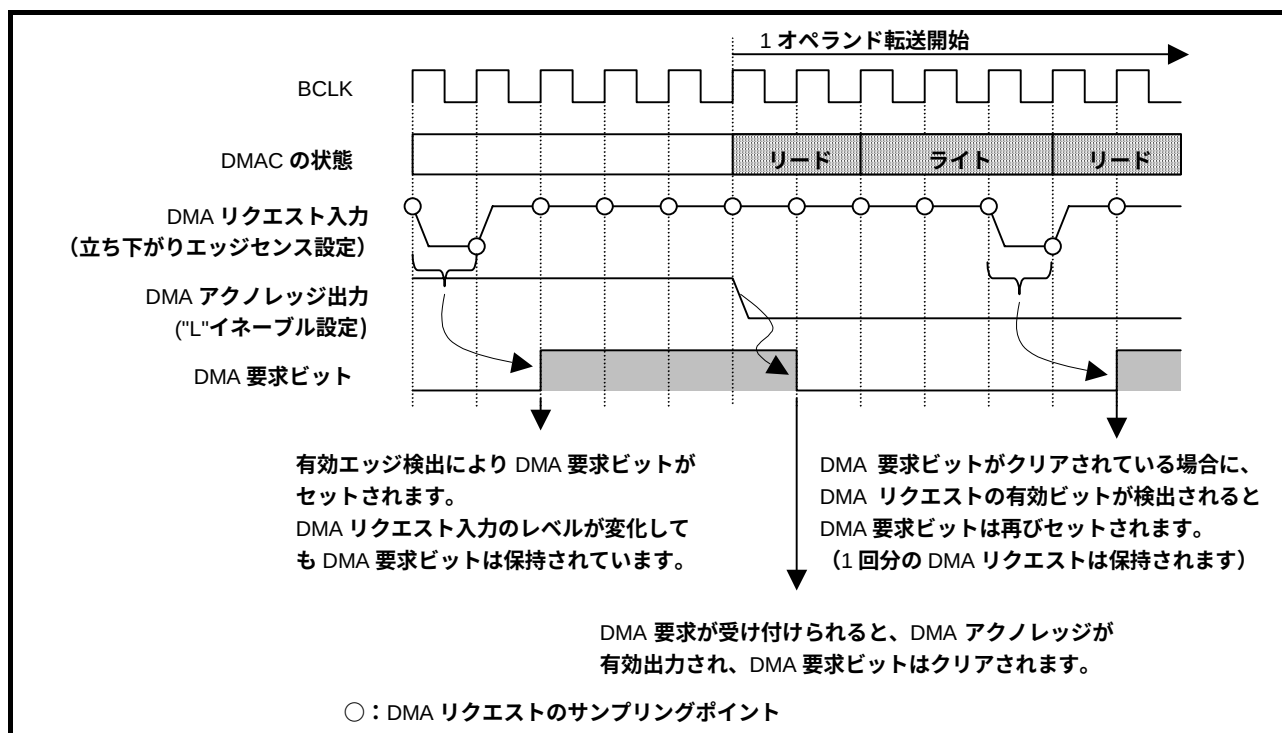


図11.3.4 エッジセンス要求受付処理例

このように、エッジセンスモードのDMA要求の保持はDMA要求ビットで行っていますので、DMA要求ビットが"1"にセットされている状態での、新たなDMAリクエストによるエッジは無視されます。図11.3.4にエッジセンス要求受付処理例を示します。

11.3.3 外部デバイスへのページアクセス

以下の設定により、外部デバイスへのページアクセスが可能となります。

- ①バス権連続取得モードに設定した場合
- ②DMA転送方向選択に内蔵資源 → 外部デバイスまたは、外部デバイス → 内蔵資源を選択した場合
- ③1オペランド転送データ数選択ビットに1データ("000")以外を設定した場合
- ④BSELC制御レジスタ1でページアクセスを有効にした場合

注：転送方向選択で外部デバイス→外部デバイスを選択した場合はページアクセスを行いません。

図11.3.5に外部デバイスへのアクセス例を示します。

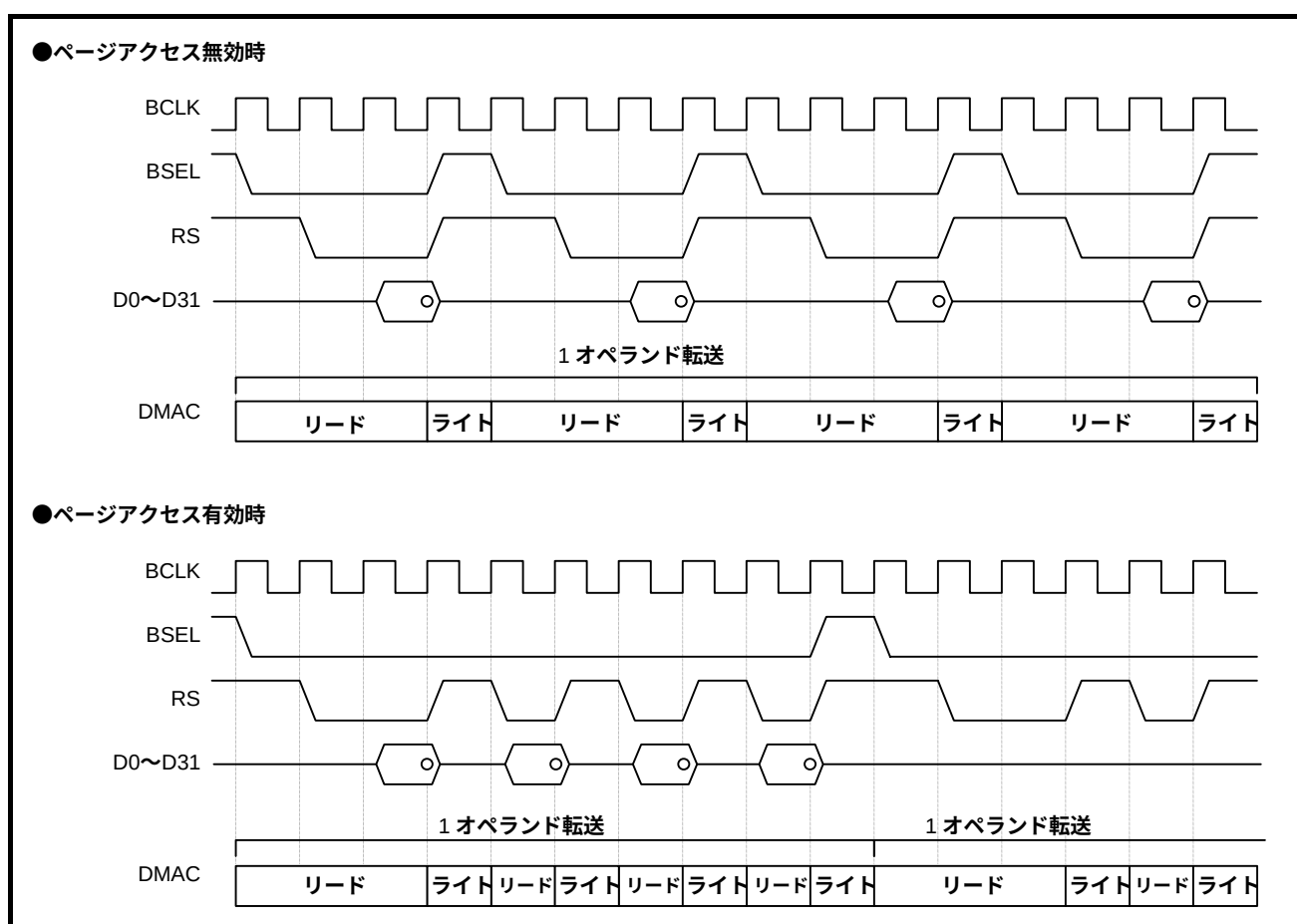


図11.3.5 外部デバイスへのアクセス例

11.3.4 DMA転送サイクル

(1) 転送方式

本DMACの転送方式は、デュアルアドレス転送とフライバイ転送（シングルアドレス転送）の2種類をサポートしています。ただし、フライバイ転送は外部SDRAMとユーザIPモジュールの間でのみ行うことができます。

(2) 転送サイクル

以降にDMA転送におけるサイクルの種類について示します。

①アービトレーションサイクル

DMA要求ビットが"1"にセットされてから、DMA転送リードサイクルが開始されるまでのサイクルです。

②DMA転送リードサイクル

転送データの読み出しサイクルです。アクセス対象のウェイト数によりクロック数が異なります。

③DMA転送ライトサイクル

転送データの書き込みサイクルです。アクセス対象のウェイト数によりクロック数が異なります。

④DMA転送空きサイクル

外部デバイス→外部デバイス間のDMA転送時、DMA転送リードサイクルとDMA転送ライトサイクルの間、およびDMA転送ライトサイクルとDMA転送リードサイクルの間に、1クロックのDMA転送空きサイクルが挿入されます。ただし、1オペランド転送最後のライトサイクル後には空きサイクルは挿入されません。

バス権連続取得モード及びバス権逐次開放モードにおけるDMA転送例を図11.3.6に示します。

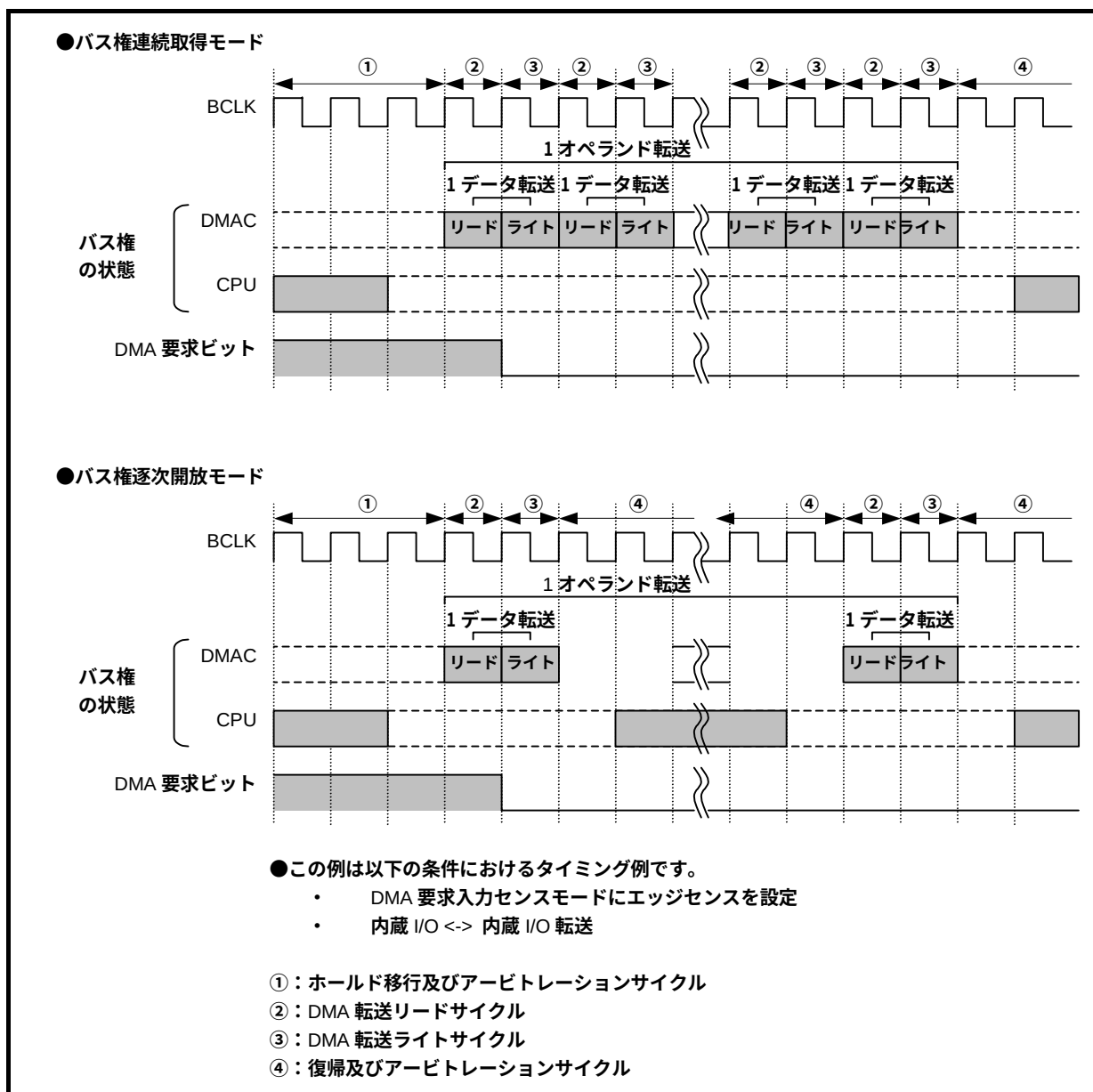


図11.3.6 内蔵周辺I/O ⇄ 内蔵周辺I/O間のDMA転送例

11.3.5 DMA転送の終了条件

DMAiカレントバイトカウントレジスタの値が、"H'0000 0000"（全データの転送終了）になった場合、DMA転送終了条件検出となります。

注: DMAiカレントバイトカウントレジスタ及びDMAiリロードバイトカウントレジスタの値は、以下に示す値を設定して下さい。それ以外の値を設定した場合の動作は保証されません。

- 転送データサイズ=8ビットの場合 : 1オペランドの転送データ数の整数倍(×1、×2、…)
- 転送データサイズ=16ビットの場合 : 1オペランドの転送データ数の偶数倍(×2、×4、…)
- 転送データサイズ=32ビットの場合 : 1オペランドの転送データ数の4の倍数(×4、×8、…)

以下にDMA転送終了条件検出により行われる動作を示します。

■ 割り込み要求の発生:

DMA転送終了検出レジスタの対応するチャンネルのビット(DEDETi)が"1"にセットされます。DMAi制御レジスタ0のDMA転送終了割り込み要求許可ビット(DIRQ)が"1"の場合は、ICU(割り込みコントローラ)に対して、DMA転送終了割り込み要求を出力します(内部信号)。

■ DMAi転送許可ビットのクリア:

DMAi制御レジスタ1のDMA転送許可クリアビット(ECLR)が"1"に設定されている場合、DMAi転送許可ビット(DENi)が"0"にクリアされ、以降のDMA動作を開始しません。

■ バイトカウントレジスタのリロード動作:

DMAi制御レジスタ0のDMAバイトカウントレジスタリロード機能有効ビット(BRLOD)に"1"をセットしている場合、DMAiリロードバイトカウントレジスタの値をDMAiカレントバイトカウントレジスタにリロードします。

■ ソースアドレスレジスタのリロード動作:

DMAi制御レジスタ0のDMAソースアドレスレジスタリロード機能有効ビット(SRLOD)に"1"をセットしている場合、DMAiリロードソースアドレスレジスタの値をDMAiカレントソースアドレスレジスタにリロードします。

■ デスティネーションアドレスレジスタのリロード動作:

DMAi制御レジスタ0のDMAデスティネーションアドレスレジスタリロード機能有効ビット(DRLOD)に"1"をセットしている場合、DMAiリロードデスティネーションアドレスレジスタの値をDMAiカレントデスティネーションアドレスレジスタにリロードします。

11.3.6 リロード機能

リロード機能の設定は、チャンネル及び転送パラメータ（ソースアドレス、デスティネーションアドレス、バイトカウント）ごとに、DMAi制御レジスタ0の各リロード機能有効ビットをセットすることにより行います。DMA転送終了条件を検出した場合、DMA転送パラメータを自動的にリロードします。

(1) リロードレジスタとカレントレジスタ

リロード機能を使用しない場合、カレントレジスタにデータを設定して下さい。リロード機能を使用する場合、リロードレジスタとカレントレジスタの両方にデータを設定して下さい。

なお、1オペランド転送中にカレントレジスタに書き込みを行わないでください。書き込みを行った場合の動作は保証されません。リロードレジスタについては、1オペランド転送途中でも設定可能です。

リロードタイミングの例を図11.3.7に示します。リロードはDMA転送終了条件を検出したデータ転送終了時に行われます。

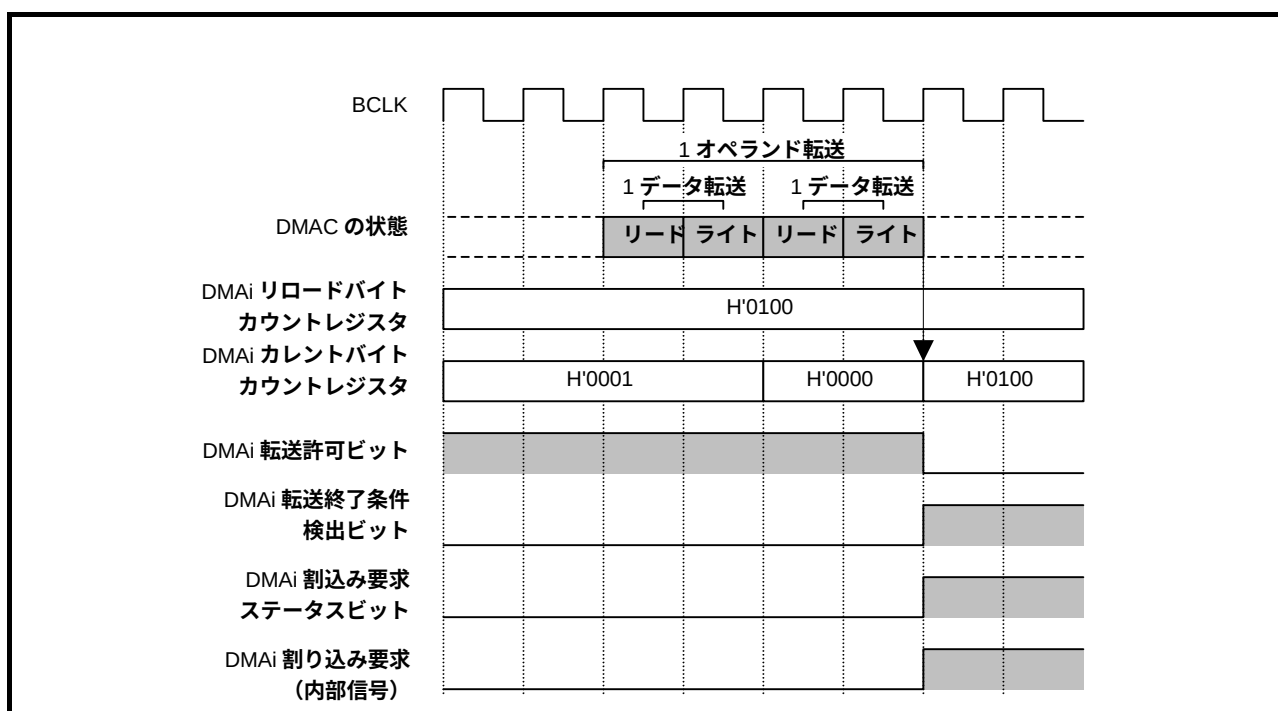


図11.3.7 リロードタイミング

(2) 離散配置された領域への連続転送

リロード機能を使用すると、離散配置された領域への連続転送が可能です。

転送が終了する前にリロードソース/デスティネーションアドレスレジスタやリロードバイトカウントレジスタに値を書き込むことによって、実行中のDMA転送（カレントレジスタ）に影響を及ぼすことなく次の転送パラメータの準備ができます。したがって、転送領域やバイト数の異なる複数の転送ブロックを同一チャネルで連続的に転送することができます。図11.3.8に離散配置された領域への連続転送例を示します。

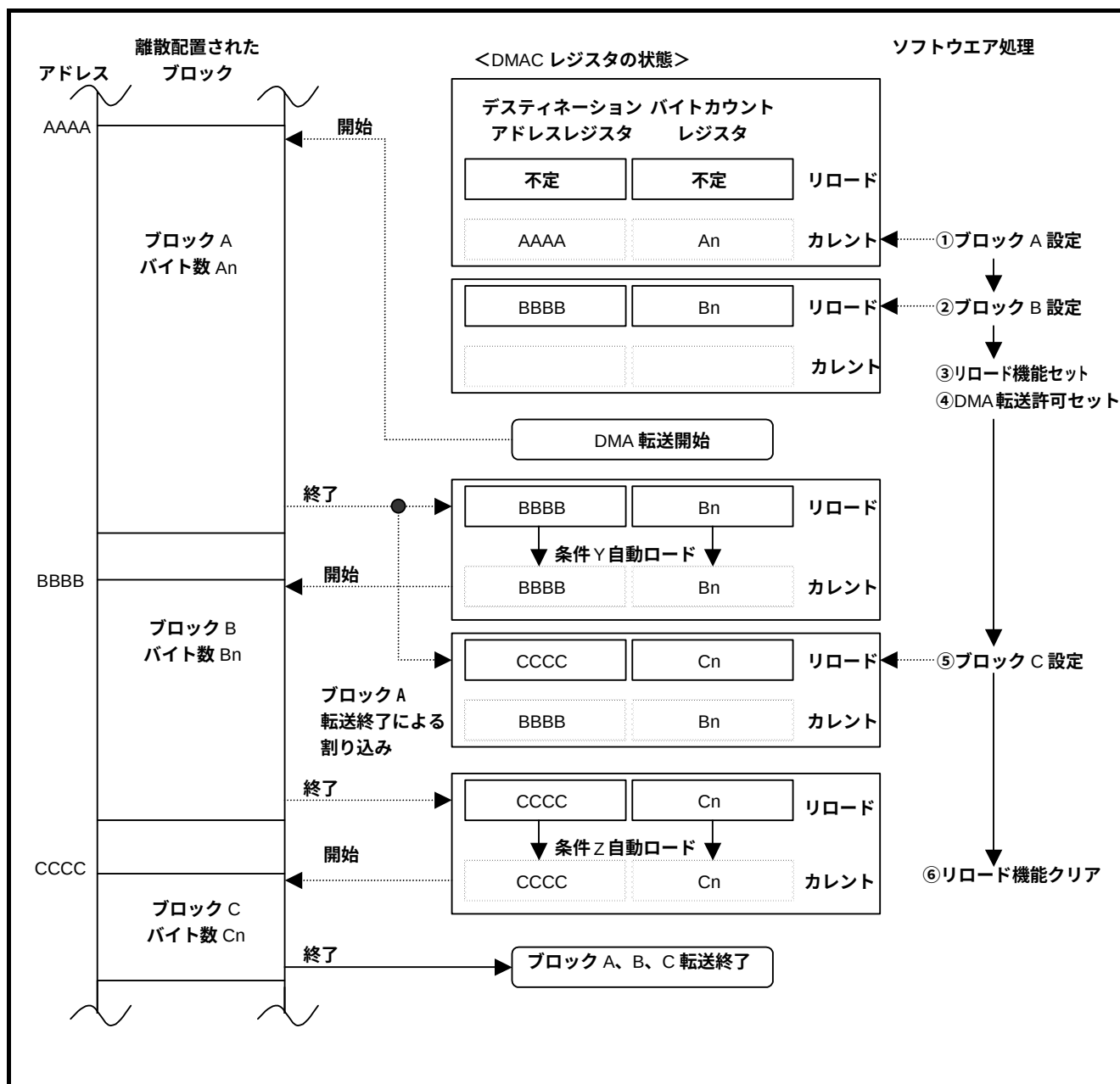


図11.3.8 リロード機能を用いた離散配置されたブロックの転送例

11.3.7 オペランド転送の中止動作

(1) ソフトウェアによるオペランド転送の一時停止

サイクルスチール転送モードでオペランド転送を実行している場合、全チャネルのDMAi転送許可ビットを"0"にクリアすることにより、1オペランド転送途中でも転送を一時停止させることが可能です。一時停止させる場合に、全チャネルのDMAi転送許可ビットを"0"クリアせず、"1"にセットされているチャンネルが存在した場合には、それ以降の動作は保証されません。

一時停止しているオペランド転送を再開させる場合には、再びDMAi転送許可ビットを"1"にセットして下さい。

また、一時停止しているオペランド転送を再開せず、残りの転送を中止したい場合には、全チャネルのDMAi転送許可ビットが"0"にクリアされている状態のまま、DMAi制御レジスタ1のDMA転送ステータスクリアビット(DSCLR)に"1"をセットして下さい。DMAi制御レジスタ1のDMAステータスクリアビットを"1"にセットすることにより、DMAC内部で持っている転送ステータスと、DMAアービトレーションステータスレジスタのみクリアされます。その他のレジスタの内容に影響はありません。

注：DMA転送ステータスクリアビットに"1"をセットした場合、その値は保持されません。

図11.3.9にDMA転送ステータスクリアビットを用いた場合のDMAアクノレッジ信号タイミングを示します。

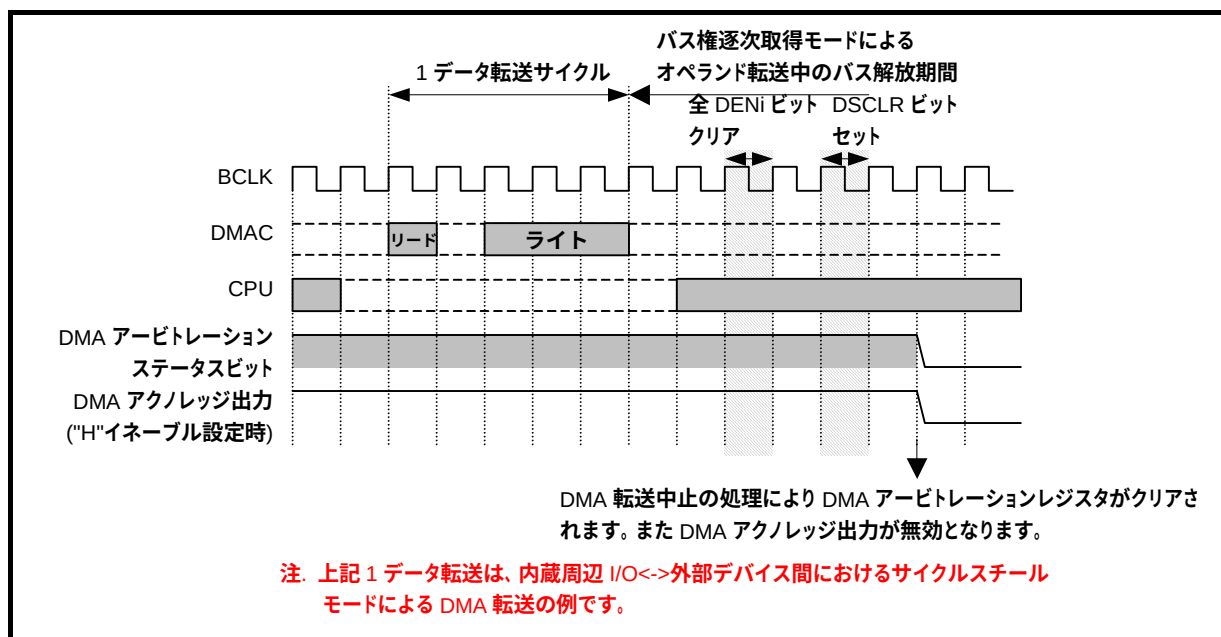


図11.3.9 DSCLRビットを用いた場合のDMAアクノレッジ信号タイミング

11.3.8 転送速度

転送速度の計算方法例を以下に示します。

計算条件

- DMA転送モード：バス権連続取得モード
- 転送単位：アライメントがとれている32ビットデータまたは16ビットデータ
- 動作クロック：100MHz
- 外部デバイスウェイト数(注)：リード時のウェイト数0ウェイト、ライト時のウェイト数0ウェイト

■内蔵周辺 I/O（内蔵メモリ） → 内蔵周辺 I/O(内蔵メモリ)の最大転送速度

$$\frac{100\text{MHz}}{1[\text{リード}] + 1[\text{ライト}]} \times 4 (\text{バイト}) = 200\text{M バイト/秒}$$

■内蔵周辺 I/O(内蔵メモリ) → 外部デバイスの最大転送速度

$$\frac{100\text{MHz}}{1[\text{リード}] + 3[\text{ライト}] + 1[\text{アイドル}]} \times 2 (\text{バイト}) = 40\text{M バイト/秒}$$

■外部デバイス → 内蔵周辺 I/O(内蔵メモリ)の最大転送速度

$$\frac{100\text{MHz}}{2[\text{リード}] + 1[\text{ライト}] + 2[\text{アイドル}]} \times 2 (\text{バイト}) = 40\text{M バイト/秒}$$

■外部デバイス → 外部デバイスの最大転送速度

$$\frac{100\text{MHz}}{2[\text{リード}] + 3[\text{ライト}] + 2[\text{アイドル}]} \times 2 (\text{バイト}) = 28.5\text{M バイト/秒}$$

注：外部デバイスへのウェイトはBSELCの制御レジスタにて行います。詳細については「第9章 外部バスインタフェース」を参照して下さい。

11.3.9 DMAC関連レジスタの初期設定例

以下にDMACの初期設定例を示します。

設定 順序 ↓	①DMAi制御レジスタ0
	②DMAi制御レジスタ1
	③DMAiカレントソースアドレスレジスタ
	④DMAiリロードソースアドレスレジスタ ... リロード機能使用時
	⑤DMAiカレントデスティネーションアドレスレジスタ
	⑥DMAiリロードデスティネーションアドレスレジスタ ... リロード機能使用時
	⑦DMAiカレントバイトカウントレジスタ
	⑧DMAiリロードバイトカウントレジスタ ... リロード機能使用時
	⑨DMAi割り込み制御レジスタ ... 割り込み使用時
	⑩DMA転送許可ビット

11.4 DMAC設定例

図11.4.1～図11.4.3にDMAC設定例を示します。

■DMA 設定例 1 SDRAM→ユーザ IP モジュール、フライバイ転送

- FBWL : 5CLK
- SZSEL : "10" (ワード)
- MDSEL : "0" (バス権連続取得)
- DSEL : "0" (1 オペランド転送完了まで)
- OPSEL : "010" (4 データ)
- SAMOD : "01" (インクリメント)
- DAMOD : FB="1"のときは無効
- FB : "1" (フライバイ転送)
- TDIR : "111" (SDRAM→ユーザ IP モジュール)
- REQSEL : "00010" (ユーザ IP モジュール)

■DMA フライバイ転送レイテンシレジスタ

[illegible]

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
					FBRL									FBWL	
0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	1

■DMAi 制御レジスタ 0

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
DREQ		SZSEL			MDSEL		DIRQ	DSEL	OPSEL				ALSEL	BRLOD	SRLOD	DRLOD
0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
SAMOD		DAMOD		FB	TDIR			DSE			REQSEL				
0	1	0	0	1	1	1	1	0	0	0	0	0	0	1	0

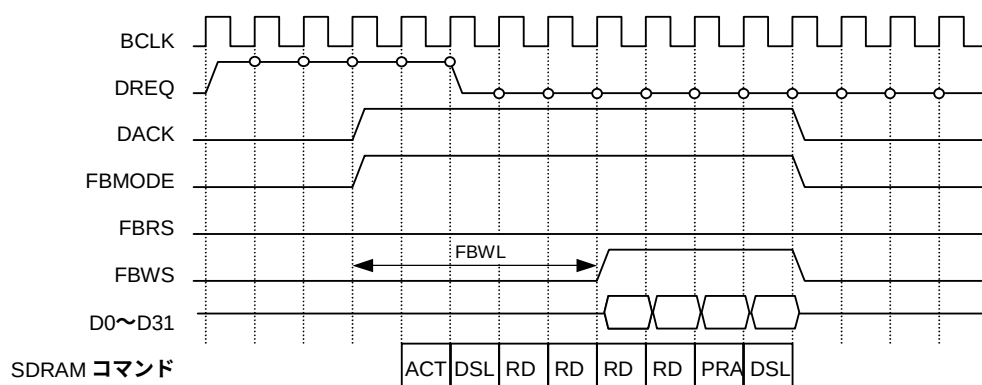


図11.4.1 DMA設定例1

■DMA 設定例 2 SDRAM→外部 I/O デバイス デュアルアドレス転送

- SZSEL: "10" (ワード)
- MDSEL: "0" (バス権連続取得)
- DSEL: "0" (1 オペランド転送完了まで)
- OPSEL: "001" (2 データ)
- SAMOD: "01" (インクリメント)
- DAMOD: "01" (インクリメント)
- FB: "0" (デュアルアドレス転送)
- TDIR: "011" (外部→外部)
- REQSEL: "00001" (外部デバイス)

■DMAi 制御レジスタ 0

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DREQ		SZSEL			MDSEL		DIRQ	DSEL		OPSEL		ALSEL	BRLOD	SRLOD	DRLOD
0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
SAMOD		DAMOD		FB		TDIR			DSE				REQSEL		
0	1	0	1	0	0	1	1	0	0	0	0	0	0	0	1

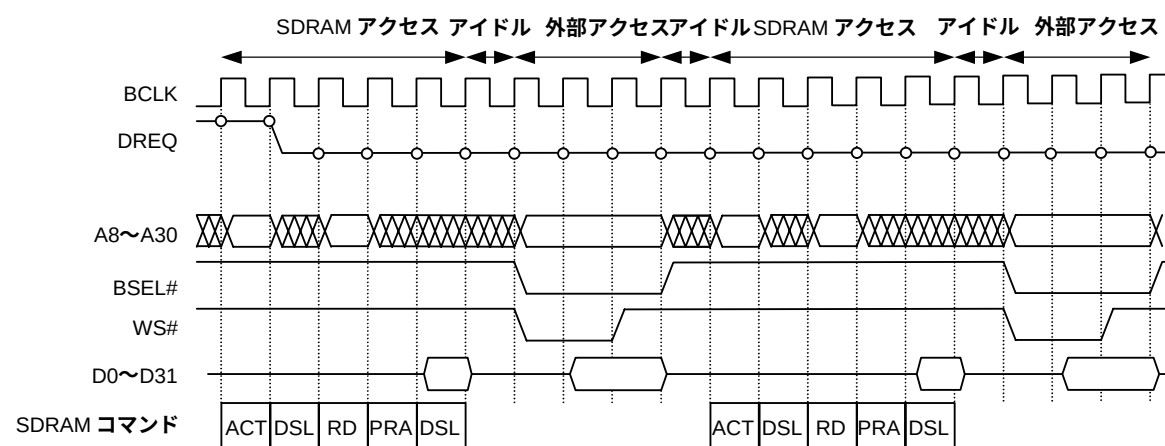


図11.4.2 DMA設定例2

■DMA 設定例 3 内蔵 SRAM を介した外部 I/O デバイス→SDRAM デュアルアドレス転送

DMA チャンネル 0 (外部 I/O→内蔵 SRAM)

- SZSEL: "10" (ワード)
- MDSEL: "0" (バス権連続取得)
- DSEL: "0" (1 オペランド転送完了まで)
- OPSEL: "001" (2 データ)
- SAMOD/DAMOD: "01" (インクリメント)
- FB: "0" (デュアルアドレス転送)
- TDIR: "010" (外部デバイス→内蔵資源)
- REQSEL: "00001" (外部デバイス)

■DMA0 制御レジスタ 0

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DREQ		SZSEL		MDSEL		DIRQ	DSEL		OPSEL		ALSEL	BRLOD	SRLOD	DRLOD	
0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
SAMOD		DAMOD		FB		TDIR		DSE				REQSEL			
0	1	0	1	0	0	1	0	0	0	0	0	0	0	0	1

■DMA1 制御レジスタ 0

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DREQ		SZSEL		MDSEL		DIRQ	DSEL		OPSEL		ALSEL	BRLOD	SRLOD	DRLOD	
0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
SAMOD		DAMOD		FB		TDIR		DSE				REQSEL			
0	1	0	1	0	0	0	1	0	0	0	0	0	0	0	1

DMA チャンネル 1 (内蔵 SRAM→SDRAM)

- SZSEL: "10" (ワード)
- MDSEL: "0" (バス権連続取得)
- DSEL: "0" (1 オペランド転送完了まで)
- OPSEL: "001" (2 データ)
- SAMOD/DAMOD: "01" (インクリメント)
- FB: "0" (デュアルアドレス転送)
- TDIR: "010" (内蔵資源→外部デバイス)
- REQSEL: "00001" (外部デバイス)

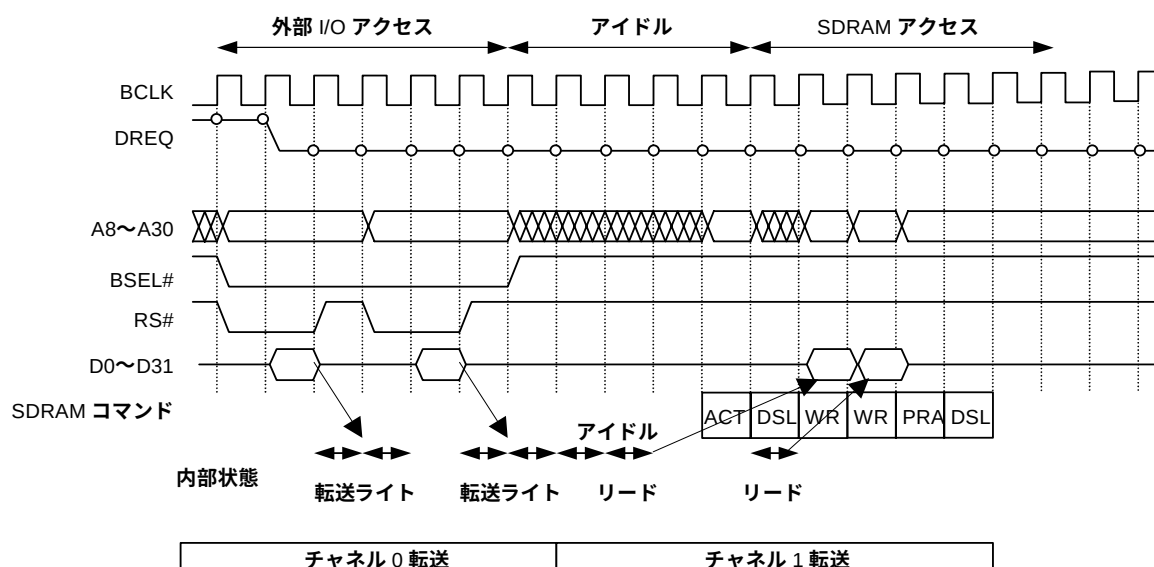


図11.4.3 DMA転送例3

11.5 DMACの注意事項

1. DMAi制御レジスタ0のDMA要求要因選択ビット(REQSEL)によりソフトウェア起動以外が設定されている場合、ソフトウェアによりDMAi制御レジスタ0のDMA要求ビット(DREQ)に"1"を書き込まないでください。"1"にセットした場合、それ以降の動作は保証されません。
2. DMAi制御レジスタ0の転送データサイズ選択ビット(SZSEL)により、8ビットが設定されている場合、DMAカレントバイトカウント、及びDMAリロードバイトカウントに設定される数は、DMAi制御レジスタ0の1オペランド転送データ数選択ビット(OPSEL)で選択した転送データ数の整数倍になるように値を設定して下さい。また転送データサイズ選択ビットにより、16ビットが設定されている場合、32ビットが設定されている場合、それぞれDMAカレントバイトカウントの値を、1オペランド転送データ数選択ビットで選択した転送データ数の偶数倍、4の倍数倍になるように値を設定して下さい。それ以外の値を設定した場合の動作は保証されません。
 - 転送データサイズ=8ビットの場合 : 1オペランドの転送データ数の整数倍($\times 1$ 、 $\times 2$ 、 $\dots$)
 - 転送データサイズ=16ビットの場合 : 1オペランドの転送データ数の偶数倍($\times 2$ 、 $\times 4$ 、 $\dots$)
 - 転送データサイズ=32ビットの場合 : 1オペランドの転送データ数の4の倍数($\times 4$ 、 $\times 8$ 、 $\dots$)
3. 1オペランド転送途中でDMAiカレントソースアドレスレジスタへの書き込みを行った場合の動作は保証されません。
4. 1オペランド転送途中でDMAiカレントデスティネーションアドレスレジスタへの書き込みを行った場合の動作は保証されません。
5. 1オペランド転送途中でDMAiカレントバイトカウントレジスタへの書き込みを行った場合の動作は保証されません。
6. DMAiカレントソースアドレスレジスタ、DMAiリロードソースアドレスレジスタ、DMAiカレントデスティネーションアドレスレジスタ、DMAiリロードデスティネーションアドレスレジスタの以上4つのレジスタには、DMAi制御レジスタ0の転送データサイズ選択ビット(SZSEL)により選択された転送データサイズに対して、アライメントの取れたアドレス境界内でDMA転送が行われるようにレジスタを設定して下さい。それ以外の値を設定した場合の動作は保証されません。
7. サイクルスチールモードによるオペランド転送を一時停止させる場合には、すべてのDMAi転送許可ビット(DEN)を"0"にクリアしてください。一時停止しているチャンネルではない別チャンネルのDMAi転送許可ビットが"1"にセットされている場合、それ以降の動作は保証されません。
8. いずれかのチャンネルのDMAi転送許可ビット (DEN) が"1"にセットされている場合、DMAi制御レジスタ1のDMA転送ステータスクリアビット(DSCLR)に"1"を書き込まないでください。"1"を書き込んだ場合、それ以降の動作は保証されません。またDMA転送ステータスクリアビットは、各チャンネルに用意されていますが、このビットは全チャンネル共通で機能します。したがって、どのチャンネルのDMA転送ステータスクリアビットに"1"を書き込んでも、一時停止しているDMA転送は中止されます。

レイアウトの都合上、このページは白紙です。

第12章

マルチファンクションタイマ (MFT)

12.1 マルチファンクションタイマ概要

マルチファンクションタイマはモードレジスタの設定によって以下に示す機能のタイマ/カウンタとして使用できます。

●出力系タイマ

定周期タイマ

PWM波形出力タイマ

ワンショットタイマ

リアルポートタイマ

●入力系タイマ

周期/パルス幅計測タイマ

1相イベントカウンタ

2相イベントカウンタ

図12.1.1にMFT構成図を示し、図12.1.2にMFT基本ブロック図を示します。また、MFTを基本的なモードに設定したときの各端子の機能を図12.1.3に示します。

なお、本章ではMFTiの i は0～5と規定します。

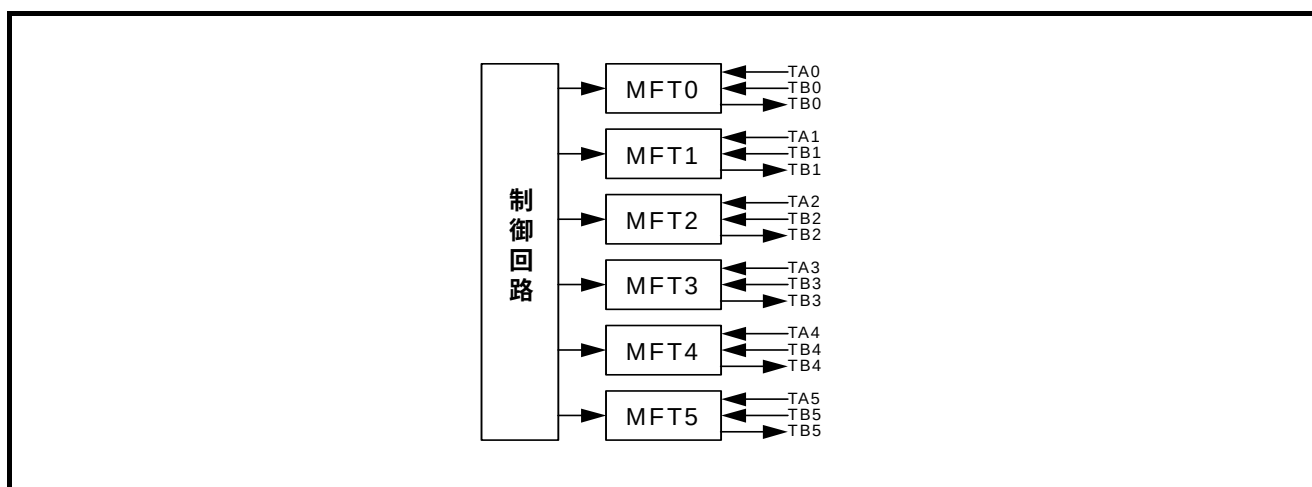


図12.1.1 MFT構成図

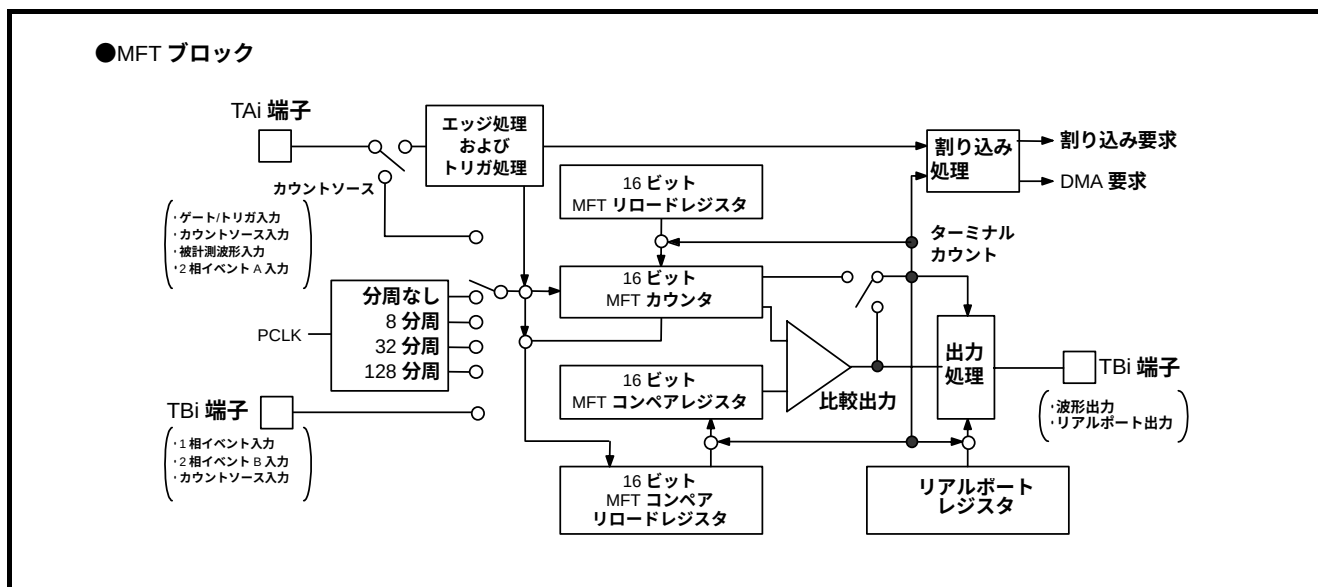


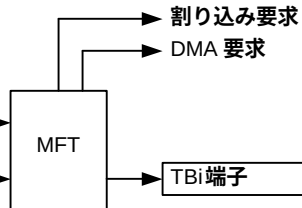
図12.1.2 MFT基本ブロック図

●MFTi ブロック

- ・ゲート/トリガ入力
- ・カウントソース入力
- ・被計測波形入力
- ・2相イベント A 入力
- ・1相イベント入力
- ・2相イベント B 入力
- ・カウントソース入力

□ TAI 端子

□ TBI 端子



- ・波形出力
- ・リアルポート出力

基本モード 端子名		出力系				入力系	
		定周期タイマ	PWM 波形 出力タイマ	ワンショット タイマ	リアルポート タイマ	周期/パルス幅 計測タイマ	1相イベント カウンタ
TAI 端子	入力	ゲート/トリガ入力 又は カウントソース入力	ゲート/トリガ入力 又は カウントソース入力	ゲート/トリガ入力 又は カウントソース入力		被計測波形入力	ゲート/トリガ入力
TBI 端子	入力					カウントソース入力	1相イベント入力
TBI 端子	出力	波形出力	波形出力	波形出力	リアルポート 出力		2相イベント B 入力

図12.1.3 MFTのモードと端子の機能

12.2 マルチファンクションタイマ関連レジスタ

マルチファンクションタイマ関連レジスタのメモリマップと各レジスタについて以下に説明します。

マルチファンクションタイマのレジスタマッピング¹

番地	b0	+0番地	b7	b8	+1番地	b15	b16	+2番地	b23	b24	+3番地	b31
H'00EF C000	MFT制御レジスタ (MFTCR)											
H'00EF C004	MFTリアルポートレジスタ (MFTRPR)											
?	(使用禁止領域)											
H'00EF C100	MFT0モードレジスタ (MFT0MOD)											
H'00EF C104	MFT0端子出力状態レジスタ (MFT0OS)											
H'00EF C108	MFT0カウンタ (MFT0CUT)											
H'00EF C10C	MFT0リロードレジスタ (MFT0RLD)											
H'00EF C110	MFT0コンペアリロードレジスタ (MFT0CMPRLD)											
?	(使用禁止領域)											
H'00EF C200	MFT1モードレジスタ (MFT1MOD)											
H'00EF C204	MFT1端子出力状態レジスタ (MFT1OS)											
H'00EF C208	MFT1カウンタ (MFT1CUT)											
H'00EF C20C	MFT1リロードレジスタ (MFT1RLD)											
H'00EF C210	MFT1コンペアリロードレジスタ (MFT1CMPRLD)											
?	(使用禁止領域)											
H'00EF C300	MFT2モードレジスタ (MFT2MOD)											
H'00EF C304	MFT2端子出力状態レジスタ (MFT2OS)											
H'00EF C308	MFT2カウンタ (MFT2CUT)											
H'00EF C30C	MFT2リロードレジスタ (MFT2RLD)											
H'00EF C310	MFT2コンペアリロードレジスタ (MFT2CMPRLD)											
?	(使用禁止領域)											

マルチファンクションタイマのレジスタマッピング2

番地	b0	+0番地	b7	b8	+1番地	b15	b16	+2番地	b23	b24	+3番地	b31
H'00EF C400	MFT3モードレジスタ (MFT3MOD)											
H'00EF C404	MFT3端子出力状態レジスタ (MFT3OS)											
H'00EF C408	MFT3カウンタ (MFT3CUT)											
H'00EF C40C	MFT3リロードレジスタ (MFT3RLD)											
H'00EF C410	MFT3コンペアリロードレジスタ (MFT3CMPRLD)											
?	(使用禁止領域)											
H'00EF C500	MFT4モードレジスタ (MFT4MOD)											
H'00EF C504	MFT4端子出力状態レジスタ (MFT4S)											
H'00EF C508	MFT4カウンタ (MFT4CUT)											
H'00EF C50C	MFT4リロードレジスタ (MFT4RLD)											
H'00EF C510	MFT4コンペアリロードレジスタ (MFT4CMPRLD)											
?	(使用禁止領域)											
H'00EF C600	MFT5モードレジスタ (MFT5MOD)											
H'00EF C604	MFT5端子出力状態レジスタ (MFT5OS)											
H'00EF C608	MFT5カウンタ (MFT5CUT)											
H'00EF C60C	MFT5リロードレジスタ (MFT5RLD)											
H'00EF C610	MFT5コンペアリロードレジスタ (MFT5CMPRLD)											

12.2.1 MFT制御レジスタ

MFT制御レジスタ (MFTCR)

<アドレス: H'00EF C000>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
MFT0MSK	MFT0MSK	MFT2MSK	MFT3MSK	MFT4MSK	MFT5MSK			MFT0EN	MFT1EN	MFT2EN	MFT3EN	MFT4EN	MFT5EN		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

※バイト(8ビット) / ハーフワード(16ビット) / ワード(32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~15	何も配置されていません。"0"に固定してください。		0	0
16	MFT0MSK	0 : MFT0ENは書き込みマスク状態	0	注
	MFT0ENの書き込みマスクビット	1 : MFT0ENの書き込みマスクを解除		
17	MFT1MSK	0 : MFT1ENは書き込みマスク状態	0	注
	MFT1ENの書き込みマスクビット	1 : MFT1ENの書き込みマスクを解除		
18	MFT2MSK	0 : MFT2ENは書き込みマスク状態	0	注
	MFT2ENの書き込みマスクビット	1 : MFT2ENの書き込みマスクを解除		
19	MFT3MSK	0 : MFT3ENは書き込みマスク状態	0	注
	MFT3ENの書き込みマスクビット	1 : MFT3ENの書き込みマスクを解除		
20	MFT4MSK	0 : MFT4ENは書き込みマスク状態	0	注
	MFT4ENの書き込みマスクビット	1 : MFT4ENの書き込みマスクを解除		
21	MFT5MSK	0 : MFT5ENは書き込みマスク状態	0	注
	MFT5ENの書き込みマスクビット	1 : MFT5ENの書き込みマスクを解除		
22,23	何も配置されていません。"0"に固定してください。		0	0
24	MFT0EN	0 : MFT0停止	R	W
	MFT0許可ビット)	1 : MFT0動作許可		
25	MFT1EN	0 : MFT1停止	R	W
	MFT1許可ビット	1 : MFT1動作許可		
26	MFT2EN	0 : MFT2停止	R	W
	MFT2許可ビット	1 : MFT2動作許可		
27	MFT3EN	0 : MFT3停止	R	W
	MFT3許可ビット	1 : MFT3動作許可		
28	MFT4EN	0 : MFT4停止	R	W
	MFT4許可ビット	1 : MFT4動作許可		
29	MFT5EN	0 : MFT5停止	R	W
	MFT5許可ビット	1 : MFT5動作許可		
30~31	何も配置されていません。"0"に固定してください。		0	0

注: 「0」書き込みは無効、「1」書き込みデータは保持されない」ことを示します。

(1) MFTIMSK (MFTiENの書き込みマスク) ビット (b16~b21)

このビットにより、MFTi許可ビット (MFTiEN) の書き込みマスクを制御します。

MFTi許可ビットへの書き込みと同時に、対応するこのビットを"0"にクリアしている場合、MFTi許可ビットへの書き込みは行われません。

MFTi許可ビットへの書き込みと同時に、対応するこのビットを"1"にセットしている場合、MFTi許可ビットへの書き込みが有効となり、MFTi許可ビットの値を変更することができます。

このビットは"1"にセットしても、その値を保持しません。したがって、MFTi許可ビットへ書き込みを行うごとに、このビットに同時に"1"をセットしてください。

(2) MFTiEN (MFTi許可) ビット (b24~b29)

このビットにより、MFTiの起動許可、禁止を設定します。

このビットを"1"にセットした場合、MFTiの起動が許可されます。

このビットを"0"にクリアした場合、MFTiは停止します。停止時はMFTiカウンタの値をそのまま保持し、再度このビットを"1"にセットしてMFTiが起動した場合には、その値から動作します。

このビットを読み出すことによりタイマの動作許可中/停止を確認することができます。

以下のすべての条件が満たされた場合、このビットは自動的に"0"にクリアされます。

- 出力系タイマとして使用している場合 (MFTiモードレジスタのTSEL="1"の場合)
- ゲート極性/トリガ選択ビット (出力系MFTiモードレジスタのGTSEL) でトリガ入力以外を選択している場合
- ターミナルカウント回数選択ビット (出力系MFTiモードレジスタのTCSEL) で1回を選択した場合
- ターミナルカウントに達した後に次に有効なカウントソースを入力した場合

注1. 各MFTはカウントソースを生成するクロックデバイダを共通で使用しています。そのため、MFTiを起動したときに、クロックデバイダの初期化は行いません。したがって、起動から実際にMFTiがカウント開始、あるいは波形出力するまでの時間には、選択されたカウントソースの周期 (分解能) 以下のハードウェア的な不確定さが伴います。

注2. カウント動作開始のタイミングは入力系タイマと出力系タイマで異なります。

注3. カウントソースは外部から観測することはできません。

図12.2.1にMFTi起動タイミングを示します。

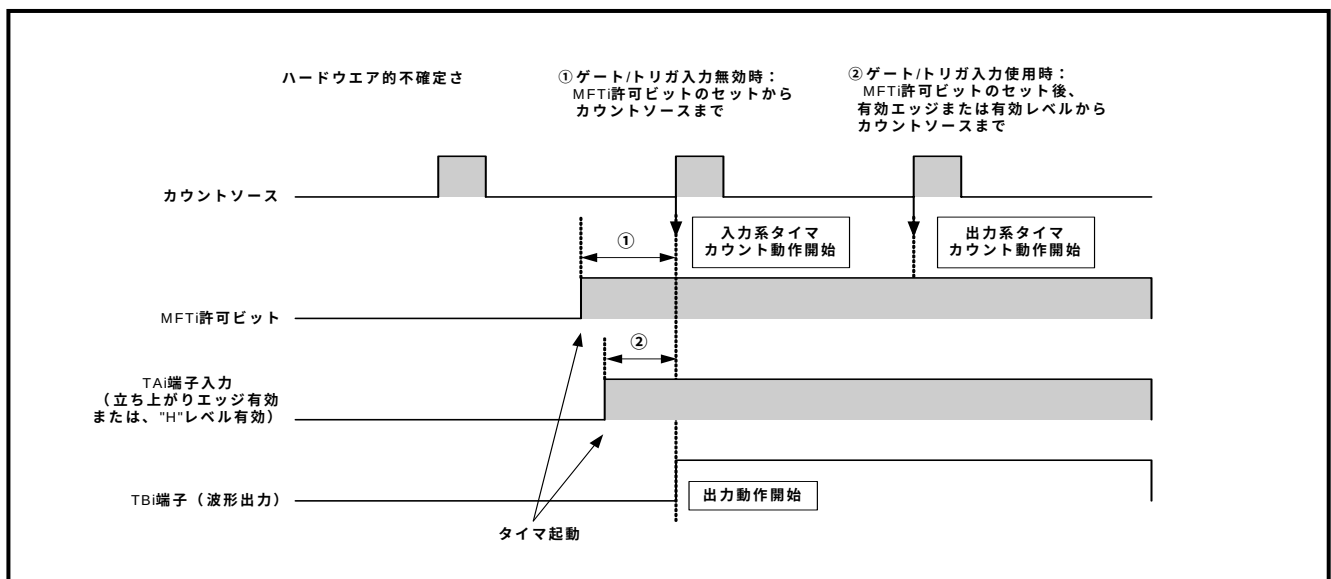


図12.2.1 MFTi起動タイミング

12.2.2 MFTリアルポートレジスタ

MFTリアルポートレジスタ (MFTRPR)

<アドレス: H'00EF C004>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
MT0D	MT1D	MT2D	MT3D	MT4D	MT5D										
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

※バイト(8ビット) / ハーフワード(16ビット) / ワード(32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~15	何も配置されていません。"0"に固定してください。		0	0
16	MT0D MFTリアルポートデータビット	0: TB0端子より"L"出力 1: TB0端子より"H"出力	R	W
17	MT1D MFT1リアルポートデータビット	0: TB1端子より"L"出力 1: TB1端子より"H"出力	R	W
18	MT2D MFT2リアルポートデータビット	0: TB2端子より"L"出力 1: TB2端子より"H"出力	R	W
19	MT3D MFT2リアルポートデータビット	0: TB3端子より"L"出力 1: TB3端子より"H"出力	R	W
20	MT4D MFT2リアルポートデータビット	0: TB4端子より"L"出力 1: TB4端子より"H"出力	R	W
21	MT5D MFT2リアルポートデータビット	0: TB5端子より"L"出力 1: TB5端子より"H"出力	R	W
22~31	何も配置されていません。"0"に固定してください。		0	0

MFTリアルポートレジスタは、リアルポート出力設定時（出力系MFTiモードレジスタのTOSEL="11"）にタイマ出力端子から出力することのできるデータを設定するレジスタです。

MFTリアルポートレジスタの値は、ターミナルカウントが発生した後カウントソースが入力された時に出力端子に反映されます。またリアルポート出力値はMFT制御レジスタのMFTi許可ビット（MFTiEN）の影響を受けません。図12.2.2にリアルポート出力例を示します。

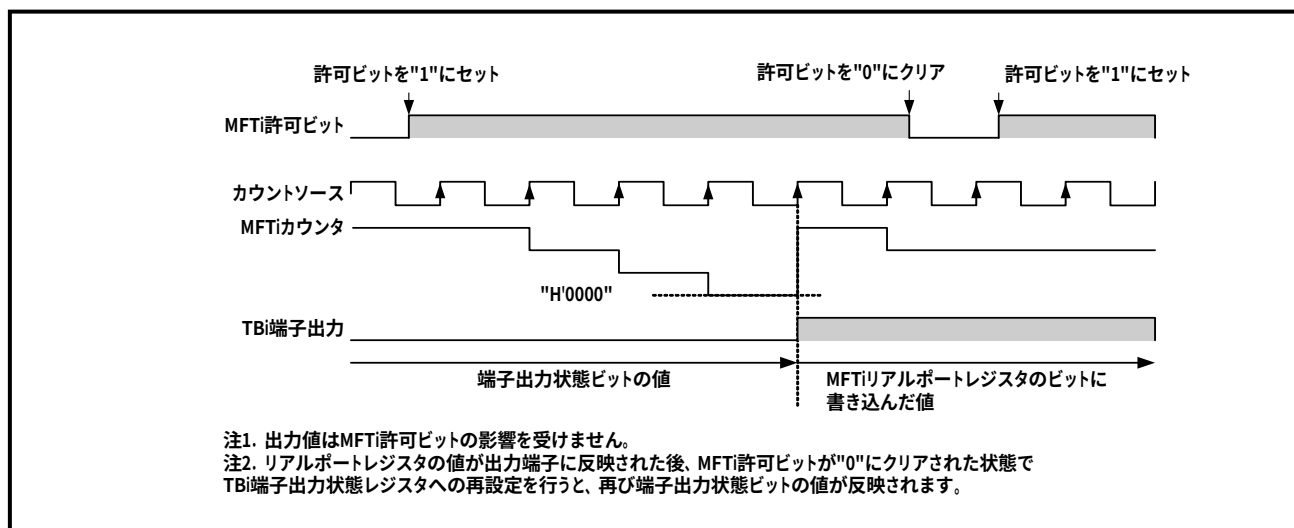


図12.2.2 リアルポート出力例

12.2.3 MFTiモードレジスタ

MFTiモードレジスタは、タイマ選択ビット (TSEL) で、出力系タイマ、または入力系タイマを選択します。この内容によってレジスタのビット内容が異なります。

以下に示す順にMFTiモードレジスタについて説明します。

- ① 出力系として使用する場合のMFTiモードレジスタ
- ② 入力系として使用する場合のMFTiモードレジスタ

注1：MFTiモードレジスタは、タイマ動作中に設定を変更しないでください。MFTi許可ビット (MFT制御レジスタのMFTiEN) でタイマの停止を確認後、設定してください。

① 出力系として使用する場合のMFTiモードレジスタ

MFTiモードレジスタのタイマ選択ビット (TSEL) を"1"にセットすることにより、MFTiは出力系タイマとして使用できます。このとき、MFTiモードレジスタは出力系タイマに対応したレジスタとなります。

出力系MFT0モードレジスタ (MFT0MOD)	<アドレス：H'00EF C100>
出力系MFT1モードレジスタ (MFT1MOD)	<アドレス：H'00EF C200>
出力系MFT2モードレジスタ (MFT2MOD)	<アドレス：H'00EF C300>
出力系MFT3モードレジスタ (MFT3MOD)	<アドレス：H'00EF C400>
出力系MFT4モードレジスタ (MFT4MOD)	<アドレス：H'00EF C500>
出力系MFT5モードレジスタ (MFT5MOD)	<アドレス：H'00EF C600>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
TSEL	TCSEL	TCCR	TOSEL		GTSEL						OLSEL	CMSEL	CSSEL		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

※バイト(8ビット) / ハーフワード(16ビット) / ワード(32ビット) アクセス可能

<リセット解除時：H'0000 0000>

b	ビット名	機能	R	W
0~15	何も配置されていません。"0"に固定してください。		0	0
16	TSEL タイマ選択ビット	1：出力系タイマ	1	1
17	TCSEL ターミナルカウント回数選択ビット	0：制限なし 1：1回	R	W
18	TCCR ターミナルカウント制御ビット	0：MFTiカウンタ="H'0000", "H'FFFF" 1：MFTiカウンタ≥MFTiコンペアレジスタ、 MFTiカウンタ<MFTiコンペアレジスタ	R	W
19~20	TOSEL タイマ出力選択ビット	00：出力なし 01：比較波形出力 10：トグル波形出力 11：リアルポート出力	R	W

21~23	GTSEL ゲート極性/トリガ選択ビット	000: ゲート/トリガ入力無効 001: トリガ入力 (立ち上がりエッジ) 010: トリガ入力 (立ち下がりエッジ) 011: トリガ入力 (両エッジ) 100: 設定禁止 101: 設定禁止 110: ゲート入力 ("L"レベル時有効) 111: ゲート入力 ("H"レベル時有効)	R	W
24~26	何も配置されていません。"0"に固定してください。		0	0
27	OLSEL 出力レベル選択ビット	0: 正極性 1: 負極性	R	W
28	CMSEL カウントモード選択ビット	0: ダウンカウント 1: アップカウント	R	W
29~31	CSSEL カウントソース選択ビット	000: PCLK (周辺I/Oクロック) 001: PCLK (周辺I/Oクロック) /8 010: PCLK (周辺I/Oクロック) /32 011: PCLK (周辺I/Oクロック) /128 100: 設定禁止 101: 設定禁止 110: TAIカウントソース入力 111: 設定禁止	R	W

(1) TSEL (タイマ選択) ビット (b16)

このビットにより、出力系タイマとして使用するか、入力系タイマとして使用するか選択します。

このビットを"0"にクリアした場合、入力系タイマとなり、"1"にセットした場合は、出力系タイマとなります。入力系タイマの動作については、後述の「②入力系として使用する場合のMFTiモードレジスタ」を参照してください。

(2) TCSEL (ターミナルカウント回数選択) ビット (b17)

このビットにより、ターミナルカウントが発生した後にMFT制御レジスタのMFTi許可ビット (MFTiEN) を自動的にクリアするか、しないかを設定します。

このビットを"0"にクリアした場合、ターミナルカウントが発生した後、カウントソースが入力されたときにもMFTi許可ビットはクリアされず、MFTiは動作を続けます。

このビットを"1"にセットした場合、ターミナルカウントが発生 (TCCRビットの項を参照) した後、カウントソースが入力されたとき、MFTi許可ビットがクリアされます。ただし、このビットが"1"にセットされている場合でも、ゲート極性/トリガ選択ビットでTAi端子からのトリガ入力を有効に設定した場合 (GTSELビット="001", "010", "011") には、ターミナルカウントが発生してもMFTi許可ビットはクリアされません。

(3) TCCR (ターミナルカウント制御) ビット (b18)

このビットにより、ターミナルカウント発生条件を設定できます (ターミナルカウントは内部制御信号です)。このビットを"0"にクリアした場合、ターミナルカウントは以下の条件のとき発生します。

MFTiカウンタ値="H'FFFF" (アップカウント時)

MFTiカウンタ値="H'0000" (ダウンカウント時)

アップカウント、ダウンカウントについてはカウントモード選択ビット (CMSEL) を参照してください。

図12.2.3にTCCR="0"設定時のターミナルカウント発生例を示します。

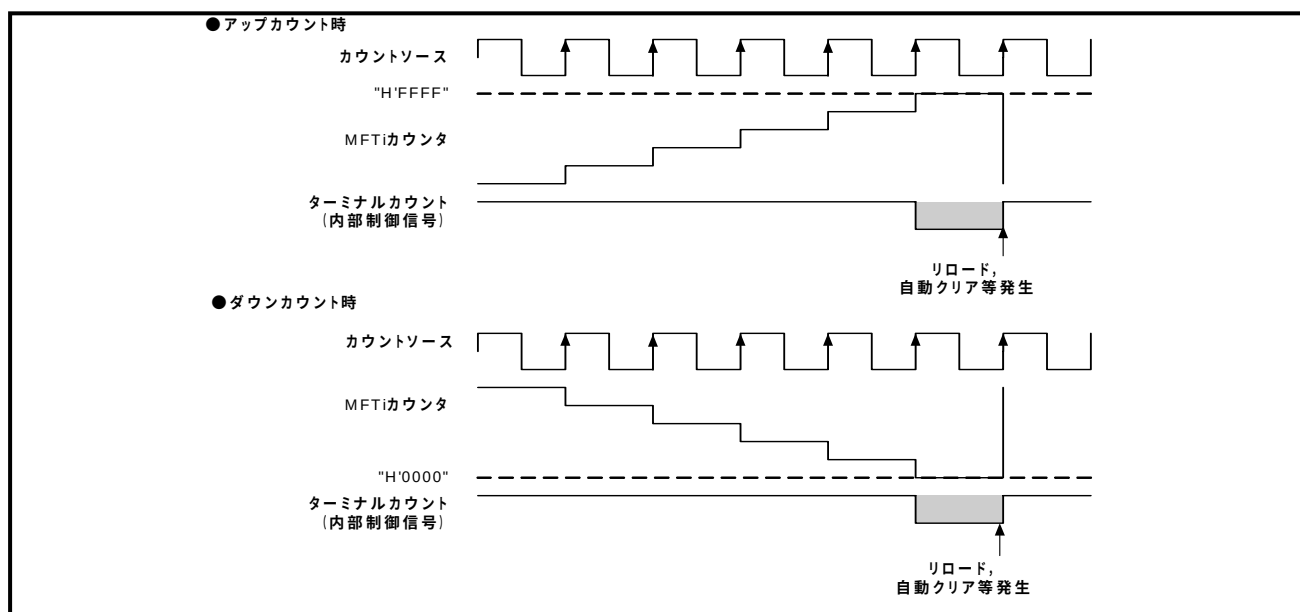


図12.2.3 TCCR="0"設定時のターミナルカウント発生例

このビットを"1"にセットした場合、ターミナルカウントは以下の条件のとき発生します。

- MFTiカウンタ値 $\geq$ MFTiコンペアレジスタ値 (アップカウント時)
- MFTiカウンタ値 $<$ MFTiコンペアレジスタ値 (ダウンカウント時) (注)

アップカウント、ダウンカウントの選択はカウントモード選択ビット (CMSEL) で選択します。

注. 以下のすべての条件が満たされた場合のみ、ターミナルカウント発生条件は「MFTiカウンタ値 $\leq$ MFTiコンペアレジスタ値」となります。

- ターミナルカウント制御ビット (TCCR) = "1"の場合
- カウントモード選択ビットにてダウンカウントが選択されている場合 (CMSEL="1")
- MFTiコンペアレジスタが"H'0000"の場合

図12.2.4にTCCR="1"設定時のターミナルカウント発生例を示します。

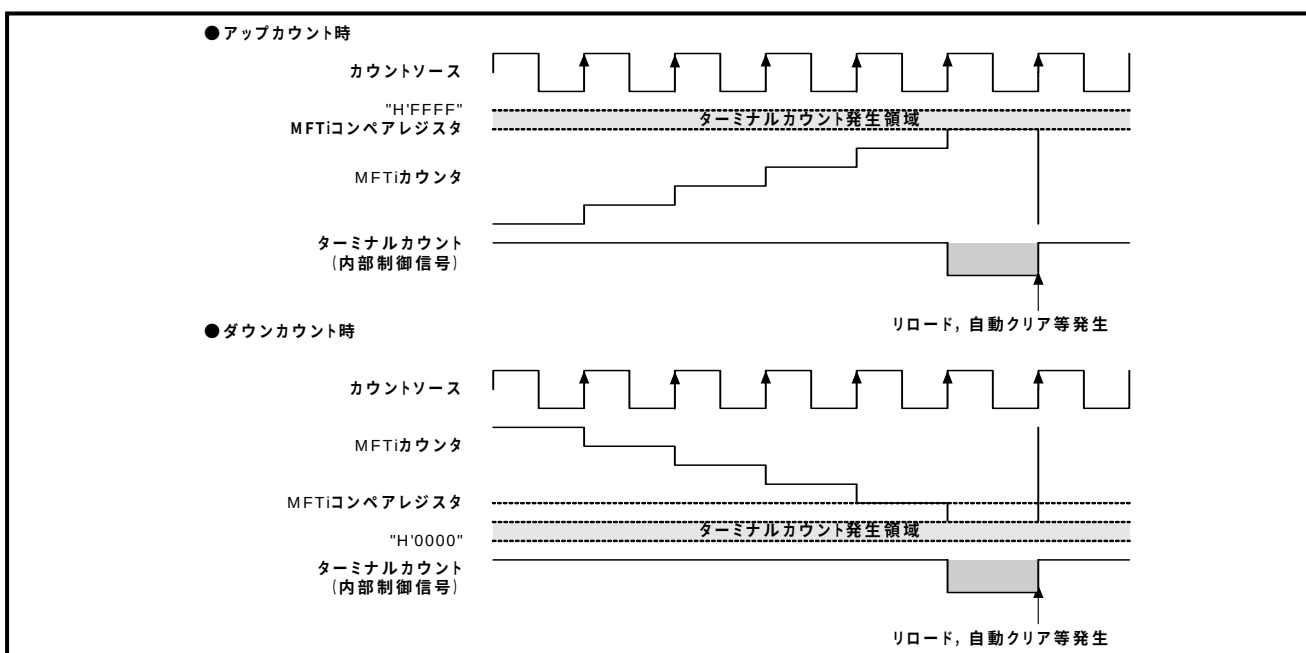


図12.2.4 TCCR="1"設定時のターミナルカウント発生例

ターミナルカウントが発生した後、カウントソースが入力されたときに以下の動作が発生します。

- MFTiリロードレジスタの値をMFTiカウンタへリロード
- ICU（割り込みコントローラ）への割り込み要求の発生
- DMAC（DMAコントローラ）へのDMA要求の発生
- MFTi許可ビット（MFT制御レジスタのMFTiEN）の自動クリア（「ターミナルカウント回数選択ビット」の項を参照）

なお、トグル出力もしくはリアルポート出力を選択している場合（TOSELビット="10", "11"のとき）、このビットは"0"にクリアしてください。

(4) TOSEL (タイマ出力選択) ビット (b19, b20)

このビットにより、TBi端子からの出力を制御できます。

TOSEL="01" (比較波形出力) に設定した場合、MFTiカウンタ値とMFTiコンペアレジスタ値の比較した結果をTBi端子から波形として出力します。出力波形例については、出力系として使用する場合のMFTiモードレジスタの「出力レベル選択ビット (OLSEL)」の項を参照してください。

TOSEL="10" (トグル波形出力) に設定した場合、ターミナルカウントが発生するたびに、TBi端子から出力している波形を反転させます。出力波形例については、出力系MFTiモードレジスタの出力レベル選択ビット (OLSEL) の項を参照してください。

TOSEL="11" (リアルポート出力) に設定した場合、MFTリアルポートレジスタの値をTBi端子から出力します。リアルポート出力例については「12.2.2 MFTリアルポートレジスタ」の章を参照してください。

トグル波形出力もしくはリアルポート出力を選択している場合 (TOSEL="10", "11")、ターミナルカウント制御ビット (TCCR) は"0"に固定してください。

リアルポート出力を選択している場合、ゲート極性/トリガ選択ビット (GTSEL) は"000" (ゲート/トリガ入力無効) に固定してください。

リアルポート出力を選択している場合、カウントソース選択ビット (CSSEL) において"110" (TAiカウントソース入力) は設定禁止となります。

(5) GTSEL (ゲート極性/トリガ選択) ビット (b21~b23)

本MFTは、MFTi許可ビット (MFT制御レジスタのMFTiEN) を"1"にセットしMFTiの起動を許可にした後、TAi端子への入力によってMFTiの動作/停止の制御を行えます。このビットにより、TAi端子への入力 (ゲート/トリガ入力) を無効にするか、ゲート入力又はトリガ入力として使用するかを選択します。

<ゲート/トリガ入力を無効に設定した場合 (GTSEL="000") >

ゲート/トリガ入力を無効に設定した場合、TAi端子への入力は無視され、MFTi許可ビットのみでMFTiの動作/停止が決定されます。ただし、MFTi動作許可後の最初のカウントソース入力では、MFTiカウンタはカウントしません。その後のカウントソース入力については、MFTiの動作許可中はすべてカウントされます。

図12.2.5にゲート/トリガ入力を無効に設定した場合のカウント動作例を示します。

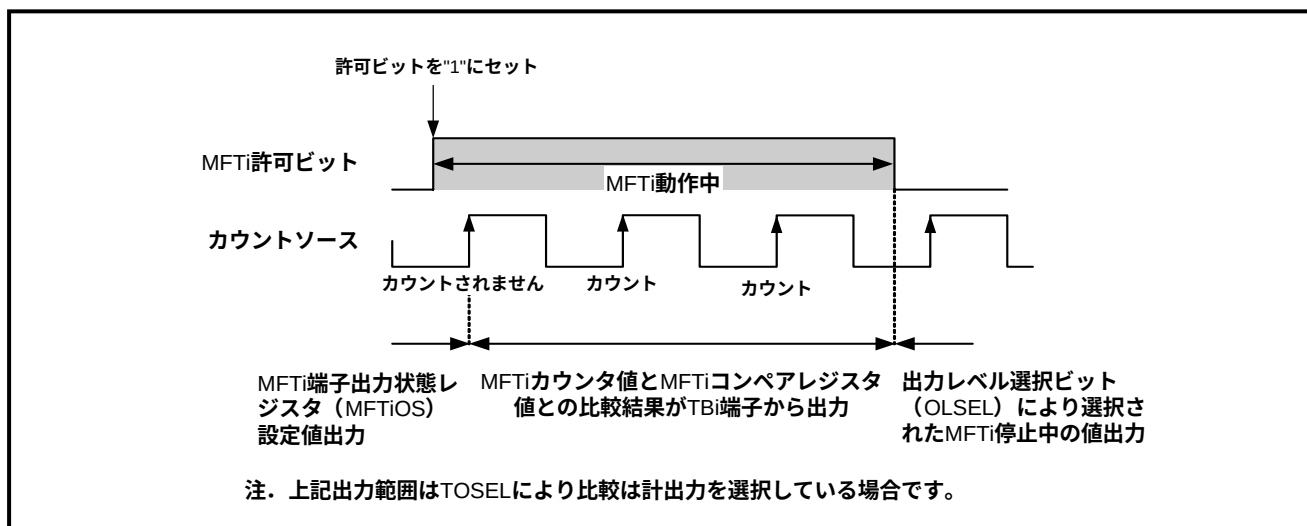


図12.2.5 ゲート/トリガ入力を無効に設定した場合のカウント動作例

<ゲート入力に設定した場合 (GTSEL="110"もしくは"111") >

ゲート入力に設定した場合、MFTi許可ビット (MFTiEN) = "1"セット、かつTAi端子入力のゲート有効期間のみMFTiが動作許可となります。ただし、MFTiの動作許可中であっても最初のカウントソース入力では、MFTiカウンタはカウントしません。その後のカウントソース入力については、MFTiの動作許可中はすべてカウントされます。

図12.2.6にゲート入力として使用した場合のカウンタ動作例を示します。

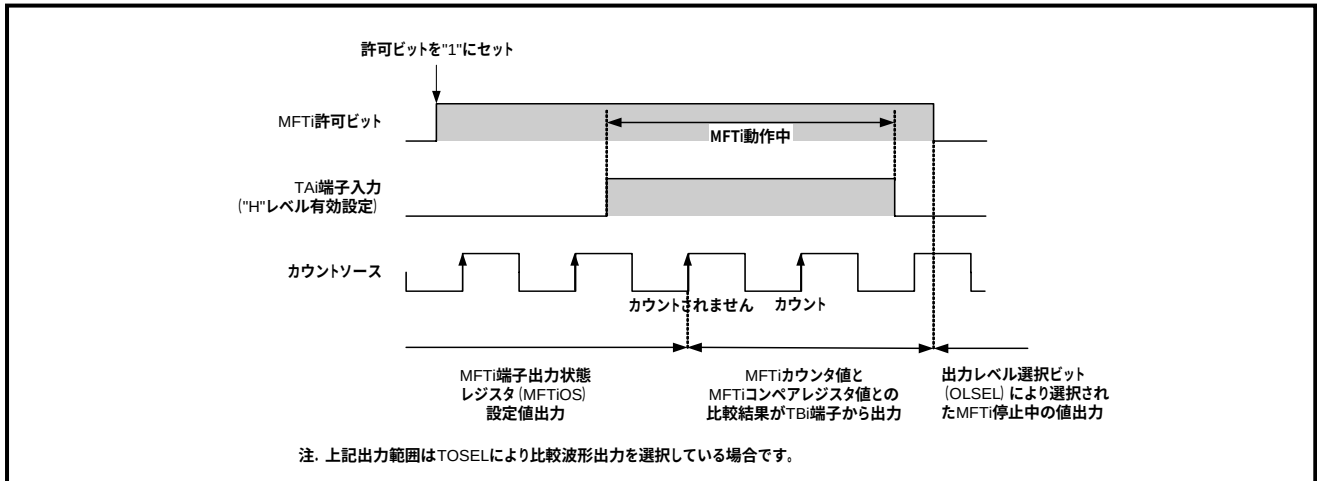


図12.2.6 ゲート入力として使用した場合のカウンタ動作例

<トリガ入力に設定した場合 (GTSEL="001"もしくは"010"もしくは"011") >

トリガ入力に設定した場合、MFTi許可ビット (MFTiEN) = "1"セット、かつTAi端子入力からの有効トリガが入力されるとMFTiが動作許可となります。ただし、MFTiの動作許可中であっても最初のカウントソース入力では、MFTiカウンタはカウントしません。その後のカウントソース入力については、MFTiの動作許可中はすべてカウントされます。MFTi動作許可後は、トリガ入力は無視されますが、出力系MFTiモードレジスタのターミナルカウント制御ビット (TCCR) を"1"にセットしている場合、ターミナルカウント発生後カウンタ動作が停止し、再びトリガ入力待ちになります。

図12.2.7にトリガ入力として使用した場合のカウンタ動作例を示します。

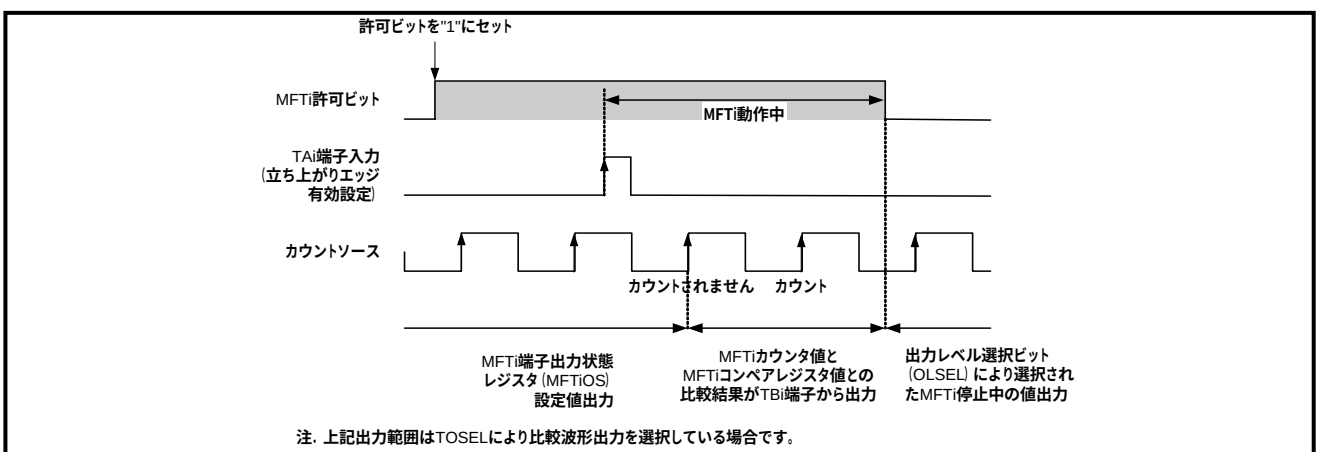
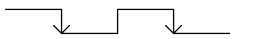
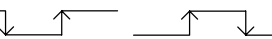
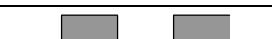


図12.2.7 トリガ入力として使用した場合のカウンタ動作例

また、カウントソース選択ビット（CSSEL）により、TAi端子をゲート/トリガ入力に使用するのではなく、カウントソース入力として使用する場合、このゲート極性/トリガ選択ビットで"001","010"又は"011"を選択してカウントソースの有効エッジを設定してください。

表12.2.1にゲート極性/トリガ選択ビットの機能を示します。

表12.2.1 ゲート極性/トリガ選択ビットの機能

b21	b22	b23	機能		有効エッジ又は有効期間
0	0	0	ゲート／トリガ入力無効		
0	0	1	トリガ入力（注）	立ち上がりエッジ	
0	1	0		立ち下がりエッジ	
0	1	1		両エッジ	
1	0	0	設定禁止		
1	0	1	設定禁止		
1	1	0	レベル入力	"L"レベル時有効	
1	1	1		"H"レベル時有効	

注：カウントソース選択ビットにより、TAi端子をカウントソース入力として使用する場合、トリガ入力を選択してカウントソースの有効トリガを設定してください。

(6) OLSEL（出力レベル選択）ビット（b27）

このビットはタイマ出力選択ビットで比較波形出力（TOSEL="01"）を選択したときのみ有効です。

このビットによって、MFTi許可ビット（MFT制御レジスタのMFTiEN）によりMFTiの起動許可後、最初のカウントソースが入力されたときに、TBi端子からの出力を正極性で出力するか負極性で出力するかを選択します。また動作中のMFTiを停止させた時の比較波形出力レベルもこのビットにより変化します。ただし、MFTi許可ビットによりMFTi停止中に出力選択ビットを変更した場合、MFTi起動許可後、最初のカウントソースが入力されるまで、その変更は出力レベルには反映されません。

このビットを"0"にクリアした場合、TBi端子からの出力は正極性となります。以下にこの場合のTBi端子からの出力レベルを示します。

<OLSEL="0"の場合のTBi端子出力状態>

- 動作中のMFTiを停止させたとき："L"レベル出力
- MFTiカウンタ $\geq$ MFTiコンペアレジスタ："H"レベル出力
- MFTiカウンタ<MFTiコンペアレジスタ："L"レベル出力

このビットを"1"にセットした場合、TB端子からの出力は負極性となります。以下にこの場合のTBi端子からの出力レベルを示します。

<OLSEL="1"の場合のTBi端子出力状態>

- 動作中のMFTiを停止させたとき："H"レベル出力
- MFTiカウンタ $\geq$ MFTiコンペアレジスタ："L"レベル出力
- MFTiカウンタ<MFTiコンペアレジスタ："H"レベル出力

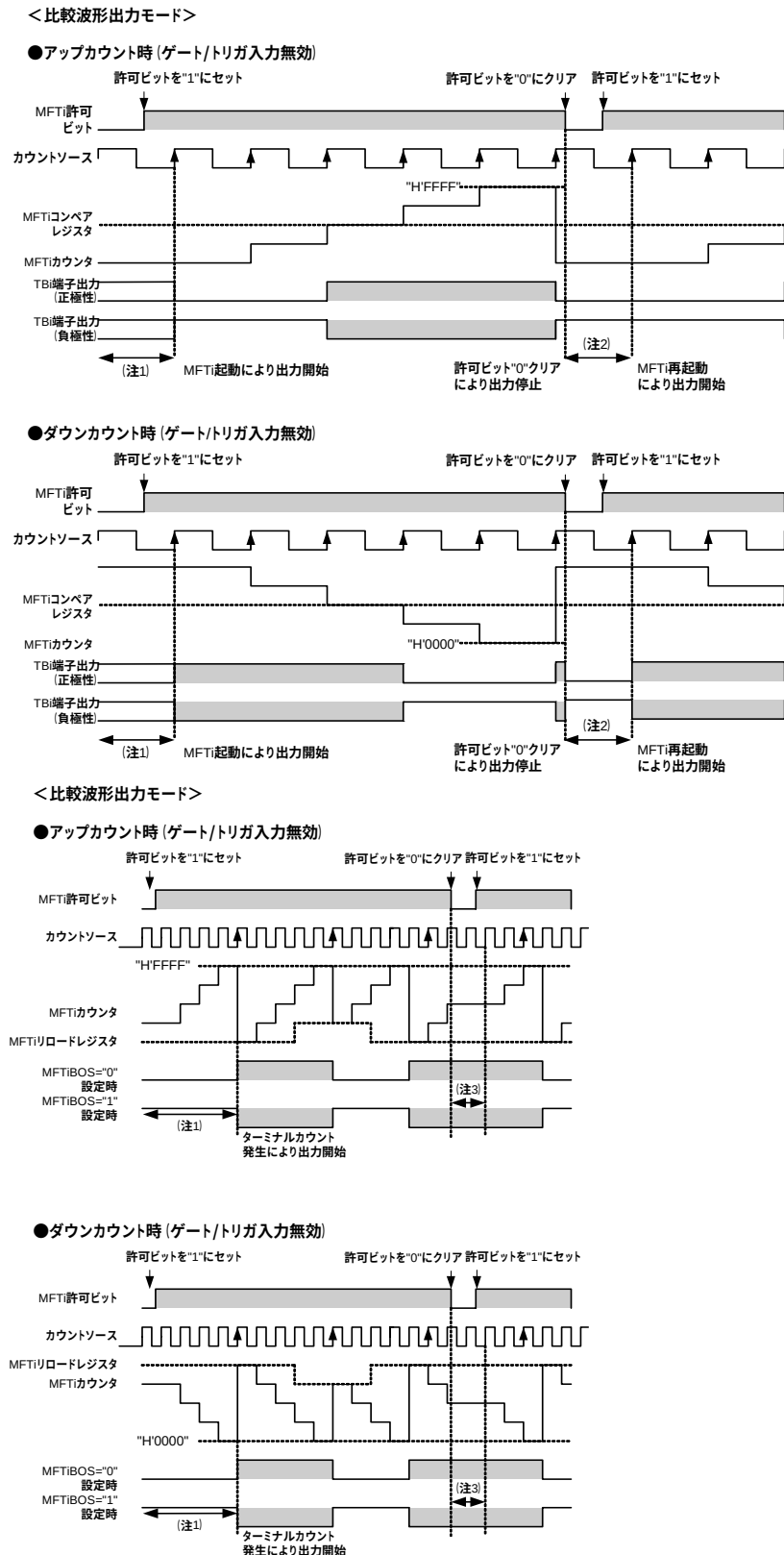
(7) CMSEL（カウントモード選択）ビット（b28）

このビットにより、MFTiカウンタをダウンカウンタとして使用するか、アップカウンタとして使用するかを設定します。

このビットを"0"にクリアした場合、MFTiカウンタはダウンカウンタとして使用されます。

このビットを"1"にセットした場合、MFTiカウンタはアップカウンタとして使用されます。

図12.2.8にアップカウント時とダウンカウント時における波形出力例を示します。



- 注1. MFT停止中に書き込んだMFT出力状態ビット (MFTIOS) の値が反映される期間を示します。
出力値はTBI出力状態ビットの値に依存します。
- 注2. MFT許可ビットがクリアされると、直ちに出力データは停止状態になります。
停止状態時の出力値は、出力レベル選択ビット (OLSEL) により決定します。
- 注3. トグル波形出力モード時、出力値は、MFT許可ビットの影響を受けません。

図12.2.8 波形出力例

(8) CSSEL (カウントソース選択) ビット (b29~b31)

このビットにより、MFTiカウンタのカウントソースを設定します。このビットにより、TAiカウントソース入力を選択した場合、ゲート極性/トリガ選択ビット (GTSEL) によりカウントソース (TAi端子入力) の有効エッジを (立ち上がりエッジ、立ち下がりエッジ、両エッジ) の中から選択してください。

図12.2.9にカウントソースにTAiカウントソース入力を選択した場合 (CSSEL="110") の動作例を示します。

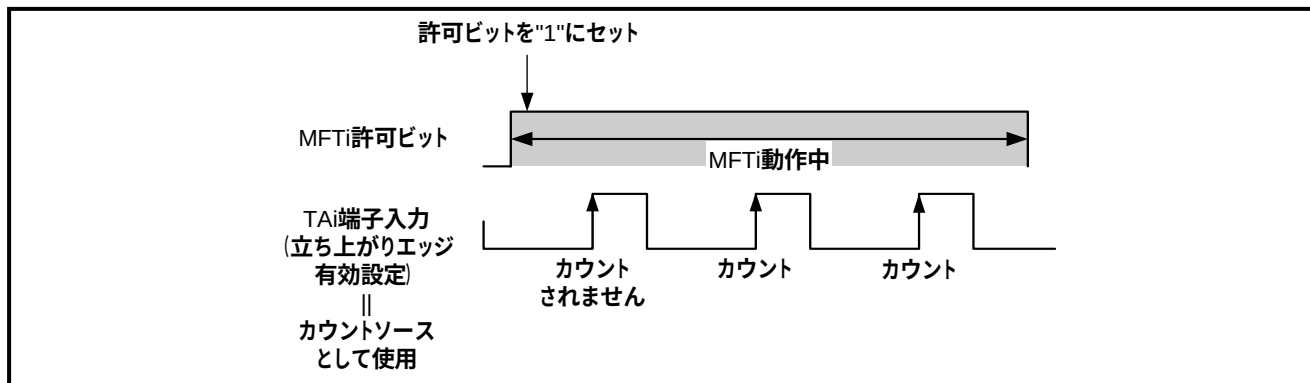


図12.2.9 TAiカウントソースを選択した場合の動作例

表12.2.2にカウントソース選択ビットの機能を示します。

表12.2.2 カウントソース選択ビットの機能

b29	b30	b31	機能
			カウントソース
0	0	0	PCLK (周辺I/Oクロック)
0	0	1	PCLK (周辺I/Oクロック) / 8
0	1	0	PCLK (周辺I/Oクロック) / 32
0	1	1	PCLK (周辺I/Oクロック) / 128
1	0	0	設定禁止
1	0	1	設定禁止
1	1	0	TAiカウントソース入力 (注1)
1	1	1	設定禁止

注1: TAiカウントソース入力を選択した場合、ゲート極性/トリガ選択ビットでトリガ入力を選択してカウントソースの有効トリガを設定してください。

② 入力系として使用する場合のMFTiモードレジスタ

MFTiモードレジスタのタイマ選択ビット (TSEL) を"0"にクリアすることにより、MFTiは入力系タイマとして使用できます。このとき、MFTiモードレジスタは入力系タイマに対応したレジスタとなります。

入力系MFT0モードレジスタ (MFT0MOD)	<アドレス: H'00EF C100>
入力系MFT1モードレジスタ (MFT1MOD)	<アドレス: H'00EF C200>
入力系MFT2モードレジスタ (MFT2MOD)	<アドレス: H'00EF C300>
入力系MFT3モードレジスタ (MFT3MOD)	<アドレス: H'00EF C400>
入力系MFT4モードレジスタ (MFT4MOD)	<アドレス: H'00EF C500>
入力系MFT5モードレジスタ (MFT5MOD)	<アドレス: H'00EF C600>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
TSEL	MSEL	TCCR				GTSEL		BWMSK	UFFLG	OFFLG		CMSEL		ECSEL	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

※バイト(8ビット) / ハーフワード(16ビット) / ワード(32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~15	何も配置されていません。"0"に固定してください。		0	0
16	TSEL タイマ選択ビット	0: 入力系タイマ	0	0
17	MSEL 動作モード選択ビット	0: 1相/2相イベントカウンタ 1: 周期/パルス幅計測タイマ	R	W
18	TCCR ターミナルカウント制御ビット	● 2相イベントカウンタモード時 0に設定してください。 0: MFTiカウンタ="H'0000", "H'FFFF" 1: MFTiカウンタ="H'0000", MFTiカウンタ≥MFTiコンペアレジスタ	R	W
19~20	何も配置されていません。"0"に固定してください。		0	0
21~23	<1相/2相イベントカウンタモード時> GTSEL ゲート極性/トリガ選択ビット	● 1相イベントカウンタモード時 000: ゲート/トリガ入力無効 001: トリガ入力 (立ち上がりエッジ) 010: トリガ入力 (立ち下がりエッジ) 011: トリガ入力 (両エッジ) 100: 設定禁止 101: 設定禁止 110: ゲート入力 ("L"レベル時有効) 111: ゲート入力 ("H"レベル時有効) ● 2相イベントカウンタモード時 000に設定してください。	R	W

周期/パルス幅計測モード時> MTMOD 計測タイマモード選択ビット		000：設定禁止 001：周期計測（立ち上がりエッジ間） 010：周期計測（立ち下がりエッジ間） 011：パルス幅計測 （立ち上がりエッジ→立ち下がりエッジ） （立ち下がりエッジ→立ち上がりエッジ） 100：設定禁止 101：設定禁止 110：設定禁止 111：設定禁止		
24	BWMSK b25, b26書き込みマスクビット	0：b25, b26は書き込みマスク状態 1：b25, b26の書き込みマスクを解除する	R	注1
25	UFFLG アンダフローフラグ	0：アンダフローなし 1：アンダフローあり	R	注2
26	OFFLG オーバフローフラグ	0：オーバフローなし 1：オーバフローあり	R	注2
27	何も配置されていません。"0"に固定してください。		0	0
28	CMSEL カウントモード選択ビット	● 1相イベントカウンタモード時 0：ダウンカウント 1：アップカウント ● 2相イベントカウンタモード時 0：標準モード 1：4通倍モード ● 周期/パルス幅計測モード時 1：アップカウントで使用	R	W
29~31	<1相/2相イベントカウンタモード時> ECSEL イベントカウンタモード選択ビット	000：2相イベントカウンタ 001：1相イベントカウンタ（立ち上がりエッジ） 010：1相イベントカウンタ（立ち下がりエッジ） 011：1相イベントカウンタ（両エッジ） 100：設定禁止 101：設定禁止 110：設定禁止 111：設定禁止	R	W
	<周期/パルス幅計測モード時> CSSEL カウントソース選択ビット	000：PCLK（周辺I/Oクロック） 001：PCLK（周辺I/Oクロック）／8 010：PCLK（周辺I/Oクロック）／32 011：PCLK（周辺I/Oクロック）／128 100：設定禁止 101：設定禁止 110：設定禁止 111：TBiカウントソース入力	R	W

注1. 「0」書き込みは無効、「1」書き込みデータは保持されない」ことを示します。

注2. 「単独での書き込みは無効、b24="1"と同時に"0"書き込みでビットクリア、b24="1"と同時に"1"書き込みは無効である」ことを示します

(1) TSEL (タイマ選択) ビット (b16)

このビットにより、出力系タイマとして使用するか、入力系タイマとして使用するか選択します。

このビットを"0"にクリアした場合、MFTiは入力系タイマとして動作します。入力系タイマには、周期/パルス幅計測タイマ、1相イベントカウンタ、2相イベントカウンタとしての使用方法があります。

このビットを"1"にセットした場合、MFTiは出力系タイマとして動作します。前述の「①出力系として使用する場合のMFTiモードレジスタ」を参照してください。

(2) MSEL (動作モード選択) ビット (b17)

このビットにより、1相/2相イベントカウンタモードか周期/パルス幅計測モードかを選択します。

このビットを"0"にクリアした場合、MFTiは1相/2相イベントカウンタモードで動作します。1相イベントカウンタモードと2相イベントカウンタモードの選択はイベントカウンタモード選択ビット (ECSEL)で行ってください。1相イベントカウンタモードではTBi端子へ入力された有効エッジをカウントします。2相イベントカウンタモードはTAi端子およびTBi端子の入力の状態によってカウントします。

このビットを"1"にセットした場合、MFTiは周期/パルス幅計測モードで動作します。周期計測タイマモードは、TAi端子に入力された信号波形の立ち上がりエッジ間、または立ち下がりエッジ間をカウントして計測します。パルス幅計測タイマモードは、TAi端子に入力された信号波形の立ち上がりエッジ→立ち下がりエッジ間、立ち下がりエッジ→立ち上がりエッジ間をカウントして計測します。

(3) TCCR (ターミナルカウント制御) ビット (b18)

このビットにより、ターミナルカウント発生の条件を設定できます。ターミナルカウントは内部制御信号です。このビットを"0"にクリアした場合、以下のいずれかの条件を満たしたときに、ターミナルカウントが発生します。

<周期/パルス幅計測タイマとして使用時>

- MFTiカウンタ値="H'FFFF"となった場合

<1相イベントカウンタとして使用時>

- アップカウント時に (MFTiカウンタ値="H'FFFF") となった場合
- ダウンカウント時に (MFTiカウンタ値="H'0000") となった場合

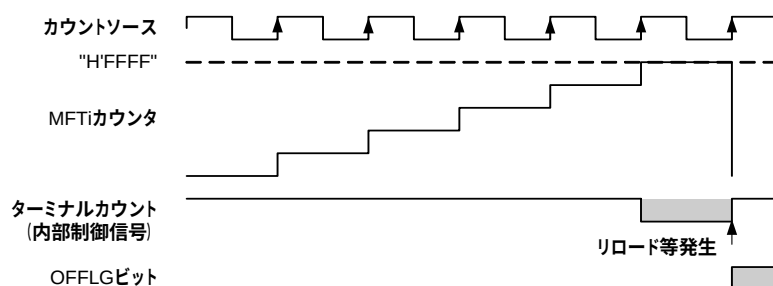
<2相イベントカウンタとして使用時>

- アップカウント時に (MFTiカウンタ値="H'FFFF") から (MFTiカウンタ値="H'0000") にオーバーフローした場合
- ダウンカウント時に (MFTiカウンタ値="H'0000") から (MFTiカウンタ値="H'FFFF") にアンダフローした場合

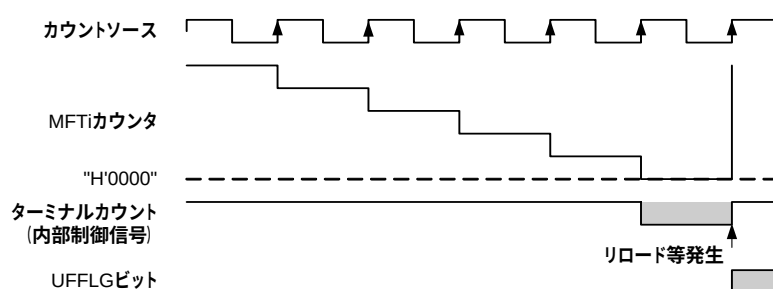
アップカウント、ダウンカウントについては「(8)CMSEL (カウントモード選択) ビット」を参照してください。

図12.2.10にTCCR="0"設定時のターミナルカウント発生例を示します。

●アップカウント時 (1相イベントカウンタモード時、周期/パルス幅計測モード時)

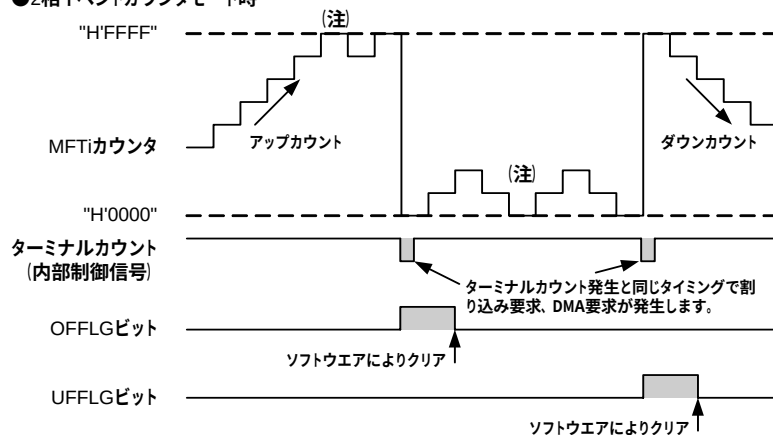


●ダウンカウント時 (1相イベントカウンタモード時) (注)



注: 周期/パルス幅計測モード時は、ダウンカウントを選択できません。

●2相イベントカウンタモード時



注: MFTiカウンタの値が'H'0000'もしくは'H'FFFF'となった場合でも、その次のカウントによりMFTiカウンタがオーバーフローもしくはアンダフローしない場合には、ターミナルカウント、割り込み要求およびDMA要求は発生しません。

図12.2.10 TCCR="0"設定時のターミナルカウント発生例

このビットを"1"にセットした場合、以下のいずれかの条件を満たしたときに、ターミナルカウントが発生します。

- アップカウント時に (MFTiカウンタ値 $\geq$ MFTiコンペアレジスタ値) となった場合
- ダウンカウント時に (MFTiカウンタ値="H'0000") となった場合

アップカウント、ダウンカウントについては「(8) CMSEL (カウントモード選択) ビット」を参照してください。

図12.2.11にTCCR="1"設定時のターミナルカウント発生例を示します。

なお、ターミナルカウントが発生した後、カウントソースが入力されたときに以下の動作が発生します。

- MFTiリロードレジスタの値をMFTiカウンタへリロード (注)
- ICUへの割り込み要求の発生
- DMACへのDMA要求の発生
- アンダフローフラグ (UFFLG) の"1"セット (1相/2相イベントカウンタモード時のみ)
- オーバフローフラグ (OFFLG) の"1"セット

注. 2相イベントカウンタモード時には、ターミナルカウント制御ビット="0"に設定してください。
この場合ターミナルカウントはMFTiカウンタ="H'FFFF"もしくは"H'0000"で発生しますが、リロードは発生しません。

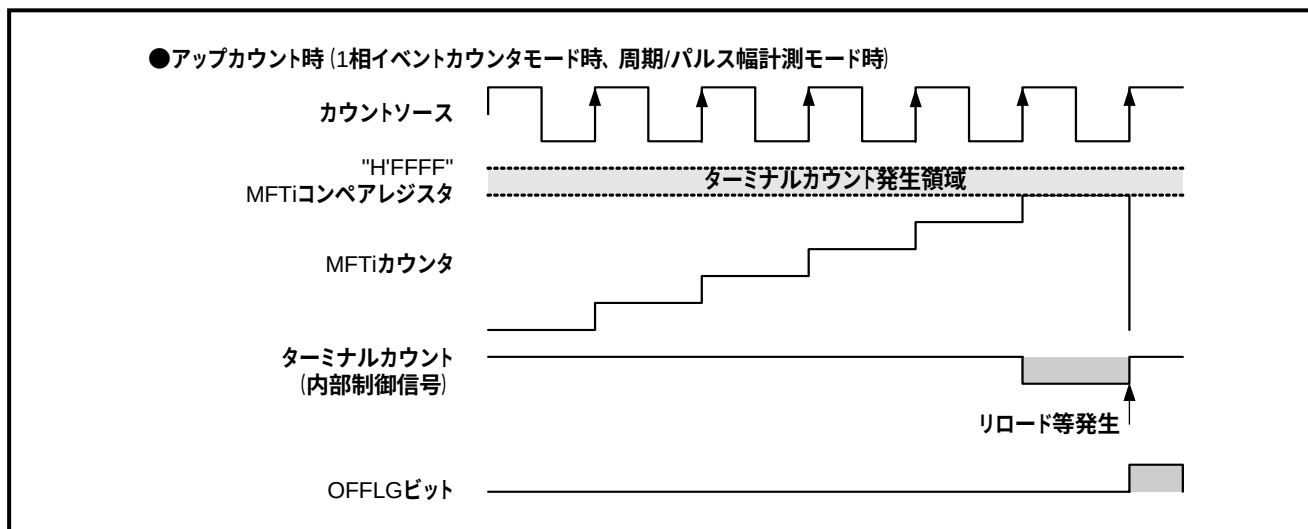


図12.2.11 TCCR="1"設定時のターミナルカウント発生例

(4) GTSEL, MTMOD (ゲート極性/トリガ選択・計測タイマモード選択) ビット (b21~b23)

<1相/2相イベントカウンタモード時> ゲート極性/トリガ選択ビット

1相/2相イベントカウンタモードでは、MFTi許可ビット (MFT制御レジスタのMFTiEN) を"1"にセットし起動許可後、TAi端子への入力によってMFTiの動作/停止の制御を行うことが可能です。

このビット (GTSEL) により、TAi端子への入力 (ゲート/トリガ入力) を無効にするか、ゲート入力又はトリガ入力として使用するかを選択します。

■ 1相イベントカウンタモード時

GTSEL="000" (ゲート/トリガ入力を無効) に設定した場合、TAi端子への入力は無視され、MFTi許可ビットのみでMFTiの動作/停止が決定されます。

MFTiの動作許可中 (=MFTi動作中) は、TBi端子へ入力された有効イベントはすべてカウントされます。

図12.2.12にゲート/トリガ入力を無効に設定した場合のカウント動作例を示します。

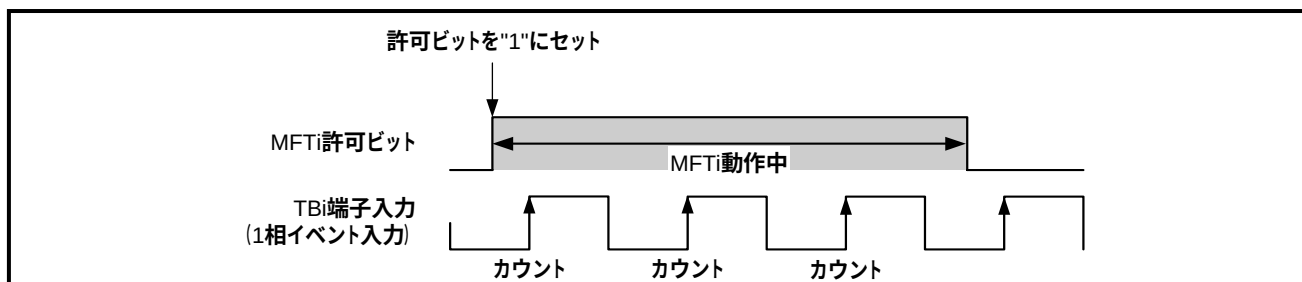


図12.2.12 ゲート/トリガ入力を無効に設定した場合のカウント動作例

GTSEL="110"もしくは"111" (ゲート入力) に設定した場合、MFTiの動作許可中の、TAi端子入力からのゲート有効期間のみMFTiが動作し、TBi端子入力の有効イベントがカウントされます。

図12.2.13にゲート入力として使用した場合のカウント動作例を示します。

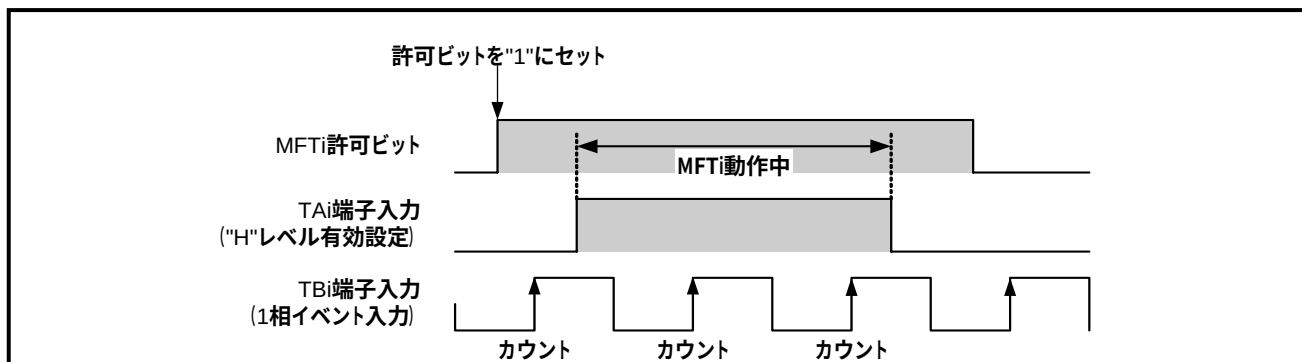


図12.2.13 ゲート入力に設定した場合のカウント動作例

GTSEL="001"もしくは"010"もしくは"011"（トリガ入力）に設定した場合、MFTiの動作許可後、TAi端子入力からの有効トリガが入力されるとMFTiが動作し、TBi端子入力の有効イベントがカウントされます。MFTiが動作した後は、トリガ入力は無視されます。MFTiを停止するには、MFTiの動作許可ビット（MFTi制御レジスタのMFTiEN）をクリアしてください。

図12.2.14にトリガ入力に設定した場合のカウント動作例を示します。

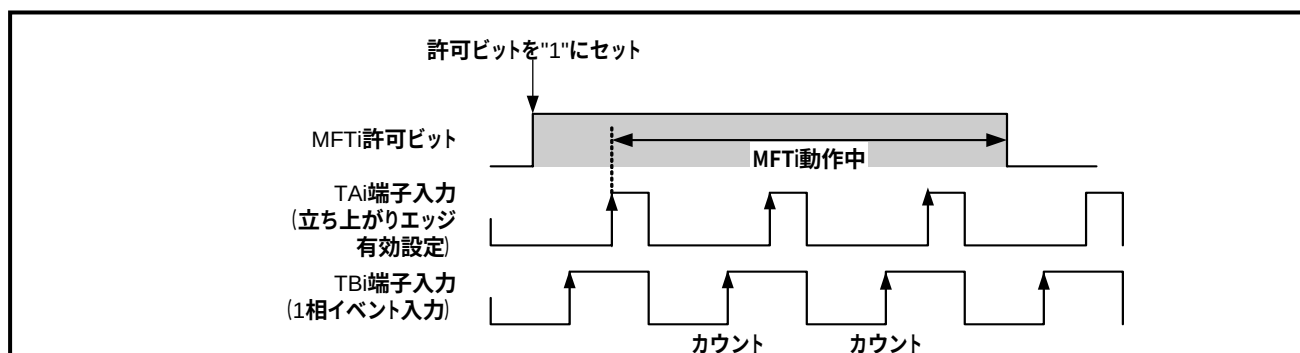


図12.2.14 トリガ入力に設定した場合のカウント動作例

■2相イベントカウンタモード時

GTSEL="000"（ゲート/トリガ入力無効）に設定してください。

表12.2.3にゲート極性/トリガ選択ビットの機能を示します。

表12.2.3 ゲート極性/トリガ選択ビットの機能（1相/2相イベントカウンタモード）

b21	b22	b23	機能		有効エッジまたは有効期間
0	0	0	ゲート／トリガ入力無効		
0	0	1	トリガ入力	立ち上がりエッジ	
0	1	0		立ち下がりエッジ	
0	1	1		両エッジ	
1	0	0	設定禁止		
1	0	1	設定禁止		
1	1	0	レベル入力	"L"レベル時有効	
1	1	1		"H"レベル時有効	

■周期/パルス幅計測モード時 計測タイマモード選択ビット

このビットにより、周期計測、またはパルス幅計測を選択します。

表12.2.4に計測タイマモードビットの機能を示します。

表12.2.4 計測タイマモード選択ビットの機能（周期/パルス幅計測モード）

b21	b22	b23	機能		有効エッジ又は有効期間
0	0	0	設定禁止		
0	0	1	周期計測	立ち上がりエッジ間	
0	1	0		立ち下がりエッジ間	
0	1	1	パルス幅計測 立ち上がりエッジ→立ち下がりエッジ間 立ち下がりエッジ→立ち上がりエッジ間		
1	X	X	設定禁止		

X：任意の値

(5) BWMSK (b25, b26書き込みマスク) ビット (b24)

このビットにより、アンダフローフラグ (UFFLG)、およびオーバフローフラグ (OFFLG) の書き込み (ビットクリア) 制御を行います。

フラグへの書き込みと同時に、対応するこのビットを"0"にクリアしている場合、フラグへの書き込みは行われません。

フラグへの書き込みと同時に、対応するこのビットを"1"にセットしている場合、フラグへの書き込みが行われます。

このビットは"1"にセットしても、その値を保持しません。したがって、フラグに書き込みを行うごとに、このビットに同時に"1"をセットしてください。

また、このビットの値にかかわらず、フラグをソフトウェアにより"1"にセットすることはできません。

(6) UFFLG (アンダフロー) フラグ (b25)

このビットにより、MFTiカウンタのアンダフローの状態を参照することができます。このビットは1相/2相イベントカウンタの場合に有効となります。

アンダフローフラグをクリアする場合は、b24の「b25, b26書き込みマスクビット」(BWMSK) への"1"セットと同時に、このビットを"0"にクリアしてください。ソフトウェアによりこのビットを"1"にセットすることはできません。タイミングについてはターミナルカウント制御ビット (TCCR) の項を参照してください。

アンダフロー発生によるビットのセットと、ソフトウェアによるビットのクリアが同時に発生した場合には、アンダフロー発生によるビットのセットが優先されます。

■1相イベントカウンタモード時

MFTiカウンタがダウンカウントしている場合に、ターミナルカウント制御ビット (TCCR) で設定した条件でターミナルカウントが発生した後、カウントソースが入力されると、このビットに"1"がセットされます。

■2相イベントカウンタモード時

MFTiカウンタ値が"H'0000"から"H'FFFF"にアンダフローした場合に、このビットに"1"がセットされます。

(7) OFFLG (オーバフロー) フラグ (b26)

このビットにより、MFTiカウンタのオーバフローの状態を参照することができます。

オーバフローフラグをクリアする場合は、b24の「b25, b26書き込みマスクビット」(BWMSK) への"1"セットと同時に、このビットを"0"にクリアしてください。ソフトウェアによりこのビットを"1"にセットすることはできません。タイミングについてはターミナルカウント制御ビット (TCCR) の項を参照してください。

オーバフロー発生によるビットのセットと、ソフトウェアによるビットのクリアが同時に発生した場合には、オーバフロー発生によるビットのセットが優先されます。

■周期/パルス幅計測モード時、1相イベントカウンタモード時

MFTiカウンタがアップカウントしている場合に、ターミナルカウント制御ビット (TCCR) で設定した条件でターミナルカウントが発生した後、カウントソースが入力されると、このビットに"1"がセットされます。

■2相イベントカウンタモード時

MFTiカウンタ値が"H'FFFF"から"H'0000"にオーバフローした場合に、このビットに"1"がセットされます。

(8) CMSEL (カウントモード選択) ビット (b28)

■1相/2相イベントカウンタモード時

このビットにより、MFTiカウンタのカウントモードを設定します。ビットの機能は1相イベントカウンタモードか2相イベントカウンタモードかによって異なります。

ただし、1相イベントカウンタモードで、ターミナルカウント制御ビット (TCCR) ="1"に設定した場合、カウントモードはアップカウントを選択してください。

表12.2.5~表12.2.7にカウントモード選択ビットの機能を示します。

表12.2.5 カウントモード選択ビットの機能

b28	機能	
	2相イベントカウンタ (ECSELビット="000")	1相イベントカウンタ (ECSELビット="001", "010", "011")
0	標準モード (注1)	ダウンカウント
1	逡倍モード (注2)	アップカウント

表12.2.6 標準モード時のカウントモード

入力端子	カウント方向	
	アップカウント	ダウンカウント
イベントA入力	"H"レベル	
イベントB入力	↑	↓

表12.2.7 4逡倍モード時のカウントモード

入力端子	カウント方向							
	アップカウント				ダウンカウント			
イベントA入力	↑	"H"レベル	↓	"L"レベル	↑	"H"レベル	↓	"L"レベル
イベントB入力	"L"レベル	↑	"H"レベル	↓	"H"レベル	↓	"L"レベル	↑

■周期/パルス幅計測モード時

アップカウント (CMSELビット="1") に設定してください。

(9) ECSEL (イベントカウンタモード選択・カウントソース選択) ビット (b29~b31)

■1相/2相イベントカウンタモード時 イベントカウンタモード選択ビット

このビットにより、1相イベントカウンタモードまたは2相イベントカウンタモードを選択します。さらに、1相イベントカウンタモードでは、カウントする有効エッジの選択を行います。

表12.2.8にイベントカウンタモード選択ビットの機能を示します。

表12.2.8 イベントカウンタモード選択ビットの機能

b29	b30	b31	機能	
0	0	0	2相イベントカウンタモード	
0	0	1	1相イベントカウンタモード	立ち上がりエッジ有効
0	1	0		立ち下がりエッジ有効
0	1	1		両エッジ有効
1	X	X	設定禁止	

X: 任意の値

■周期/パルス幅計測モード カウントソース選択ビット

このビットにより、MFTiカウンタのカウントソースを設定します。

MFTiカウンタの停止中に、このビットに値を書き込むことでカウントソースを変更できます。

表12.2.9にカウントソース選択ビットの機能を示します。

表12.2.9 カウントソース選択ビットの機能

b29	b30	b31	機能
			カウントソース
0	0	0	PCLK（周辺I/Oクロック）
0	0	1	PCLK（周辺I/Oクロック）／8
0	1	0	PCLK（周辺I/Oクロック）／32
0	1	1	PCLK（周辺I/Oクロック）／128
1	0	0	設定禁止
1	0	1	設定禁止
1	1	0	設定禁止
1	1	1	TBiカウントソース入力

12.2.4 MFTi端子出力状態レジスタ

MFT0端子出力状態レジスタ (MFT0OS)	<アドレス: H'00EF C104>
MFT1端子出力状態レジスタ (MFT1OS)	<アドレス: H'00EF C204>
MFT2端子出力状態レジスタ (MFT2OS)	<アドレス: H'00EF C304>
MFT3端子出力状態レジスタ (MFT3OS)	<アドレス: H'00EF C404>
MFT4端子出力状態レジスタ (MFT4OS)	<アドレス: H'00EF C504>
MFT5端子出力状態レジスタ (MFT5OS)	<アドレス: H'00EF C604>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	MTIOS 0

※バイト(8ビット) / ハーフワード(16ビット) / ワード(32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~30	何も配置されていません。"0"に固定してください。		0	0
31	MTIOS	0: "L"レベル出力	R	W
	TBi端子出力状態ビット	1: "H"レベル出力		

このレジスタは出力系タイマ (MFTiモードレジスタのTSEL="1") においてのみ有効です。このレジスタは、タイマ動作中に設定を変更しないでください。MFT制御レジスタのMFTi許可ビット (MFTiEN) でタイマの停止を確認後、設定してください。

(1) MTIOS (TBi端子出力状態) ビット (b31)

このビットにより、TBi端子からの出力の状態を設定します。

これらのビットに値を書き込むことにより、直接端子からの出力を制御できます。

次に比較波形出力を選択した場合 (出力系MFTiモードレジスタのTOSELビット="01")、トグル波形出力を選択した場合 (TOSELビット="01")、およびリアルポート出力を選択した場合 (TOSELビット="11") のTBi端子出力状態ビットの機能を示します。

■ 比較波形出力を選択した場合 (TOSELビット="01")

MFTi停止中にこのビットに書き込んだ値は、MFTi許可ビット (MFTiEN) により、MFTi動作許可設定後、次のカウントソースが入力されるまで出力されます。出力レベル選択ビット (出力系タイマとして使用する場合のOLSEL) の図12.2.8の波形出力例を参照してください。

■ トグル波形出力を選択した場合 (TOSEL="10")

このビットに書き込んだ値は、書き込み後、ターミナルカウント発生後に、カウントソースが入力されるまで出力されます。出力レベル選択ビットの図12.2.8の波形出力例を参照してください。

■ リアルポート出力を選択した場合 (TOSEL="11")

このビットに書き込んだ値は、ターミナルカウント発生した後、次の有効なカウントソースが入力されるまで出力されます (MFTリアルポートレジスタの値が出力されるまで保持)。

MFTi許可ビット (MFT制御レジスタのMFTiEN) の影響は受けません。リアルポート出力例については「12.2.2 MFTリアルポートレジスタ」を参照してください。

出力系MFTiモードレジスタのタイマ出力選択ビット (TOSEL) の設定にかかわらず、MFTi停止中にMFTi端子出力状態レジスタに書き込みを行った場合のみ、再びMFTi端子出力状態レジスタの値が出力端子に反映されます。

図12.2.15にMFTi停止中にMFTi端子出力状態レジスタに書き込みを行った場合の出力波形例を示します。

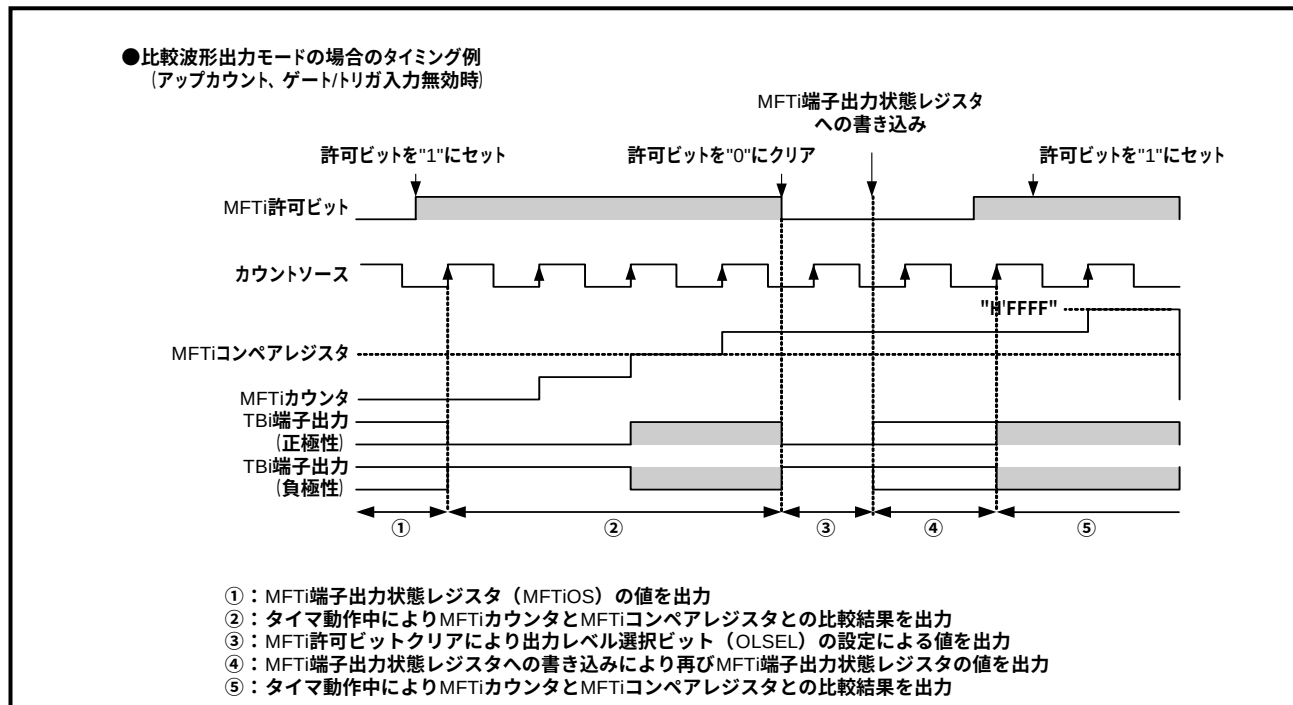


図12.2.15 MFTi停止中に、MFTi端子出力状態レジスタに書き込みを行った場合の出力波形例

12.2.5 MFTiカウンタ

MFT0カウンタ (MFT0CUT)	<アドレス: H'00EF C108>
MFT1カウンタ (MFT1CUT)	<アドレス: H'00EF C208>
MFT2カウンタ (MFT2CUT)	<アドレス: H'00EF C308>
MFT3カウンタ (MFT3CUT)	<アドレス: H'00EF C408>
MFT4カウンタ (MFT4CUT)	<アドレス: H'00EF C508>
MFT5カウンタ (MFT5CUT)	<アドレス: H'00EF C608>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
MCUT															
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?

※バイト(8ビット) / ハーフワード(16ビット) / ワード(32ビット) アクセス可能

<リセット解除時: 不定>

b	ビット名	機能	R	W
0~15	何も配置されていません。"0"に固定してください。		0	0
16~31	MCUT カウンタ	16ビットカウンタ値	R	W

MFTiカウンタは、リード/ライト可能な16ビットのカウンタです。アップ/ダウンカウントの選択はカウントモード選択ビット (MFTiモードレジスタのCMSEL) によって選択します。

MFTiを起動させると、現在カウンタに保持されている値から動作します。

MFTiカウンタには、ターミナルカウントによりMFTiリロードレジスタの値がリロードされます。ただし、2相イベントカウンタモード時にはリロードされません。ターミナルカウントの発生条件は、「12.2.3-(3)ターミナルカウント制御ビット (TCCR)」の項を参照してください。

MFTi停止中にMFTiカウンタに値を設定した場合、同時にMFTiリロードレジスタにも同じ値が設定されます。

MFTi動作中にMFTiカウンタに値を設定した場合の動作は保証されません。

各MFTiモードレジスタのモード変更後はMFTiカウンタの値は不定になりますので、MFTiモードレジスタの変更は、MFTiカウンタの値を設定する前に行ってください。

図12.2.16にMFTiカウンタとMFTiリロードレジスタの関係を示します。

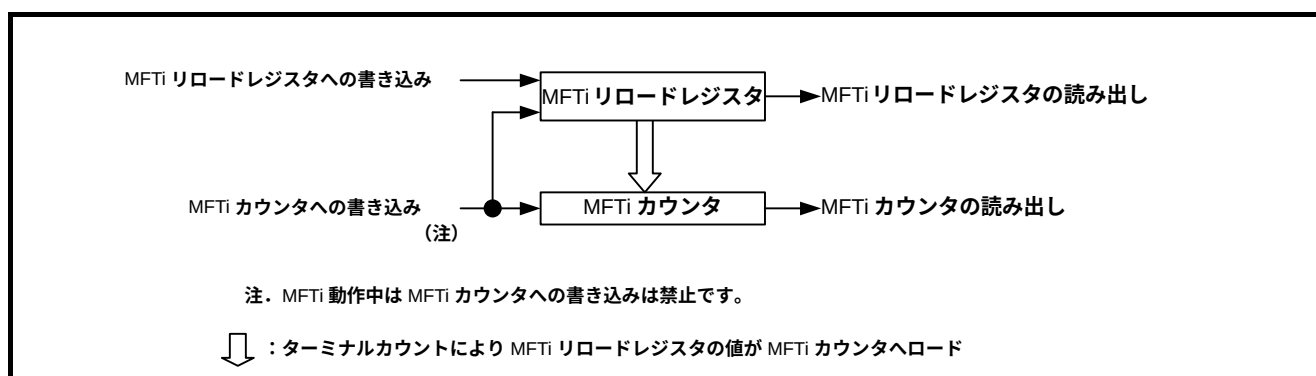


図12.2.16 MFTiカウンタとMFTiリロードレジスタの関係

12.2.6 MFTiリロードレジスタ

MFT0リロードレジスタ (MFT0RLD)	<アドレス: H'00EF C10C>
MFT1リロードレジスタ (MFT1RLD)	<アドレス: H'00EF C20C>
MFT2リロードレジスタ (MFT2RLD)	<アドレス: H'00EF C30C>
MFT3リロードレジスタ (MFT3RLD)	<アドレス: H'00EF C40C>
MFT4リロードレジスタ (MFT4RLD)	<アドレス: H'00EF C50C>
MFT5リロードレジスタ (MFT5RLD)	<アドレス: H'00EF C60C>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
MRLD															
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?

※バイト(8ビット) / ハーフワード(16ビット) / ワード(32ビット) アクセス可能

<リセット解除時: 不定>

b	ビット名	機能	R	W
0~15	何も配置されていません。"0"に固定してください。		0	0
16~31	MRLD	16ビットリロード値	R	W
	リロードレジスタ			

MFTiリロードレジスタは、リード/ライト可能な16ビットのレジスタです。このレジスタに設定した値は、ターミナルカウント発生後、次に有効なカウントソースが入力されたときに、MFTiカウンタにリロードされます。(注) ただし、2相イベントカウンタモード時にはリロードされません。MFTiカウンタへのリロード条件であるターミナルカウントの発生条件は、「12.2.3-(3)ターミナルカウント制御ビット (MFTiモードレジスタのTCCR)」の項を参照してください。

MFTiの停止中にMFTiカウンタに値を設定した場合、同時にMFTiリロードレジスタにも同じ値が設定されます。

各MFTiモードレジスタのモード変更後はMFTiリロードレジスタの値は不定になりますので、MFTiモードレジスタの変更は、MFTiリロードレジスタの値を設定する前に行ってください。

注. MFTi停止中にMFTiリロードレジスタに書き込みを行っても、MFTiカウンタにはその値が書き込まれません。

12.2.7 MFTiコンペアレジスタ

MFTiコンペアレジスタは直接にはリード/ライト不可能な16ビットのレジスタです。

MFTiコンペアレジスタに値を設定する方法については、「12.2.8 MFTiコンペアリロードレジスタ」を参照してください。

MFTiモードレジスタのターミナルカウント制御ビットを"1"にセットしている場合、MFTiコンペアレジスタに設定された値は、MFTiカウンタと比較され、ターミナルカウントの発生を制御します。

周期/パルス幅計測モード時は、MFTiカウンタの値が、MFTiコンペアレジスタの値を超えたとき、オーバフローフラグ（入力系MFTiモードレジスタのOFFLG）が"1"にセットされます。

また、出力系タイマモードにおいて、比較波形出力時はMFTiコンペアレジスタとMFTiカウンタとの比較値をMFTiB端子から出力します。

2相イベントカウンタモード時は、MFTiコンペアレジスタは使用しません。

12.2.8 MFTiコンペアリロードレジスタ

MFT0コンペアリロードレジスタ (MFT0CMPRLD)	<アドレス: H'00EF C110>
MFT1コンペアリロードレジスタ (MFT1CMPRLD)	<アドレス: H'00EF C210>
MFT2コンペアリロードレジスタ (MFT2CMPRLD)	<アドレス: H'00EF C310>
MFT3コンペアリロードレジスタ (MFT3CMPRLD)	<アドレス: H'00EF C410>
MFT4コンペアリロードレジスタ (MFT4CMPRLD)	<アドレス: H'00EF C510>
MFT5コンペアリロードレジスタ (MFT5CMPRLD)	<アドレス: H'00EF C610>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
MCMPLD															
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?

※バイト(8ビット) / ハーフワード(16ビット) / ワード(32ビット) アクセス可能

<リセット解除時: 不定>

b	ビット名	機能	R	W
0~15	何も配置されていません。"0"に固定してください。		0	0
16~31	MCMPLD	16ビットコンペアリロード値	R	W
	コンペアリロードレジスタ			

MFTiコンペアリロードレジスタは、リード/ライト可能な16ビットのレジスタです。

このレジスタの用途は、動作モードにより以下に示すように変化します。

2相イベントカウンタモード時は、MFTiコンペアリロードレジスタは使用しません。

■ MFTi動作中

●1相イベントカウンタモード時 (入力系MFTiモードレジスタのTSEL="0", MSEL="0")

MFTiコンペアレジスタへのリロードレジスタです。MFTiコンペアリロードレジスタに設定された値は、ターミナルカウントが発生した後に入力された有効イベントでMFTiコンペアレジスタにロードされます。

●出力系タイマモード時 (出力系MFTiモードレジスタのTSEL="1")

MFTiコンペアレジスタへのリロードレジスタです。MFTiコンペアリロードレジスタに設定された値は、ターミナルカウントが発生した後に入力されたカウントソースの立ち上がりエッジでMFTiコンペアレジスタにリロードされます。

●周期/パルス幅計測モード時 (入力系MFTiモードレジスタのTSEL="0", MSEL="1")

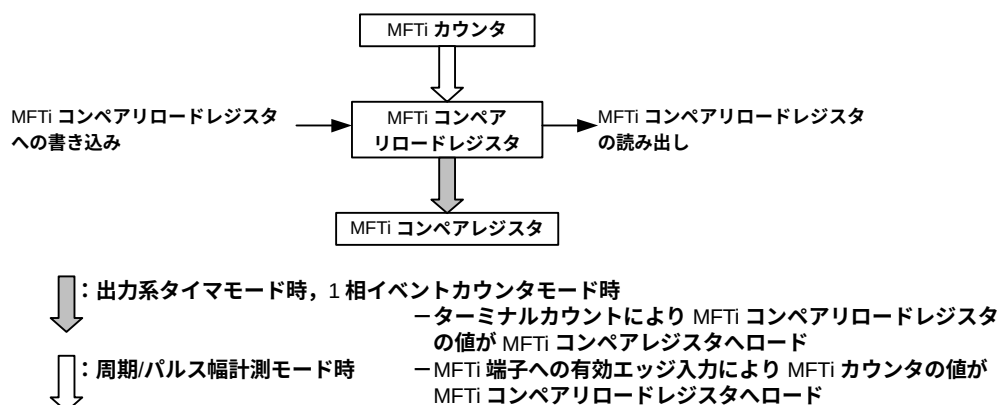
計測値保存用のレジスタです。TAi端子からの有効エッジ入力により、MFTiカウンタの値を、MFTiコンペアリロードレジスタに転送します。ターミナルカウントによるMFTiコンペアリロードレジスタから、MFTiコンペアレジスタへのリロードは行われません。

■ MFTi停止中

動作モードにかかわらず、MFTiコンペアリロードレジスタに設定した値は、MFTiコンペアレジスタにも同時に転送されます。周期/パルス幅計測モード時に、MFTiコンペアレジスタに値を設定する場合、MFTi停止中に行う必要があります。

図12.2.17にMFTiコンペアレジスタとMFTiリロードコンペアレジスタの関係を示します。

●MFTi 動作中



●MFTi 停止中



図12.2.17 MFTiコンペアレジスタとMFTiリロードコンペアレジスタの関係

12.3 マルチファンクションタイマ動作例

MFTは、MFTiモードレジスタの設定の組み合わせにより、さまざまなタイマ機能やカウンタ機能などが実現できます。本節では、基本的な動作、動作タイミング、及びレジスタ設定例などの例を挙げ、MFTiの機能説明を行います。

本節で扱う「基本的な動作」は以下の通りです。

● 定周期タイマ

MFTiカウンタの動作により、一定時間おきに割り込み要求が発生します。また、MFTiコンペアレジスタを設定することにより任意の定周期の波形を出力します。割り込み要求発生時に、次に有効なカウント値及びコンペア値をリロードします。(→12.3.1参照)

● PWM波形出力タイマ

PWM (Pulse Width Modulation) 方式の波形生成機能を備えた出力タイマです。MFTiカウンタとMFTiコンペアレジスタに設定する値によって、任意の周期、任意のデューティ比からなる波形を出力します。各周期終了に割り込み要求が発生し、次に有効なカウント値及びコンペア値をリロードします。(→12.3.2参照)

● ワンショットタイマ

ソフトウェアによる設定、又は外部端子より入力した信号をトリガとして、あらかじめMFTiカウンタに設定した期間、任意のパルス幅の信号を出力します。また、カウントモードをアップカウントに選択することにより、トリガから一定期間経過後に出力するなどの制御もできます。(→12.3.3参照)

● リアルポートタイマ

ステッピングモータなどの回転制御に適しています。

MFTiカウンタのターミナルカウントが発生した後、カウントソースが入力されたとき、TBi出力端子から、あらかじめ設定しておいた任意のレベルを出力します。(→12.3.4参照)

● 周期/パルス幅計測タイマ

TAi端子に入力された波形の周期や幅をMFTiカウンタによって計測します。周期パルス幅計測タイマとして使用時にはアップカウントモードで使用してください。有効エッジ入力(カウント終了)時にMFTiコンペアリロードレジスタに計測値を移します。ターミナルカウントに達し次に有効なカウントソース入力時、及び初回入力を除く有効エッジ入力時には割り込み要求が発生し、あらかじめMFTiリロードレジスタに設定してあったカウント初期値をMFTiカウンタにリロードします。

なお、ターミナルカウントに達し、次に有効なカウントソースを入力した場合に、オーバフローフラグがセットされます(カウントは継続)。(→12.3.5参照)

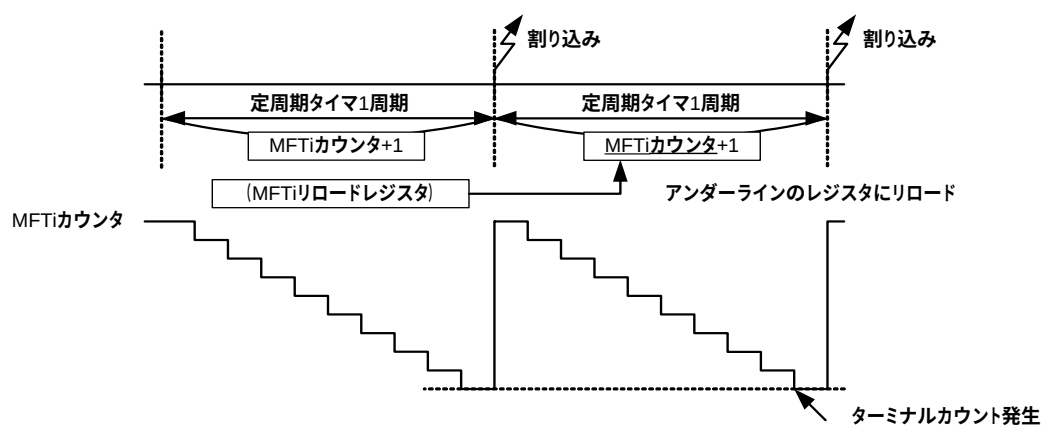
● 1相イベントカウンタ

TBi端子に入力された1相イベント入力をMFTiカウンタの動作によって計測します。(→12.3.6参照)

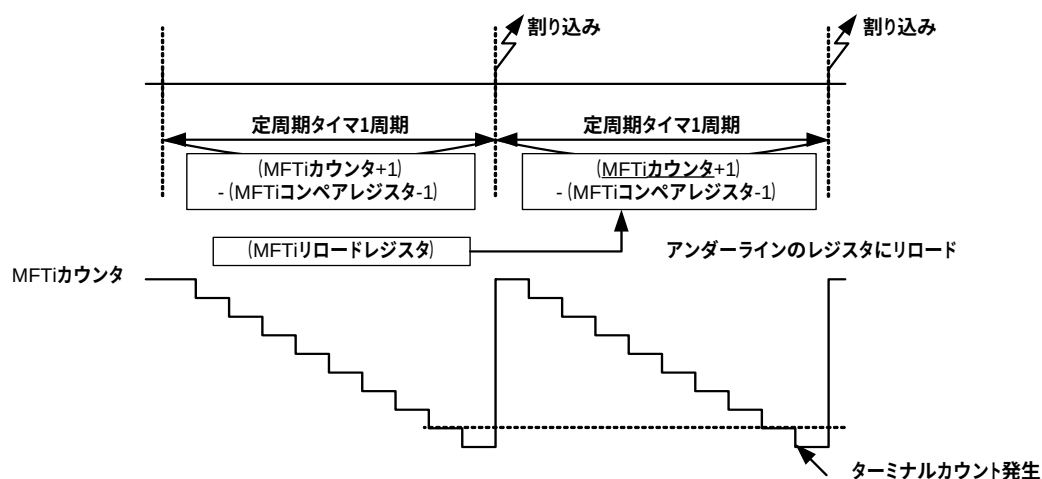
● 2相イベントカウンタ(標準モード、4通倍モード)

TAi端子からの2相イベントA入力、およびTBi端子からの2相イベントB入力の2本の入力からの信号に基づいてMFTiカウンタが動作します。また、カウントモードを標準モード/4通倍モードから選択でき、各端子から入力したレベルによってカウント制御できます。(→12.3.7参照)

●定周期 (ダウンカウント時) (ターミナルカウント: MFTiカウンタ="H'0000")



●定周期 (ダウンカウント時) (ターミナルカウント: MFTiカウンタ値 < MFTiコンペアレジスタ)



●定周期 (アップカウント時) (ターミナルカウント: MFTiカウンタ="H'FFFF"
またはMFTiカウンタ値 < MFTiコンペアレジスタ)

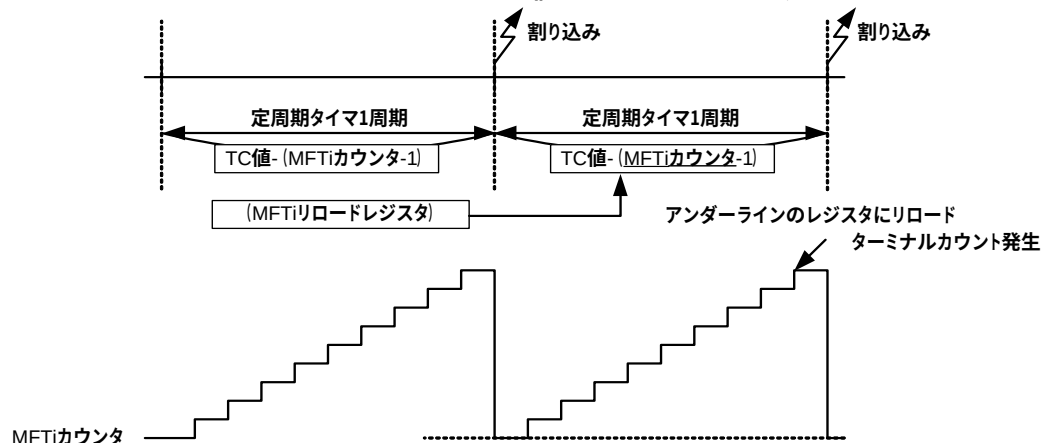


図12.3.2 定周期タイマ時のMFTiの動作

(2) 定周期タイマの実現

定周期タイマは、MFTiモードレジスタ及びMFTi端子出力状態レジスタに図12.3.3および表12.3.2、表12.3.3に示す値を設定することにより実現できます。

なお、任意としている部分について、表12.3.2、表12.3.3の下線部を選択した場合の動作を「(3) 定周期タイマとしてのMFTiの動作」に示します。

■MFTi モードレジスタ																													
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15														
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31														
TSEL	TCSEL	TCCR	TOSEL			GTSEL					OLSEL	CMSEL		CSSEL															
1	0	*	*	*	*	*	*	0	0	0	*	*	*	*	*														
■MFTi 端子出力状態レジスタ																													
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15														
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31														
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
															MTIOS														
															*														

注. *は任意の値です。

図12.3.3 定周期タイマレジスタ設定

表12.3.2 MFTiモードレジスタの設定内容

ビット	レジスタ名	設定
16	TSEL タイマ選択ビット	1: 出力系タイマ
17	TCSEL ターミナルカウント回数選択ビット	0: 制限なし
18	TCCR ターミナルカウント制御ビット	0: MFTiカウンタ="H'0000", "H'FFFF" 1: MFTiカウンタ $\geq$ MFTiコンペアレジスタ、 MFTiカウンタ<MFTiコンペアレジスタ
19~20	TOSEL タイマ出力選択ビット	00: 出力なし 01: 比較波形出力 10: トグル波形出力 11: リアルポート出力
21~23	GTSEL ゲート極性/トリガ選択ビット	000: ゲート/トリガ入力無効 001: トリガ入力 (立ち上がりエッジ) 010: トリガ入力 (立ち下がりエッジ) 011: トリガ入力 (両エッジ) 110: ゲート入力 ("L"レベル時有効) 111: ゲート入力 ("H"レベル時有効)
27	OLSEL 出力レベル選択ビット	0: 正極性 1: 負極性
28	CMSEL カウントモード選択ビット	0: ダウンカウント 1: アップカウント
29~31	CSSEL カウントソース選択ビット	000: PCLK (周辺I/Oクロック) 001: PCLK (周辺I/Oクロック) /8 010: PCLK (周辺I/Oクロック) /32 011: PCLK (周辺I/Oクロック) /128 110: TAIカウントソース入力

注1. TAIカウントソース入力を設定する場合、GTSELでTAI端子入力の有効トリガを選択してください。

表12.3.3 MFTi出力状態レジスタ設定

ビット	レジスタ名	設定
31	MTIOS TBi端子出力状態ビット	任意 0: "L"レベル出力 1: "H"レベル出力

(3) 定周期タイマとしてのMFTiの動作

図12.3.4及び図12.3.5に (2) にて設定した定周期タイマとしてのMFTiの動作タイミング例を示します。

なお、図12.3.4はタイマ出力選択ビットに比較波形出力を選択した (TOSEL="01") 場合、図12.3.5はトグル波形出力を選択した場合 (TOSEL="10") の例です。

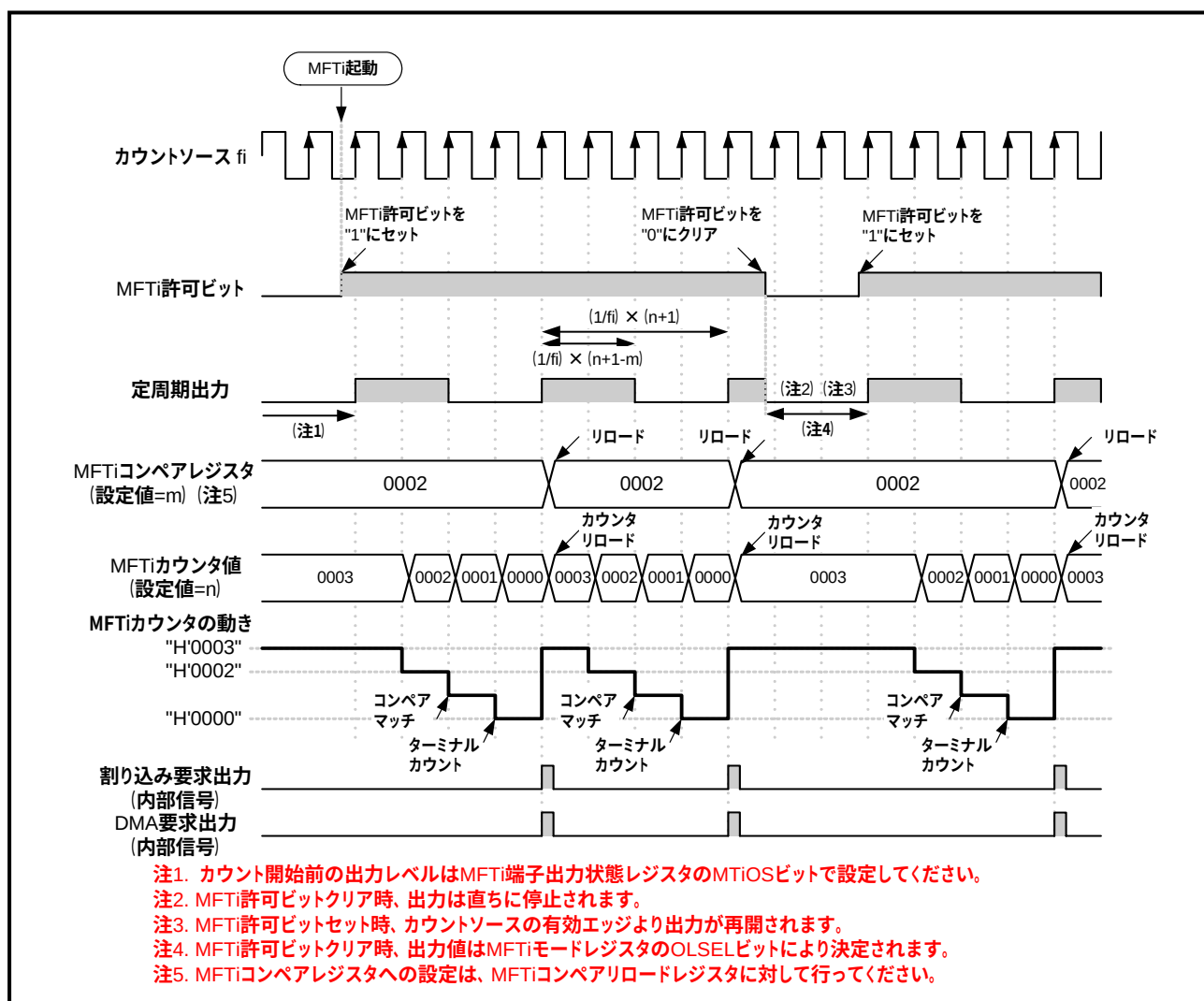


図12.3.4 比較波形出力選択時の動作タイミング例

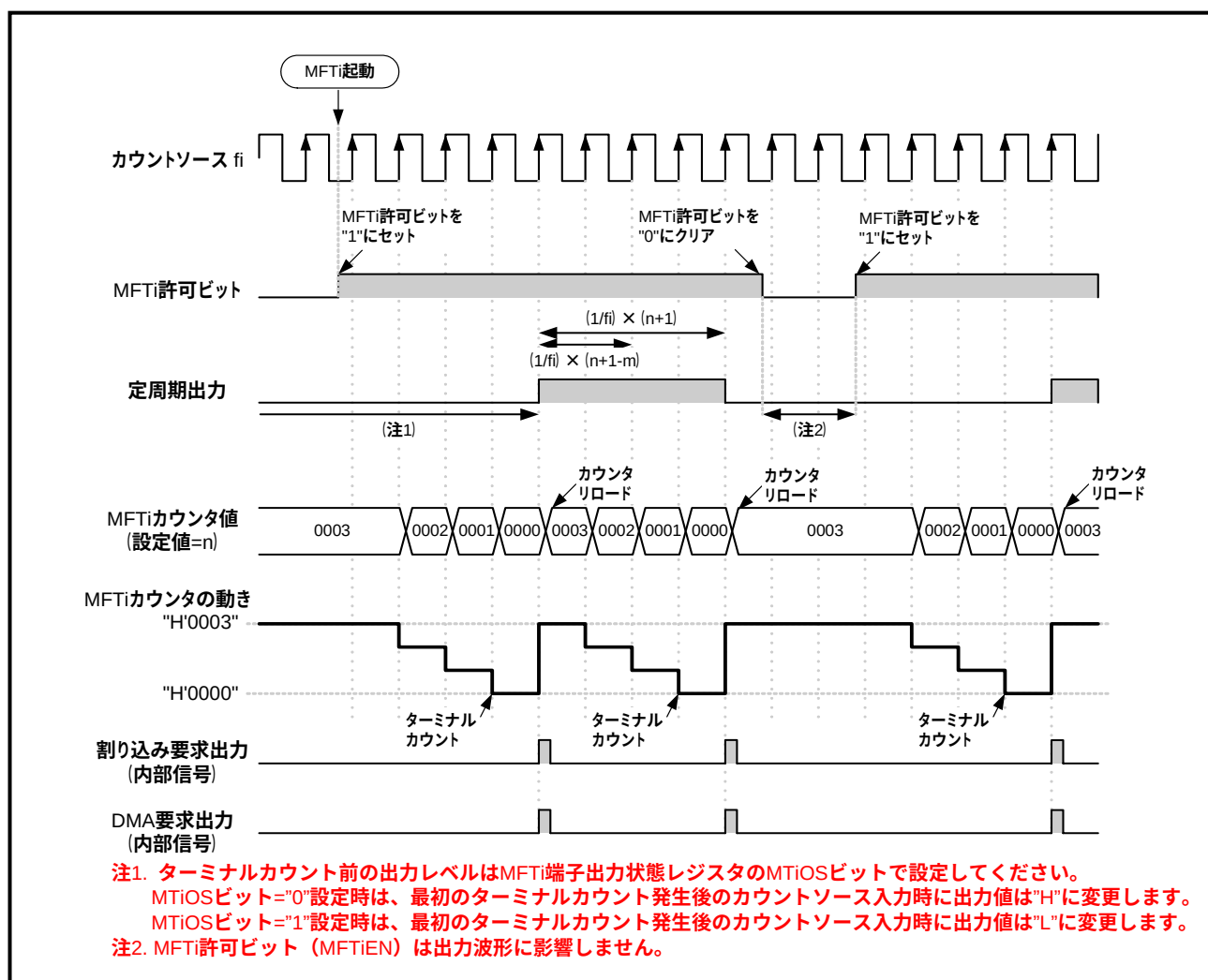


図12.3.5 トグル波形出力選択時の動作タイミング例

12.3.2 PWM波形出力タイマの実現

(1) PWM波形出力タイマ概要

PWM（Pulse Width Modulation）方式の波形生成機能を備えた出力タイマです。MFTiカウンタとMFTiコンペアレジスタに設定する値によって、任意の周期、任意のデューティ比から成る波形を出力します。各周期終了時に割り込み要求が発生し、次に有効なカウント値及びコンペア値をリロードします。

- 表12.3.4にPWM波形出力タイマの概要を示します。
- 図12.3.6にPWM波形出力タイマ時のMFTiブロック図を示します。
- 図12.3.7にPWM波形出力タイマ時のMFTiの動作を示します。

表12.3.4 PWM波形出力タイマの概要

項 目	概 要
使用可能チャンネル	6チャンネル
該当タイマおよび端子	MFTi：TAi端子（ゲート/トリガ入力、カウントソース入力）、TBi端子（波形出力）
カウンタ	16ビットカウンタ（16ビットリロードレジスタ）
デューティ比制御	16ビットコンペアレジスタ（MFTiコンペアリロードレジスタを介して設定）
カウントソース	PCLK（周辺I/Oクロック）の1/1,1/8,1/32, 1/128 TAiカウントソース入力（カウントソース周波数上限はf(PCLK)/2）
起動方法	ソフトウェアトリガ ゲート/トリガ入力
割り込み要求、DMA要求	ターミナルカウントに達し、次のカウントソースを入力したとき（各周期終了）

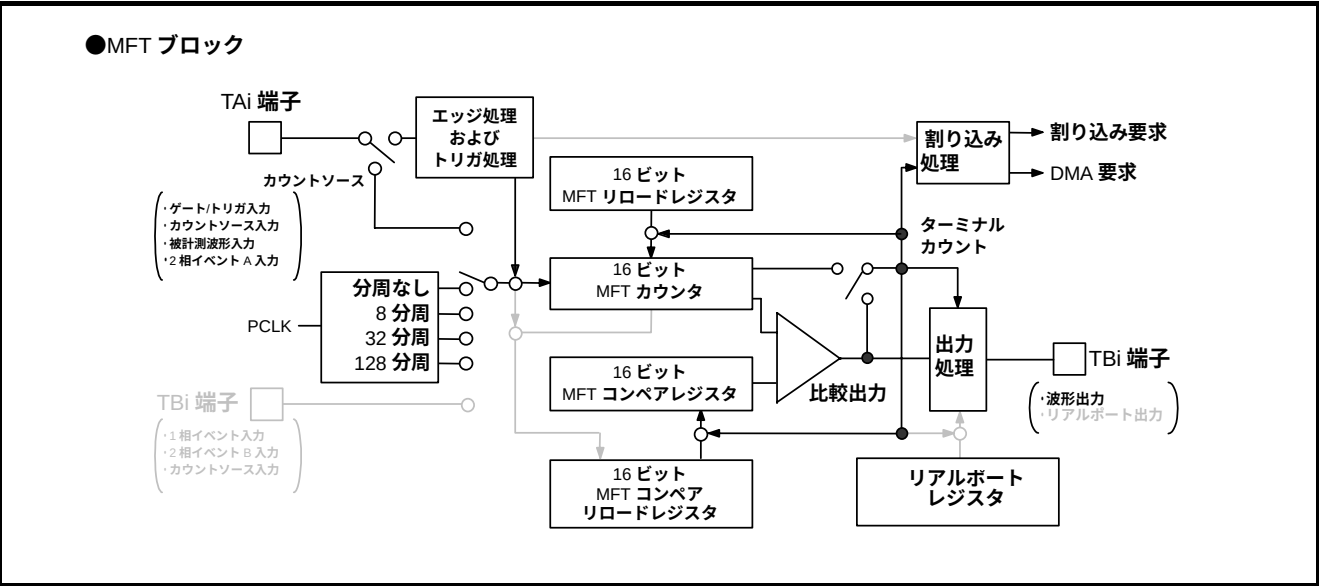


図12.3.6 PWM波形出力タイマ時のMFTiブロック図

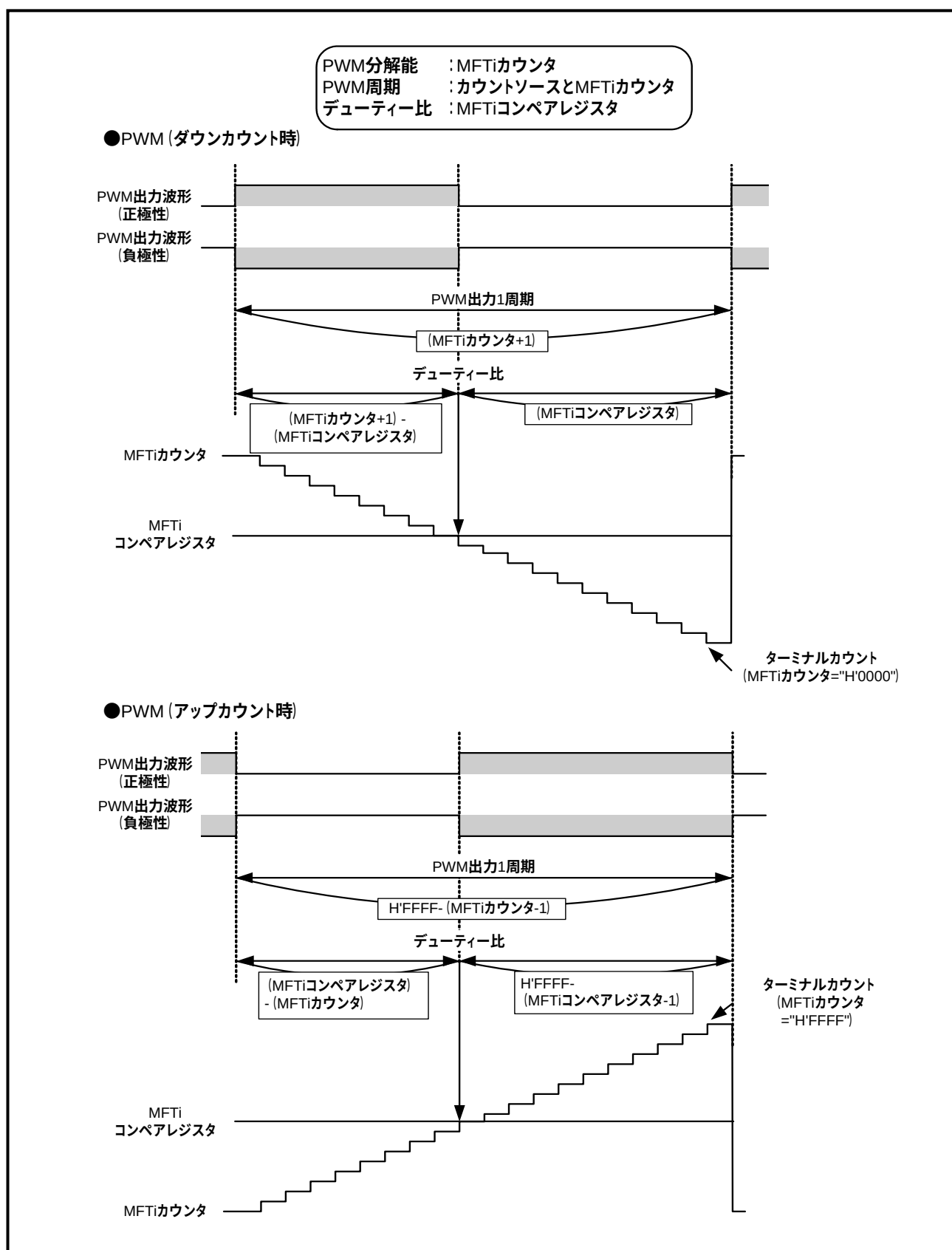


図12.3.7 PWM波形出力タイマ時のMFTiの動作

表12.3.6 MFTi出力状態レジスタ設定

ビット	レジスタ名	設定
31	MTIOS TBI端子出力状態ビット	任意 0: "L"レベル出力 1: "H"レベル出力

(3) PWM波形出力タイマとしてのMFTiの動作

図12.3.9に (2) にて設定したPWM波形出力タイマとしてのMFTiの動作タイミング例を示します。

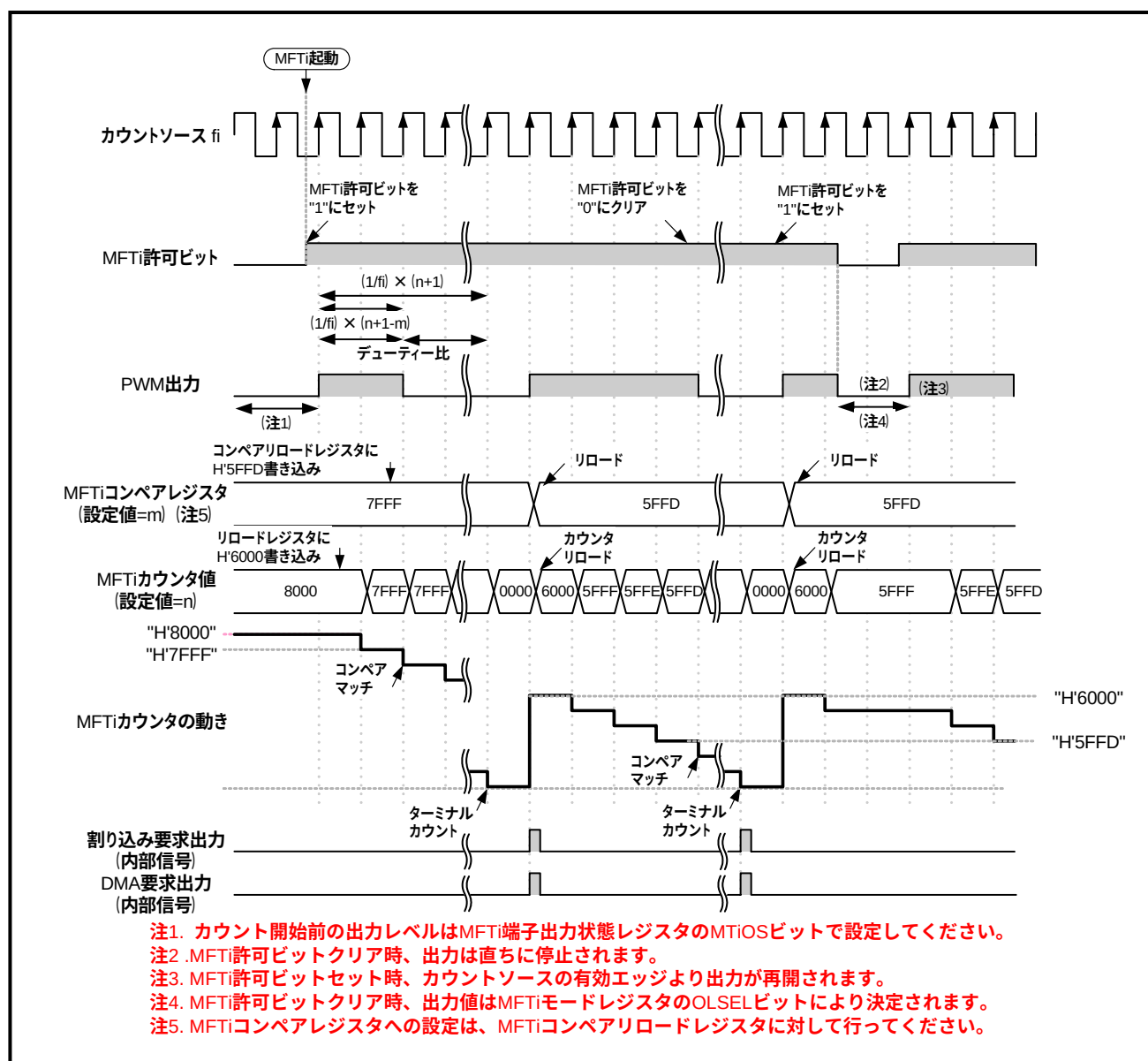


図12.3.9 PWM波形出力タイマとしてのMFTiの動作タイミング例

12.3.3 ワンショットタイマの実現

(1) ワンショットタイマ概要

ソフトウェアによる設定、または外部端子より入力した信号をトリガとして、あらかじめMFTiカウンタに設定した期間、任意のパルス幅の信号を出力します。また、カウントモードをアップカウントに選択することにより、トリガから一定期間おいた後に出力するなどの制御もできます。

表12.3.7にワンショットタイマの概要を示します。

図12.3.10にワンショットタイマ時のMFTiブロック図を示します。

図12.3.11、及び図12.3.12にワンショットタイマ時のMFTiの動作を示します。

表12.3.7 ワンショットタイマの概要

項 目	概 要
使用可能チャンネル	6チャンネル
該当タイマおよび端子	MFTi：TAi端子（ゲート/トリガ入力、カウントソース入力）、TBi端子（波形出力）
カウンタ	16ビットカウンタ（16ビットリロードレジスタ）
コンペアレジスタ	16ビットコンペアレジスタ（MFTiコンペアリロードレジスタを介して設定）
カウントソース	PCLK（周辺I/Oクロック）の1/1,1/8, 1/32,1/128 TAiカウントソース入力（カウントソース周波数上限はf(PCLK)/2）
起動方法	ソフトウェアトリガ ゲート/トリガ入力
割り込み要求、DMA要求	ターミナルカウントに達し、次のカウントソースを入力したとき

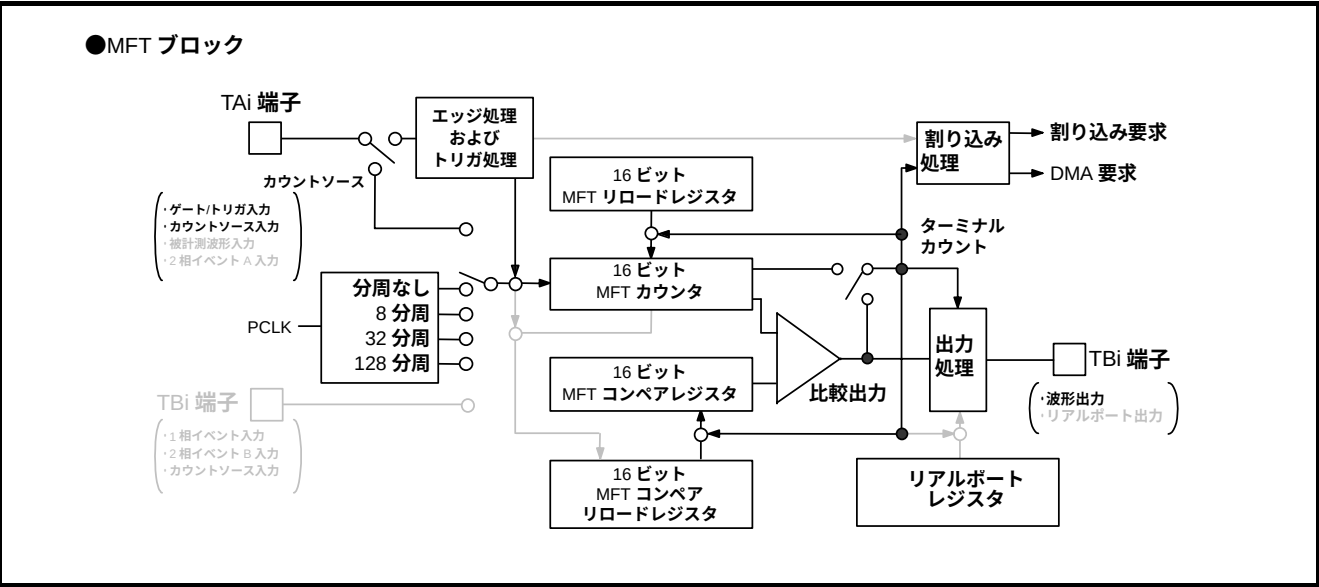


図12.3.10 ワンショットタイマ時のMFTiブロック図

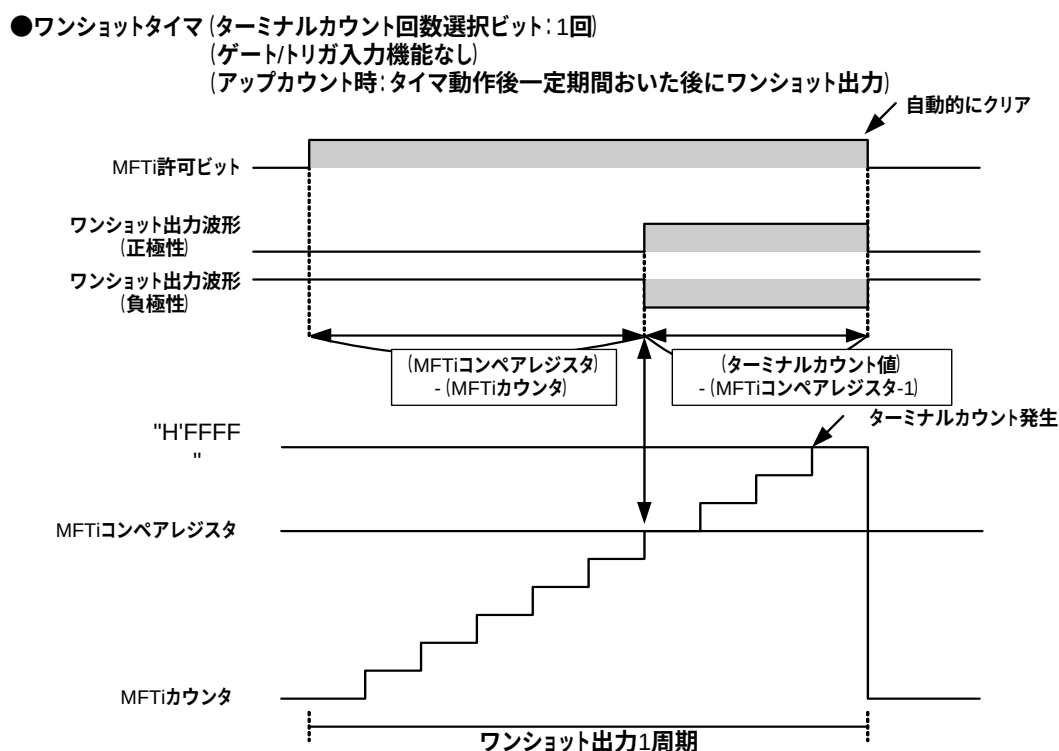
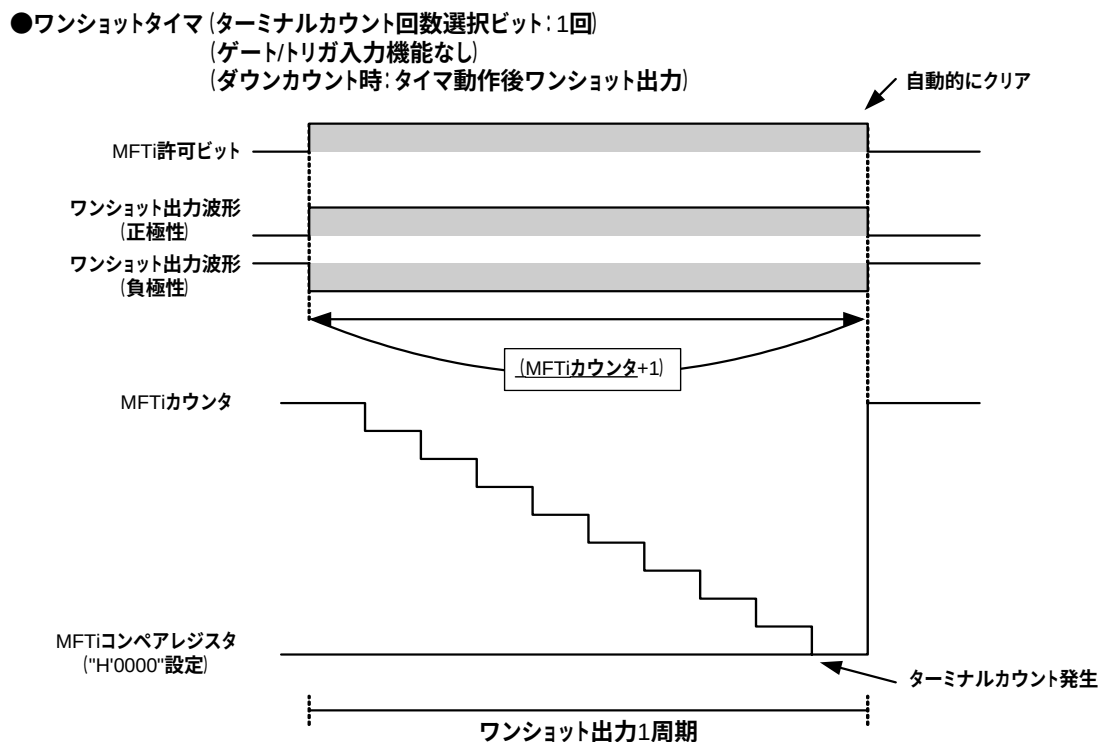


図12.3.11 ワンショットタイマ時のMFTiの動作1

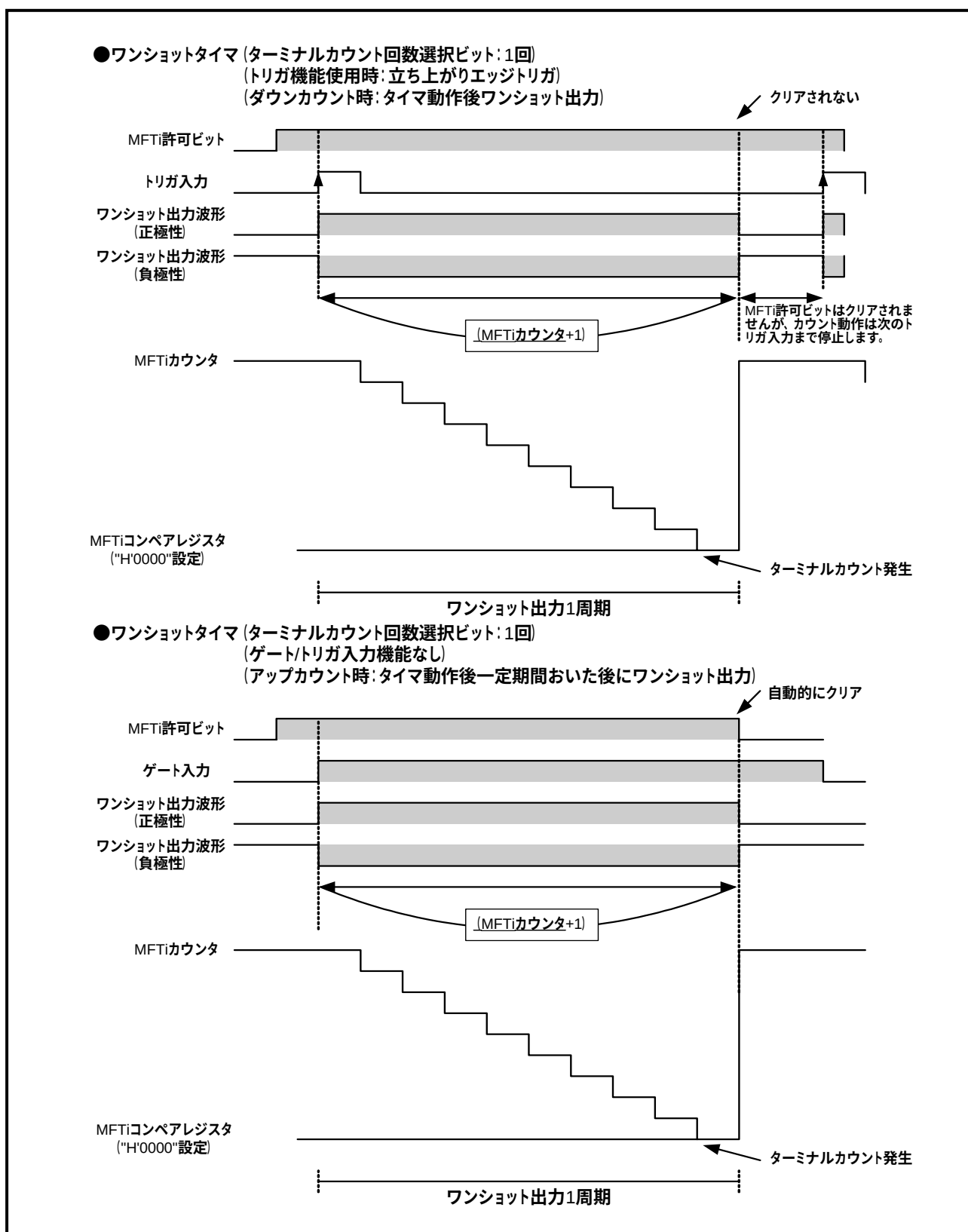


図12.3.12 ワンショットタイマ時のMFTiの動作2

(2) ワンショットタイマの実現

ワンショットタイマは、MFTiモードレジスタ、およびMFTi端子出力状態レジスタに図12.3.13および表12.3.8、表12.3.9に示す値を設定することにより実現できます。

なお、任意としている部分について、表12.3.8、表12.3.9の下線部を選択した場合の動作を「(3) ワンショットタイマとしてのMFTi動作」に示します。

■MFTi モードレジスタ															
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
TSEL	TCSEL	TCCR	TOSEL		GTSEL						OLSEL	CMSEL		CSSEL	
1	1	*	0	1	*	*	*	0	0	0	*	*	*	*	*
■MFTi 端子出力状態レジスタ															
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
															MTIOS
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	*

注. *は任意の値です。

図12.3.13 ワンショットタイマレジスタ設定

表12.3.8 MFTiモードレジスタの設定内容

ビット	レジスタ名	設定
16	TSEL タイマ選択ビット	1：出力系タイマ
17	TCSEL ターミナルカウント回数選択ビット (注1)	1：1回
18	TCCR ターミナルカウント制御ビット	0：MFTiカウンタ="H'0000", "H'FFFF" 1：MFTiカウンタ≥MFTiコンペアレジスタ、 MFTiカウンタ<MFTiコンペアレジスタ
19~20	TOSEL タイマ出力選択ビット	01：比較波形出力
21~23	GTSEL ゲート極性/トリガ選択ビット (注1)	000：ゲート/トリガ入力無効 001：トリガ入力 (立ち上がりエッジ) 010：トリガ入力 (立ち下がりエッジ) 011：トリガ入力 (両エッジ) 110：ゲート入力 ("L"レベル時有効) 111：ゲート入力 ("H"レベル時有効)
27	OLSEL 出力レベル選択ビット	0：正極性 1：負極性
28	CMSEL カウントモード選択ビット	0：ダウンカウント 1：アップカウント
29~31	CSSEL カウントソース選択ビット	000：PCLK (周辺I/Oクロック) 001：PCLK (周辺I/Oクロック) /8 010：PCLK (周辺I/Oクロック) /32 011：PCLK (周辺I/Oクロック) /128 110：TAiカウントソース入力 (注2)

注1. ゲート/トリガ入力機能なし、またはゲート機能 (GTSEL="000", "110", "111") 選択時は、ターミナルカウントに達し、次に有効なカウントソースを入力したときにMFTi許可ビットは自動的にクリアされます。ただし、トリガ機能選択時はクリアされません。

注2. TAiカウントソース入力を設定する場合、GTSELでTAi端子入力の有効トリガを選択してください。

表12.3.9 MFTi出力状態レジスタ設定

ビット	レジスタ名	設定
31	MTIOS TBi端子出力状態ビット	任意 0: "L"レベル出力 1: "H"レベル出力

(3) ワンショットタイマとしてのMFTiの動作

図12.3.14に (2) にて設定したワンショットタイマとしてのMFTiの動作タイミング例を示します。

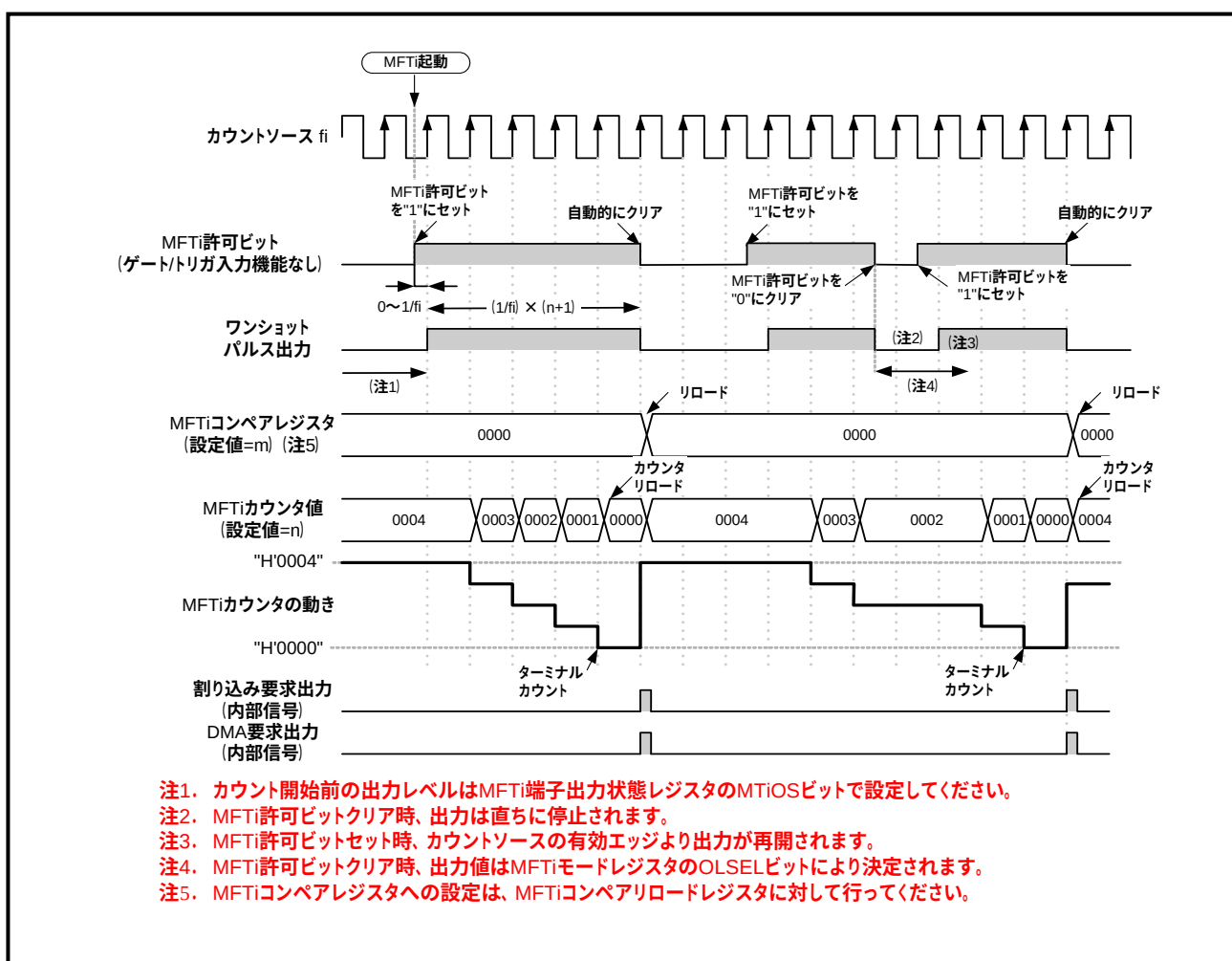


図12.3.14 ワンショットタイマとしてのMFTiの動作タイミング例

12.3.4 リアルポートタイマの実現

(1) リアルポートタイマ概要

リアルポートタイマは、ステッピングモータなどの回転制御に適しています。MFTiカウンタがターミナルカウントに達し、次に有効なカウントソースを入力したとき、TBi端子から、あらかじめ設定しておいた任意のレベルを出力します。

- 表12.3.10にリアルポートタイマの概要を示します。
- 図12.3.15にリアルポート時のMFTiブロック図を示します。
- 図12.3.16にリアルポート時のMFTiの動作を示します。

表12.3.10 リアルポートタイマの概要

項 目	概 要
使用可能チャンネル	6チャンネル
該当タイマおよび端子	MFTi： TBi端子（リアルポートデータ）
カウンタ	16ビットカウンタ（16ビットリロードレジスタ）
出力データレジスタ	MFTiリアルポートレジスタ
カウントソース	システムロックの1/1,1/8, 1/32,1/128
起動方法	ソフトウェアトリガ
割り込み要求、DMA要求	ターミナルカウントに達し、次回のカウントソースを入力したとき

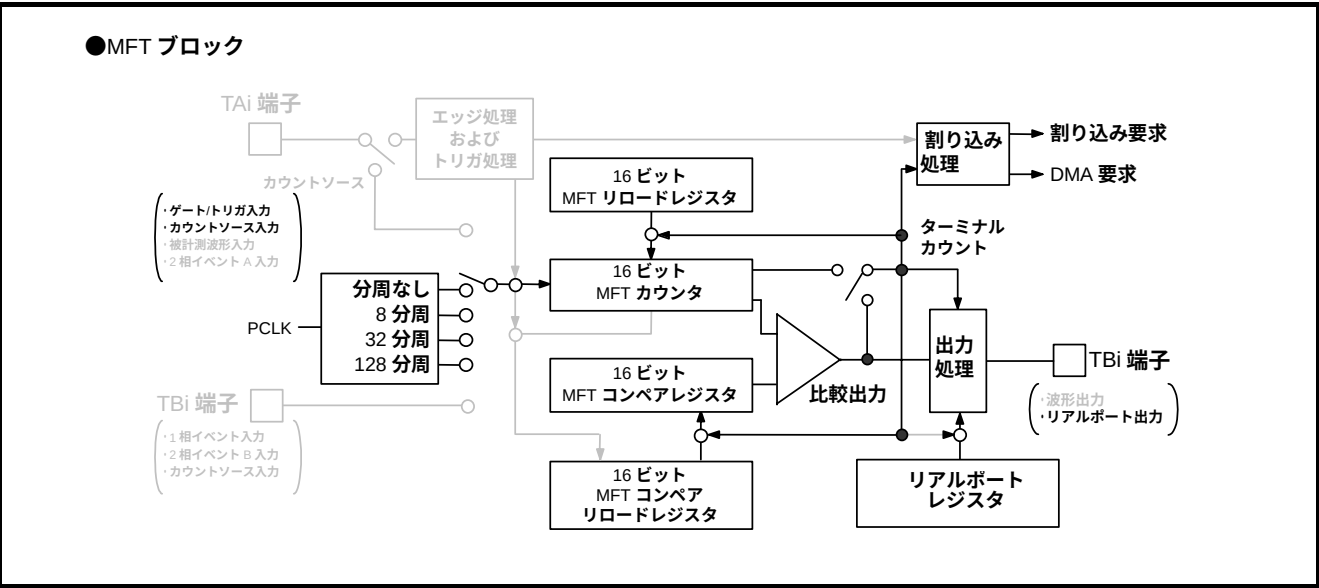
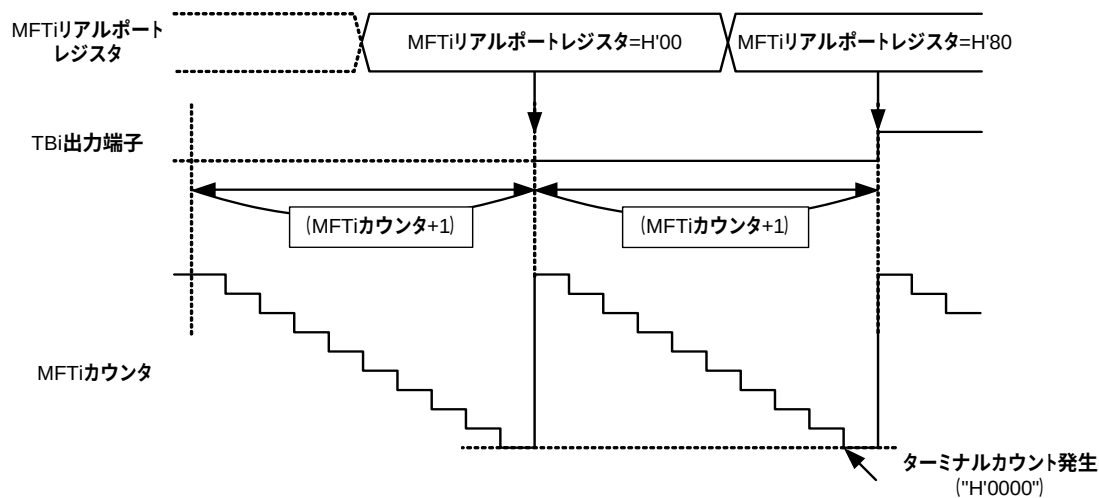


図12.3.15 リアルポートタイマ時のMFTiブロック図

●リアルポートデータ出力 (ダウンカウント時)



●リアルポートデータ出力 (アップカウント時)

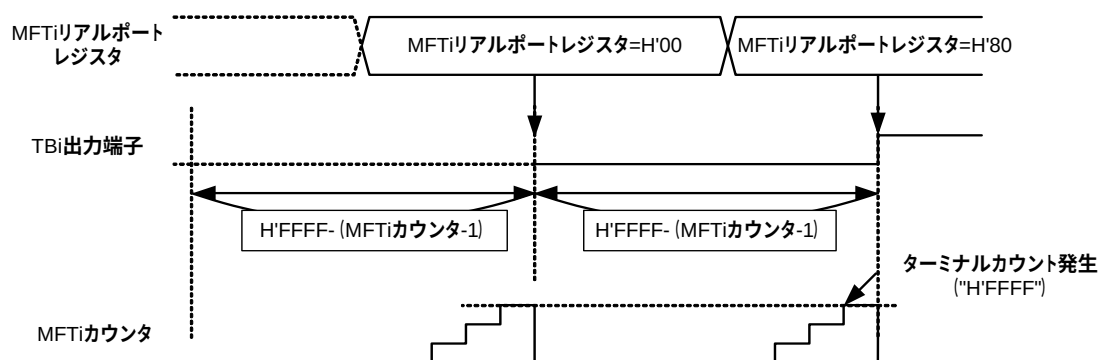


図12.3.16 リアルポート時のMFTiの動作

(3) リアルポートタイマの注意事項

MFTのカウンタ動作中に、動作を停止（MFT制御レジスタのMFTi許可ビットMFTiEN="0"）にすると、出力中のレベルはそのままとなります。カウント途中で動作停止する場合は、リアルポートタイマの出力レベルを初期化するなど注意してください。

(4) リアルタイムポート出力としてのMFTiの動作タイミング例

図12.3.18に（2）にて設定したリアルポートデータ出力としてのMFTiの動作タイミング例を示します。

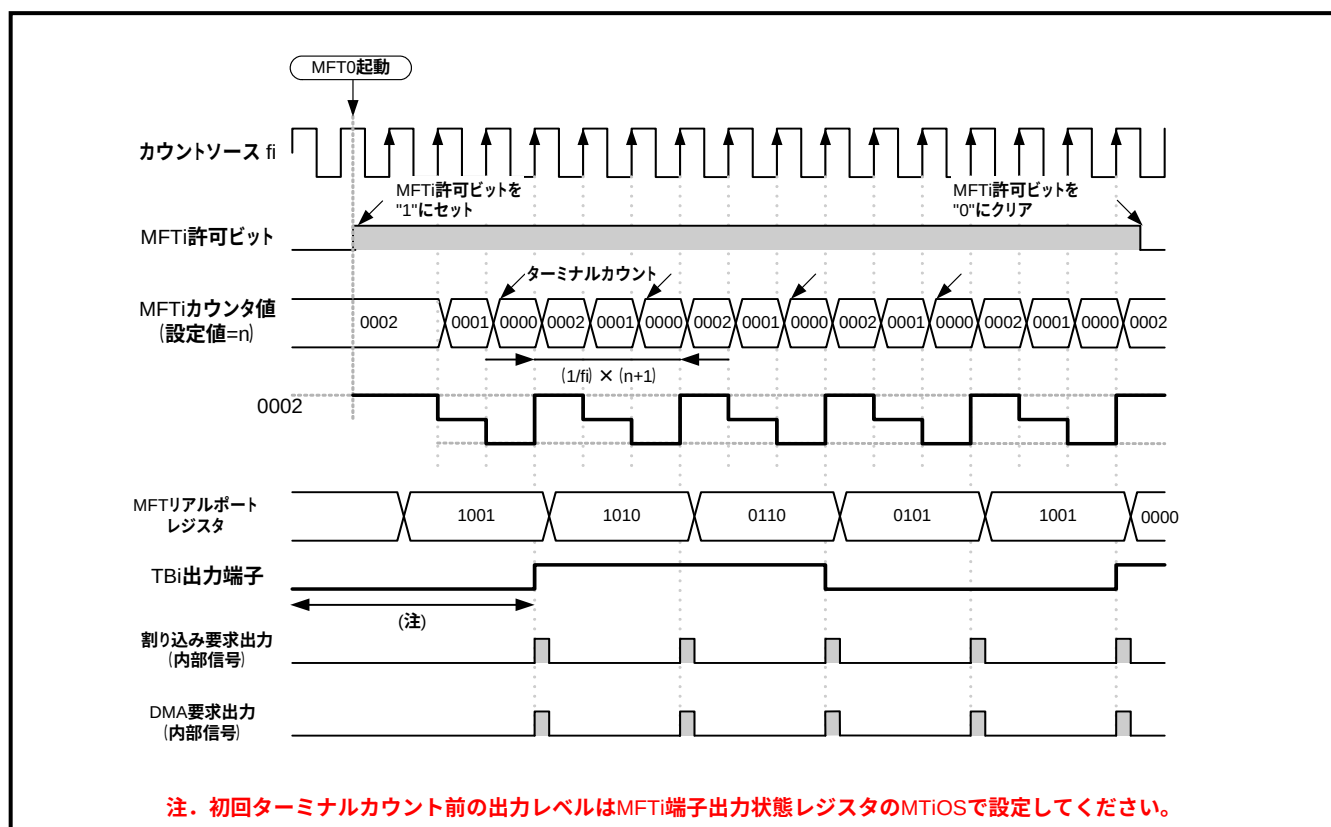


図12.3.18 リアルポートデータ出力としてのMFTiの動作タイミング例

12.3.5 周期/パルス幅計測タイマの実現

(1) 周期/パルス幅計測タイマ概要

TAi端子に入力された波形の周期や幅をMFTiカウンタによって計測します。周期/パルス幅計測タイマではアップカウントモードで使用してください。有効エッジ入力（カウント終了）時にMFTiコンパリアロードレジスタに計測値を移します。ターミナルカウントに達し次に有効なカウントソースを入力時、および有効エッジ入力時には、割り込み要求が発生し、あらかじめMFTiリロードレジスタに設定してあったカウント初期値をMFTiカウンタにリロードします。

なお、ターミナルカウントに達し、次に有効なカウントソースを入力した場合に、オーバフローフラグがセットされます（カウントは継続）。

表12.3.13に周期/パルス幅計測タイマの概要を示します。

図12.3.19に周期/パルス幅計測タイマ時のMFTiブロック図を示します。

図12.3.20に周期/パルス幅計測タイマ時のMFTiの動作を示します。

表12.3.13 周期/パルス幅計測タイマの概要

項 目	概 要
使用可能チャンネル	6チャンネル
該当タイマおよび端子	MFTi：TAi端子（被計測波形）、TBi端子（カウントソース入力）
カウンタ	16ビットカウンタ（アップカウント）（16ビットリロードレジスタ）
コンペアレジスタ	16ビットコンペアレジスタ（注）
計測レジスタ	16ビットコンパリアロードレジスタを使用
カウントソース	PCLK（周辺I/Oクロック）の1/1,1/8, 1/32,1/128 TBiカウントソース入力（カウントソース周波数上限はf(PCLK)/2）
起動方法	ソフトウェアアトリガ
割り込み要求、DMA要求	ターミナルカウントに達し、次回のカウントソースを入力したとき 有効エッジの入力時

注：カウンタ非動作中にMFTiコンパリアロードレジスタに対して値を設定してください。動作中の書き換えはできません。

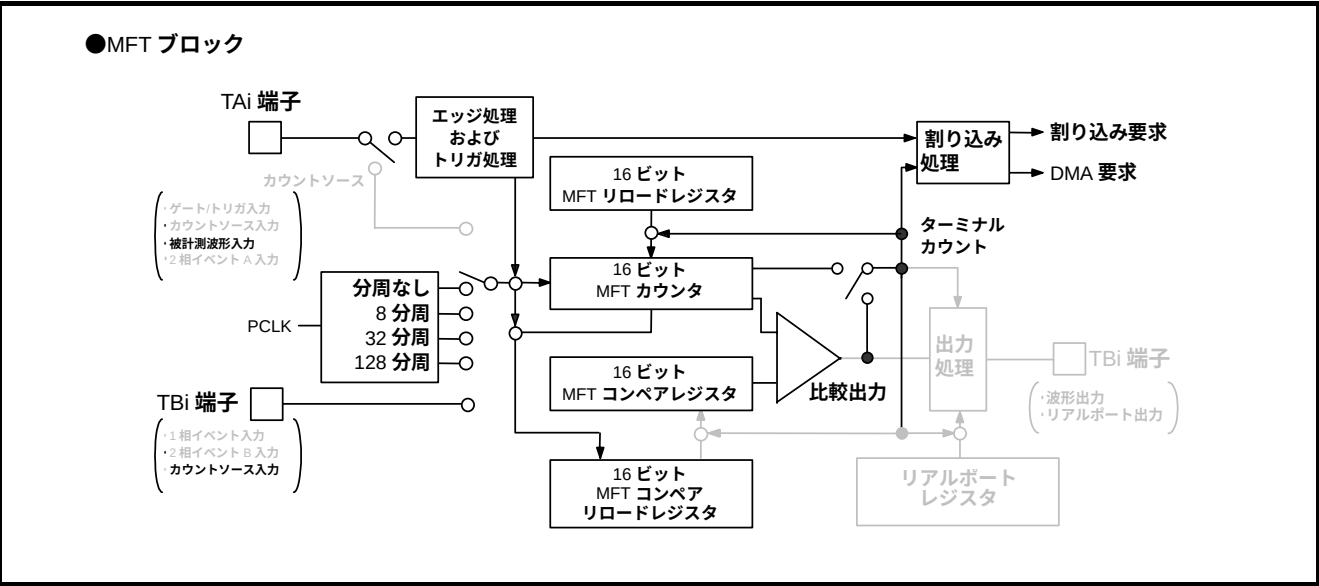


図12.3.19 周期/パルス幅計測タイマ時のMFTiブロック図

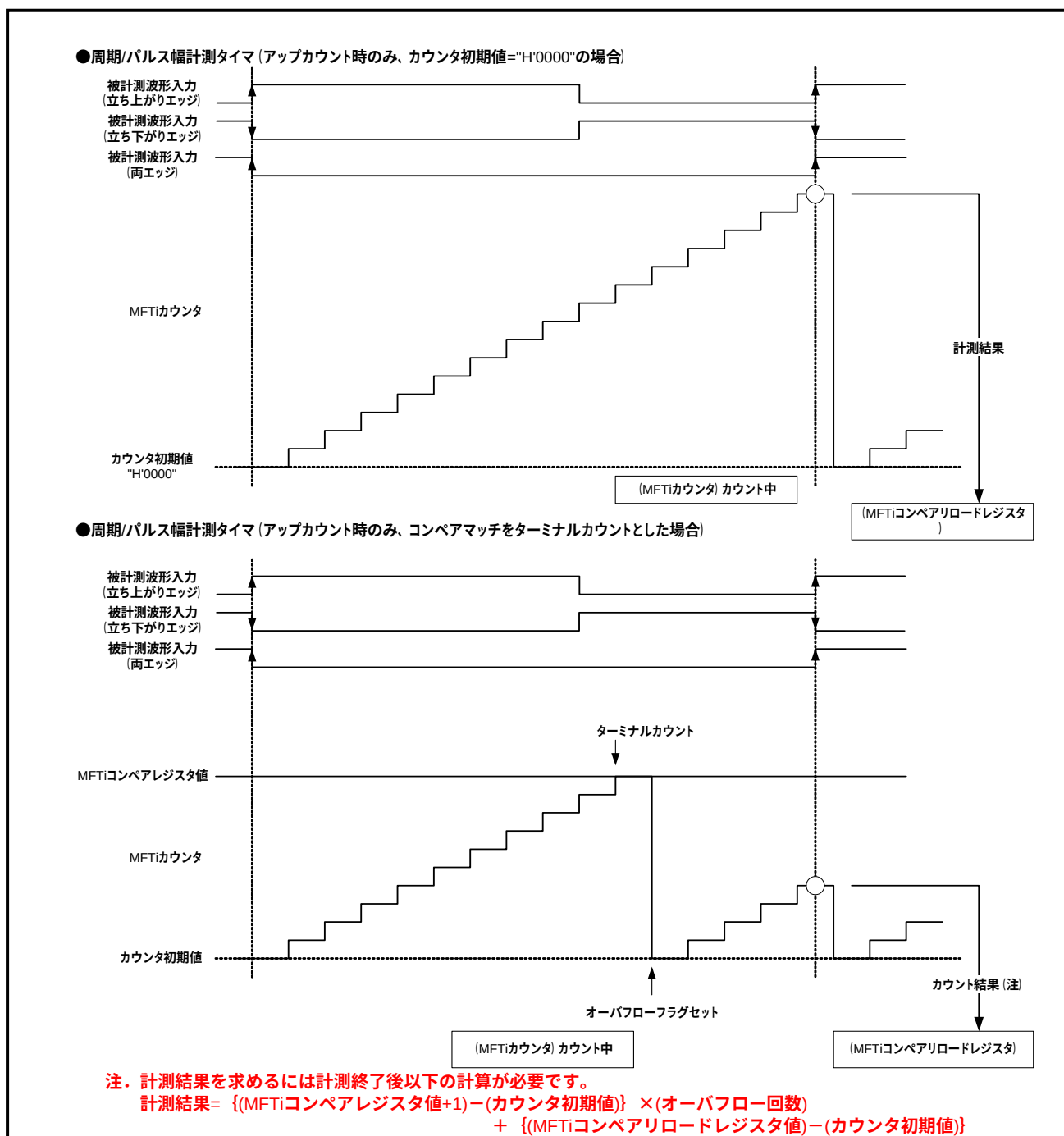


図12.3.20 周期/パルス幅計測タイマ時のMFTiの動作

(2) 周期/パルス幅計測タイマの実現

周期/パルス幅計測タイマは、MFTiモードレジスタに図12.3.21および表12.3.14に示す値を設定することにより実現できます。

なお、任意としている部分について、表12.3.14の下線部を選択した場合の動作を「(3) 周期/パルス幅計測タイマとしてのMFTiの動作」に示します。

■MFTi モードレジスタ																													
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15														
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31														
TSEL	MSEL	TCCR			GTSEL/MTMOD			BWMSK	UFFLG	OFFLG		CMSEL	ECSEL/CSSEL																
0	1	*	0	0	*	*	*	*	0	0	0	1	*	*	*														

注. *は任意の値です。

図12.3.21 周期/パルス幅計測タイマレジスタ設定

表12.3.14 MFTiモードレジスタの設定内容

ビット	レジスタ名	設定
16	TSEL タイマ選択ビット	0：入力系タイマ
17	MSEL 動作モード選択ビット	1：周期/パルス幅計測タイマ
18	TCCR ターミナルカウント制御ビット	0：MFTiカウンタ="H'0000", "H'FFFF" 1：MFTiカウンタ="H'0000", MFTiカウンタ≥MFTiコンペアレジスタ
21~23	MTMOD 計測タイマモード選択ビット	001：周期計測（立ち上がりエッジ間） 010：周期計測（立ち下がりエッジ間） 011：パルス幅計測 （立ち上がりエッジ→立ち下がりエッジ） （立ち下がりエッジ→立ち上がりエッジ）
24	BWMSK b25, b26書き込みマスクビット	b25, b26への書き込み時は"1"に設定
25	UFFLG アンダフローフラグ	書き込み時"0"
26	OFFLG オーバフローフラグ	書き込み時"0"
28	CMSEL カウントモード選択ビット	1：アップカウントで使用
29~31	<周期/パルス幅計測モード時> CSSEL カウントソース選択ビット	000：PCLK（周辺I/Oクロック） 001：PCLK（周辺I/Oクロック）／8 010：PCLK（周辺I/Oクロック）／32 011：PCLK（周辺I/Oクロック）／128 111：TBiカウントソース入力

(3) 周期/パルス幅計測タイマとしてのMFTiの動作

図12.3.22および図12.3.23に (2) にて設定した周期/パルス幅計測タイマとしてのMFTiの動作タイミング例を示します。

なお、図12.3.22はターミナルカウントをMFTiカウンタ="H'FFFF" (TCCR="0") に、図12.3.23はターミナルカウントをMFTiカウンタ $\geq$ MFTiコンペアレジスタ (TCCR="1") に選択した例です。

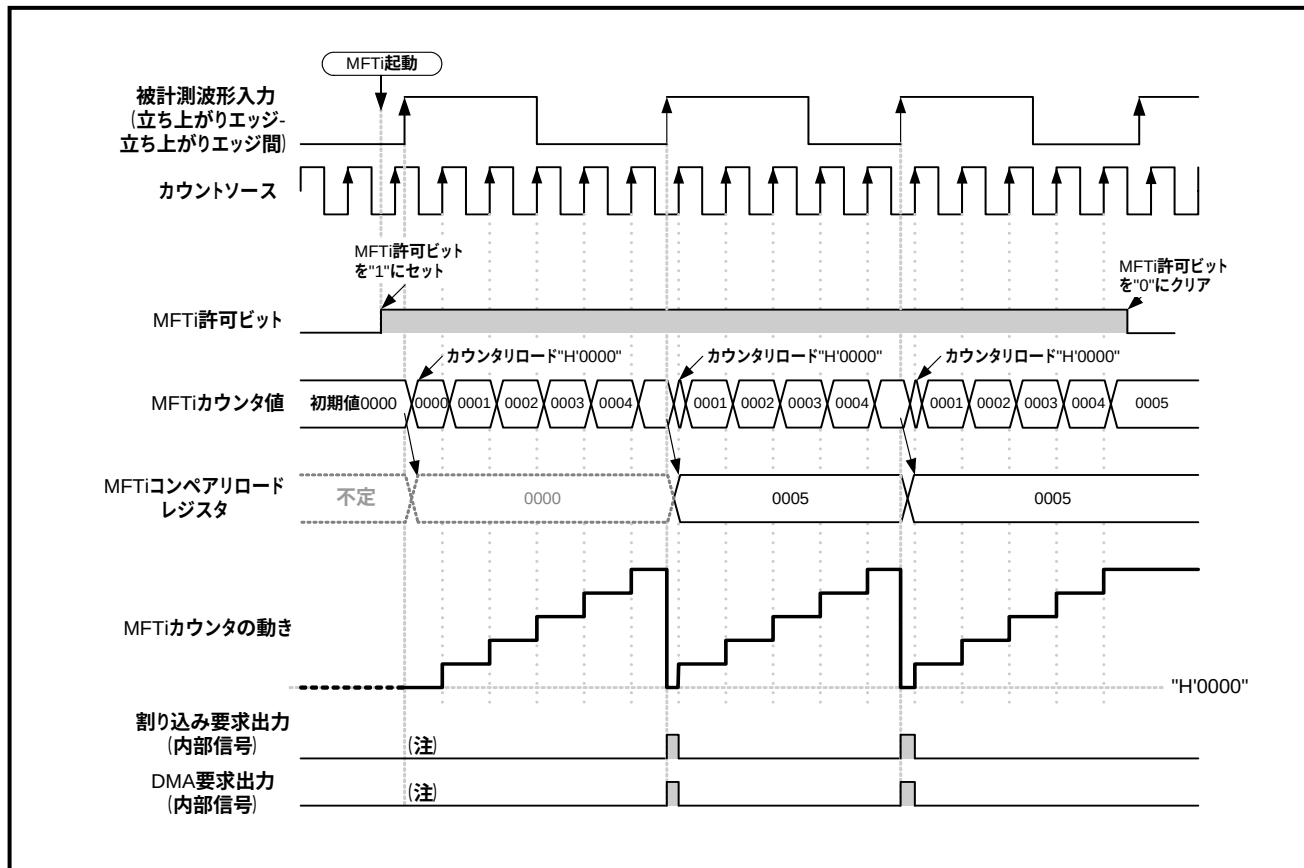


図12.3.22 周期/パルス幅計測タイマとしてのMFTiの動作タイミング例1

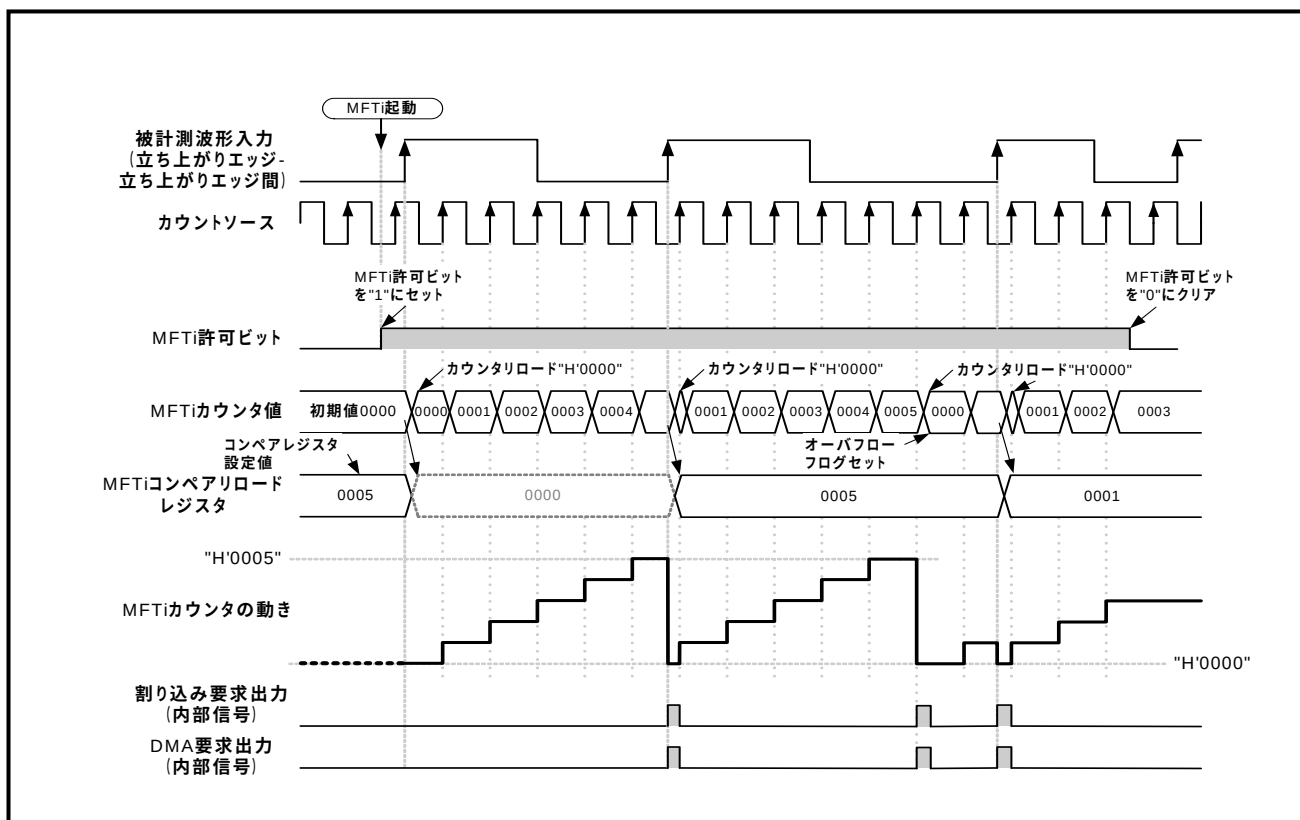


図12.3.23 周期/パルス幅計測タイマとしてのMFTiの動作タイミング例2

(4) 周期/パルス幅計測タイマの注意事項

周期/パルス幅計測タイマモードでMFTiを使用する場合、割り込み要求およびDMA要求は以下の2つの要因によって発生します。

- 初回入力を除く被計測波形の有効エッジ入力時

被計測波形の有効エッジ入力により、割り込み要求およびDMA要求が発生するのは、入力系タイマとして使用する場合のMFTiモードレジスタによって周期/パルス幅計測タイマおよび有効エッジを選択した後、MFTiの動作許可 (MFTi制御レジスタのMFTi許可ビット="1") が設定されている間のみです。

- オーバフロー時 (ターミナルカウント発生時+カウントソース入力)

割り込み要求の発生要因が、有効エッジの入力であるか、オーバフローであるかの判断は、オーバフローフラグ (入力系タイマとして使用する場合のMFTiモードレジスタのOFFLG) によって行うことができます。

被計測波形信号がノイズなどの影響を受けると、正確な計測を行えない場合があります。計測値が一定の範囲内にあることを、ソフトウェアで確認することを推奨します。

12.3.6 1相イベントカウンタの実現

(1) 1相イベントカウンタ概要

TBi端子に入力された1相イベント入力をMFTiカウンタの動作によって計測します。
表12.3.15に1相イベントカウンタの概要を示します。
図12.3.24に1相イベントカウンタ時のMFTiブロック図を示します。
図12.3.25に1相イベントカウンタ時のMFTiの動作を示します。

表12.3.15 1相イベントカウンタの概要

項 目	概 要
使用可能チャンネル数	6チャンネル
該当タイマおよび端子	MFTi：TAi端子（ゲート/トリガ入力）、TBi端子（イベント入力）
カウンタ	16ビットカウンタ（ラップアラウンド）
コンペアレジスタ	16ビットコンペアレジスタ（MFTiコンペアリロードレジスタを介して設定）
起動方法	ソフトウェアトリガ、ゲート/トリガ入力
割り込み要求、DMA要求	ターミナルカウントに達し、次のカウントソースを入力したとき

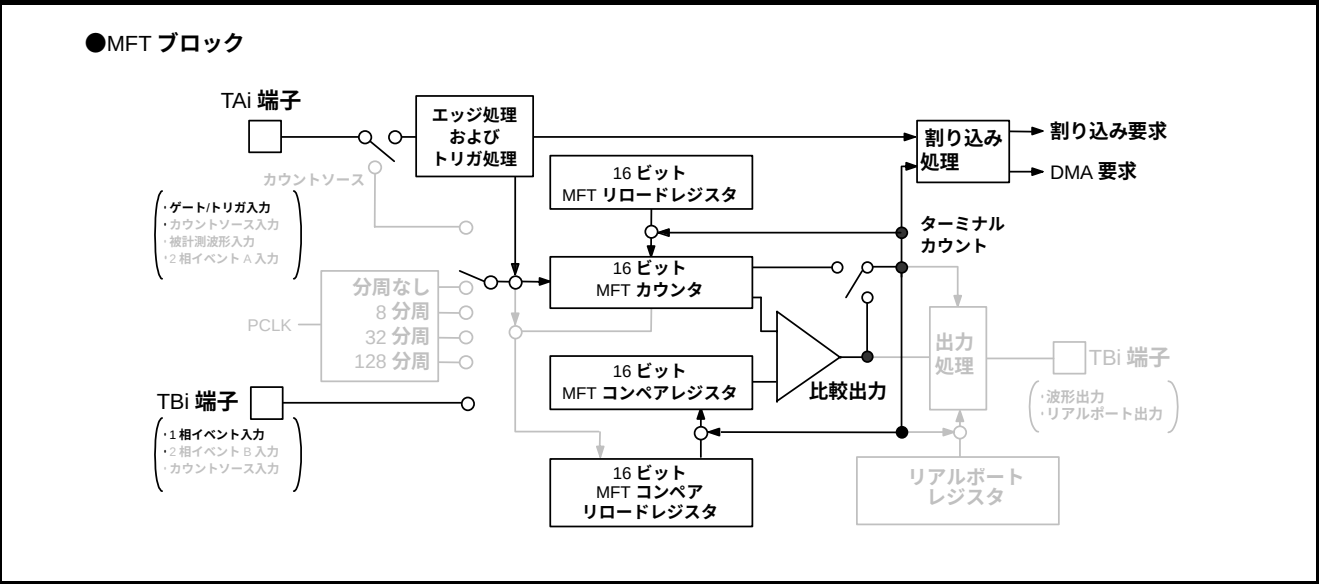
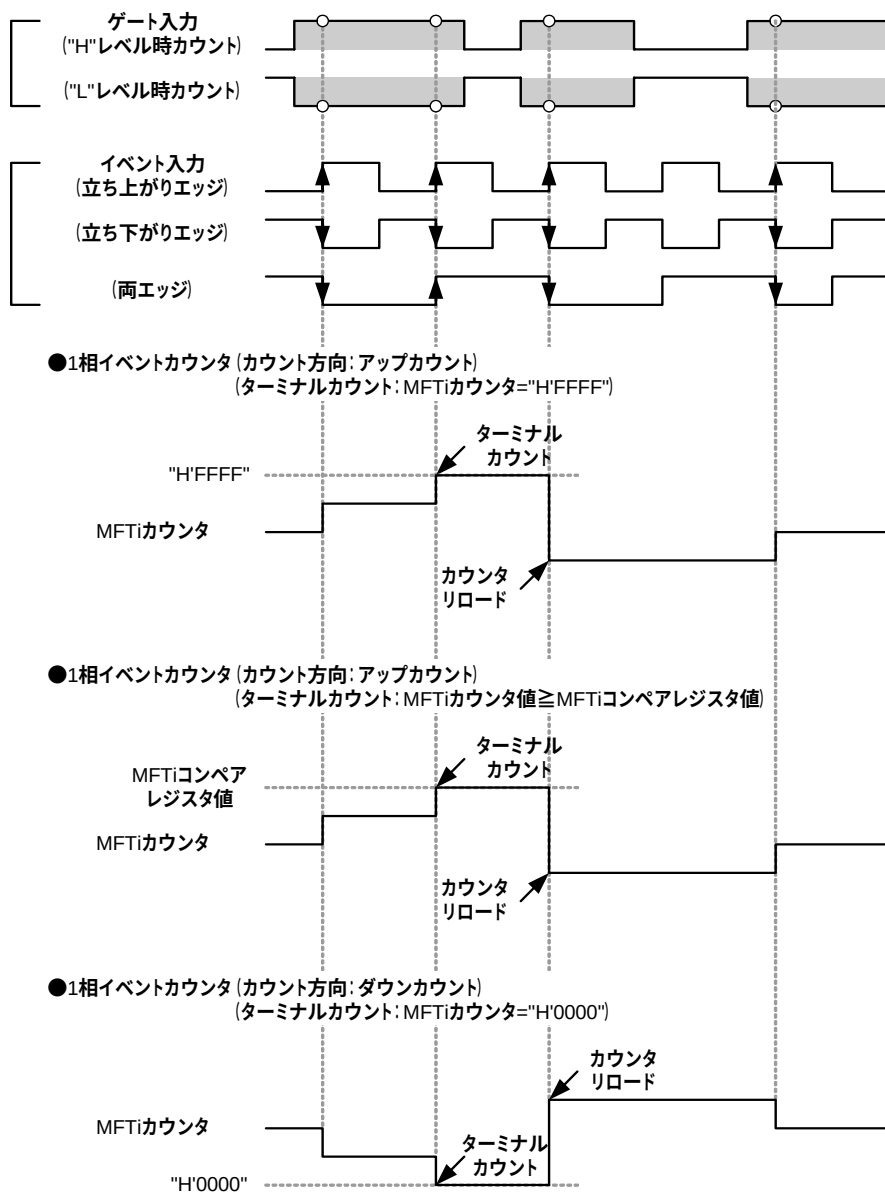


図12.3.24 1相イベントカウンタ時のMFTiブロック図



注: ダウンカウント時は、ターミナルカウントはMFTiカウンタ="H'0000"でしか使用できません。

図12.3.25 1相イベントカウンタ時のMFTiの動作

(2) 1相イベントカウンタの実現

1相イベントタイマは、MFTiモードレジスタに図12.3.26および表12.3.16に示す値を設定することにより実現できます。

なお、任意としている部分について、表12.3.16の下線部を選択した場合の動作を「(3) 1相イベントタイマとしてのMFTiの動作」に示します。

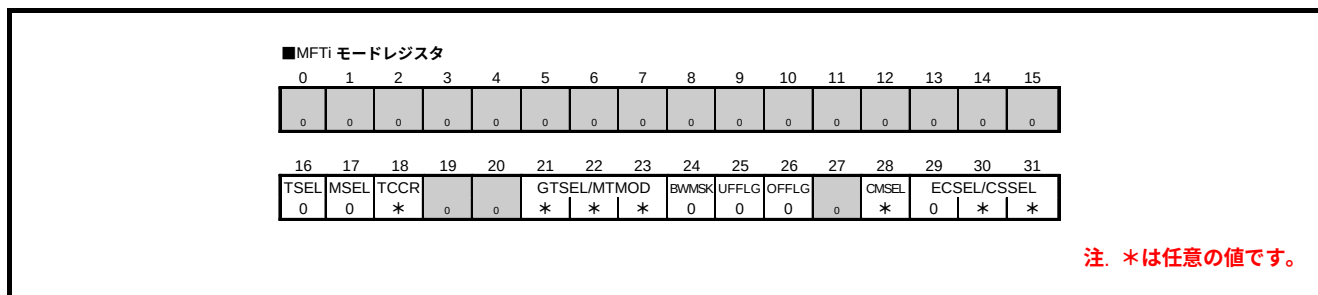


図12.3.26 1相イベントカウンタレジスタ設定

表12.3.16 MFTiモードレジスタの設定内容

ビット	レジスタ名	設定
16	TSEL タイマ選択ビット	0：入力系タイマ
17	MSEL 動作モード選択ビット	0：1相/2相イベントカウンタ
18	TCCR ターミナルカウント制御ビット	0：MFTiカウンタ="H'0000", "H'FFFF" 1：MFTiカウンタ="H'0000", MFTiカウンタ≥MFTiコンペアレジスタ
21~23	GTSEL ゲート極性/トリガ選択ビット	000：ゲート/トリガ入力無効 001：トリガ入力（立ち上がりエッジ） 010：トリガ入力（立ち下がりエッジ） 011：トリガ入力（両エッジ） 110：ゲート入力（"L"レベル時有効） 111：ゲート入力（"H"レベル時有効）
24	BWMSK b25, b26書き込みマスクビット	b25, b26への書き込み時は"1"に設定
25	UFFLG アンダフローフラグ	書き込み時"0"
26	OFFLG オーバフローフラグ	書き込み時"0"
28	CMSEL カウントモード選択ビット	0：ダウンカウント 1：アップカウント
29~31	ECSEL イベントカウンタモード選択ビット	000：2相イベントカウンタ 001：1相イベントカウンタ （立ち上がりエッジ） 010：1相イベントカウンタ （立ち下がりエッジ） 011：1相イベントカウンタ（両エッジ）

(3) 1相イベントカウンタとしてのMFTiの動作

図12.3.27に (2) にて設定した1相イベントカウンタとしてのMFTiの動作タイミング例を示します。

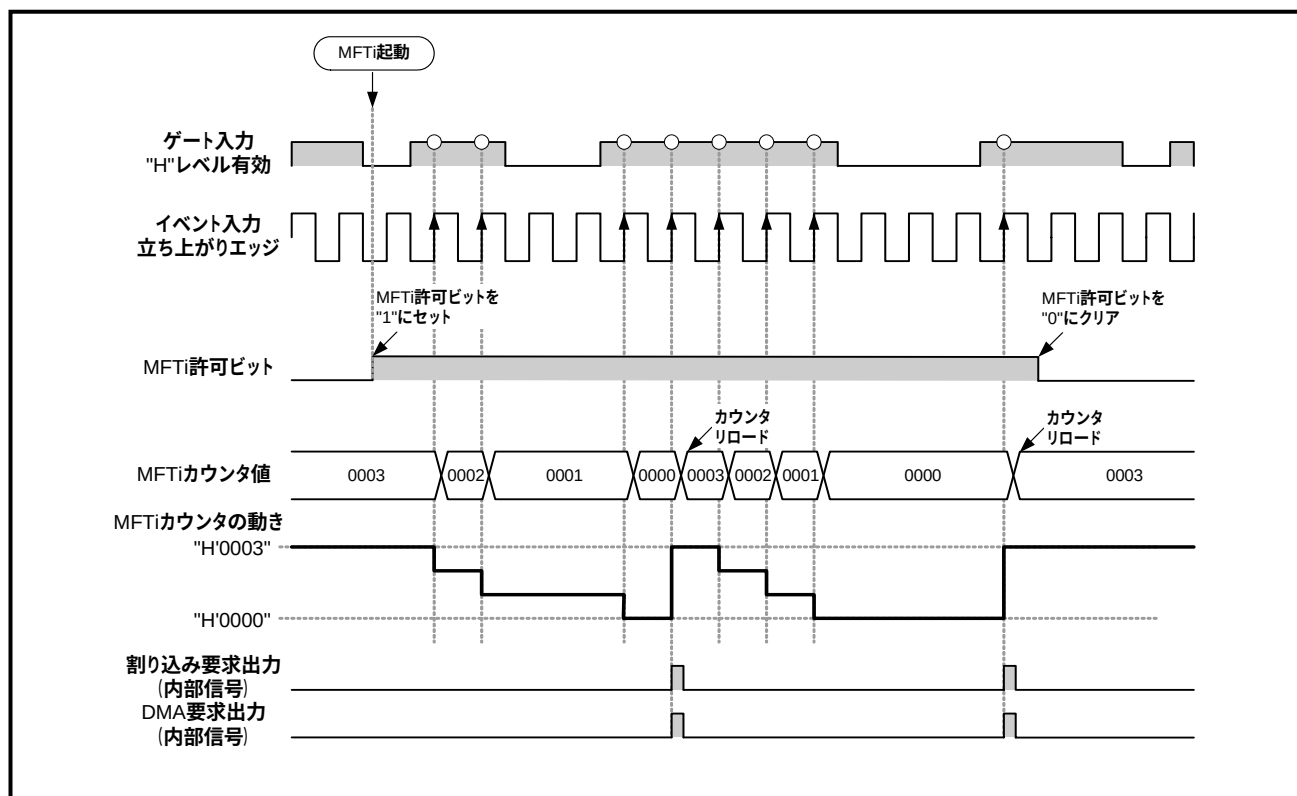


図12.3.27 1相イベントカウンタとしてのMFTiの動作タイミング例

12.3.7 2相イベントカウンタの実現

(1) 2相イベントカウンタ概要

TAi端子からのイベントA入力およびTBi端子からのイベントB入力の2本の入力からの信号に基づいてMFTiカウンタが動作します。また、カウントモードを標準モード/4通倍モードから選択でき、各端子から入力したレベルによってカウント制御できます。

表12.3.17に2相イベントカウンタの概要を示します。

図12.3.28に2相イベントカウンタ時のMFTiブロック図を示します。

図12.3.29に2相イベントカウンタ時のMFTiの動作を示します。

表12.3.17 2相イベントカウンタの概要

項 目	概 要
使用可能チャンネル数	6チャンネル
該当タイマおよび端子	MFTi：TAi端子（ゲート/トリガ入力）、TBi端子（イベント入力）
カウンタ	16ビットカウンタ（ラップアラウンド）
コンペアレジスタ	16ビットコンペアレジスタ（MFTiコンペアリロードレジスタを介して設定）
起動方法	ソフトウェアトリガ、ゲート/トリガ入力
割り込み要求、DMA要求	ターミナルカウントに達し、次のカウントソースを入力したとき

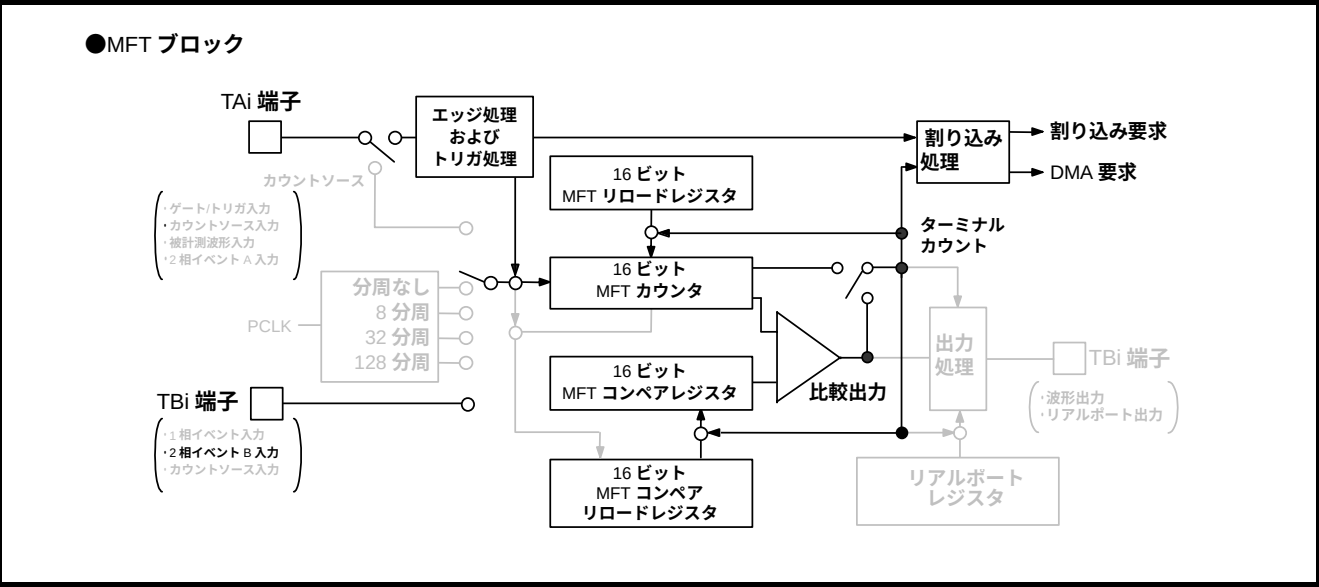
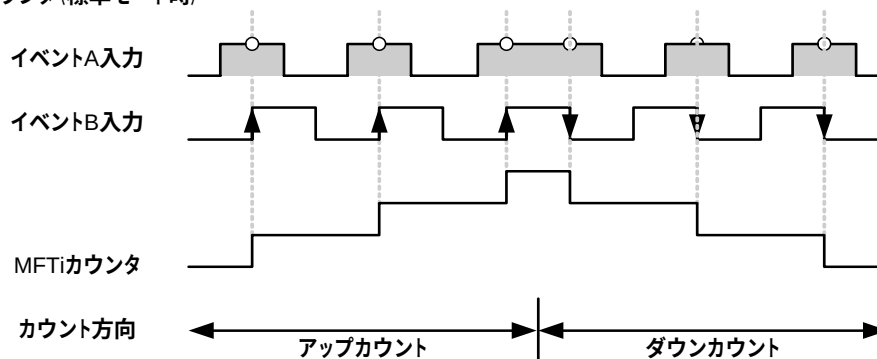


図12.3.28 2相イベントカウンタ時のMFTiブロック図

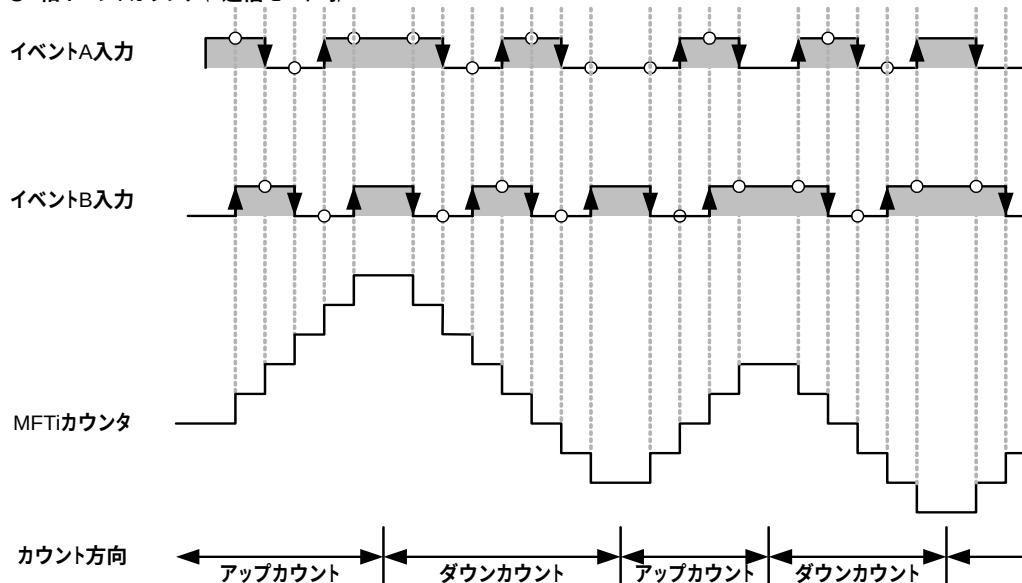
●2相イベントカウンタ (標準モード時)



注. カウント方向 (標準モード)

入力	カウント方向	
	アップカウント	ダウンカウント
イベントA	"H"レベル	
イベントB	↑	↓

●2相イベントカウンタ (4通倍モード時)



注. カウント方向 (4通倍モード)

入力	カウント方向							
	アップカウント				ダウンカウント			
イベントA入力	↑	"H"レベル	↓	"L"レベル	↑	"H"レベル	↓	"L"レベル
イベントB入力	"L"レベル	↑	"H"レベル	↓	"H"レベル	↓	"L"レベル	↑

図12.3.29 2相イベントカウンタ時のMFTiの動作

(3) 2相イベントカウンタとしてのMFTiの動作

図12.3.31および図12.3.32に(2)にて設定した2相イベントカウンタとしてのMFTiの動作タイミング例を示します。

なお、図12.3.31は標準モード (CMSEL="0") を、図12.3.32は4通倍モード (CMSEL="1") を選択した例です。

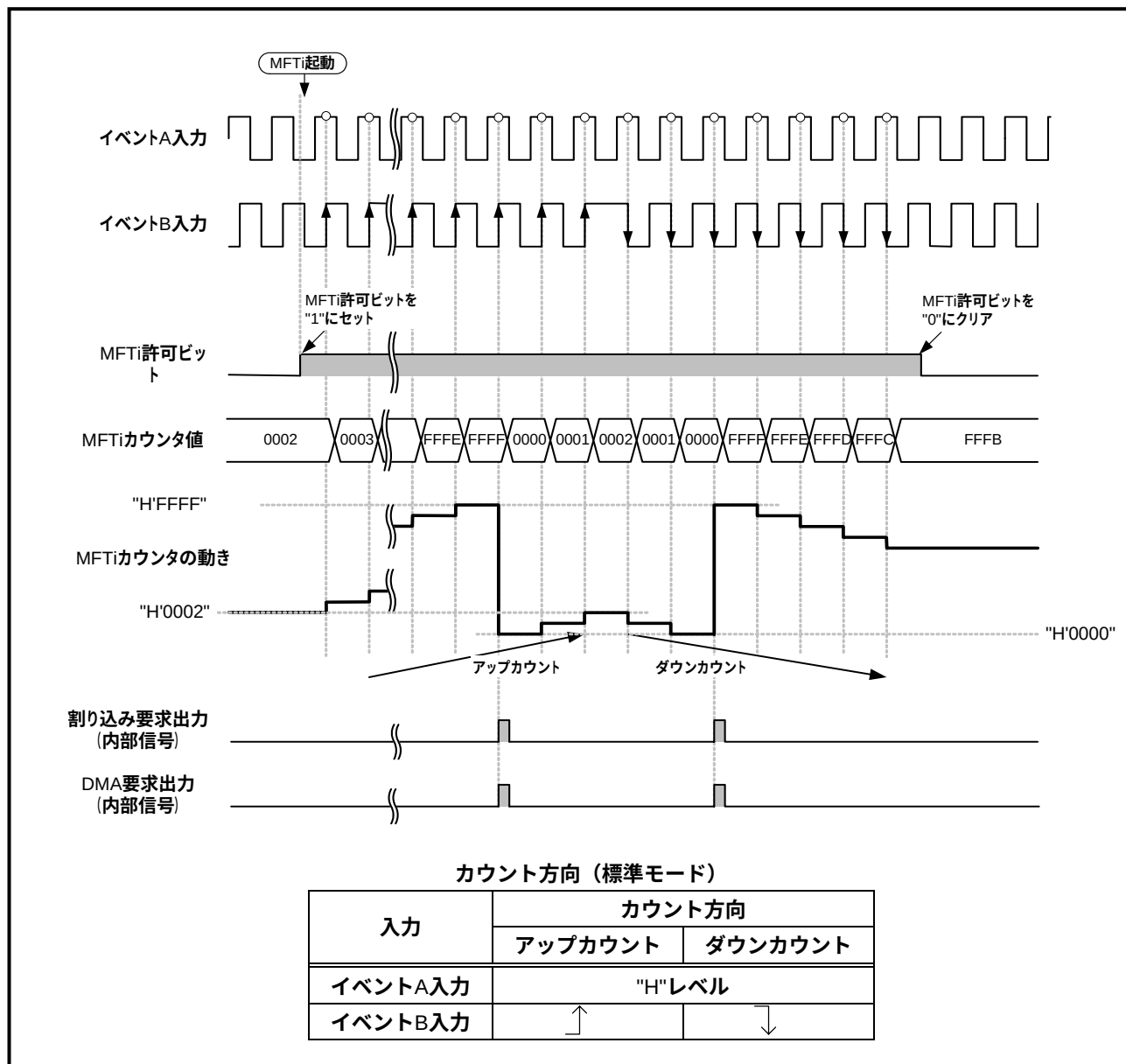


図12.3.31 2相イベントカウンタとしてのMFTiの動作タイミング例 (標準モード選択時)

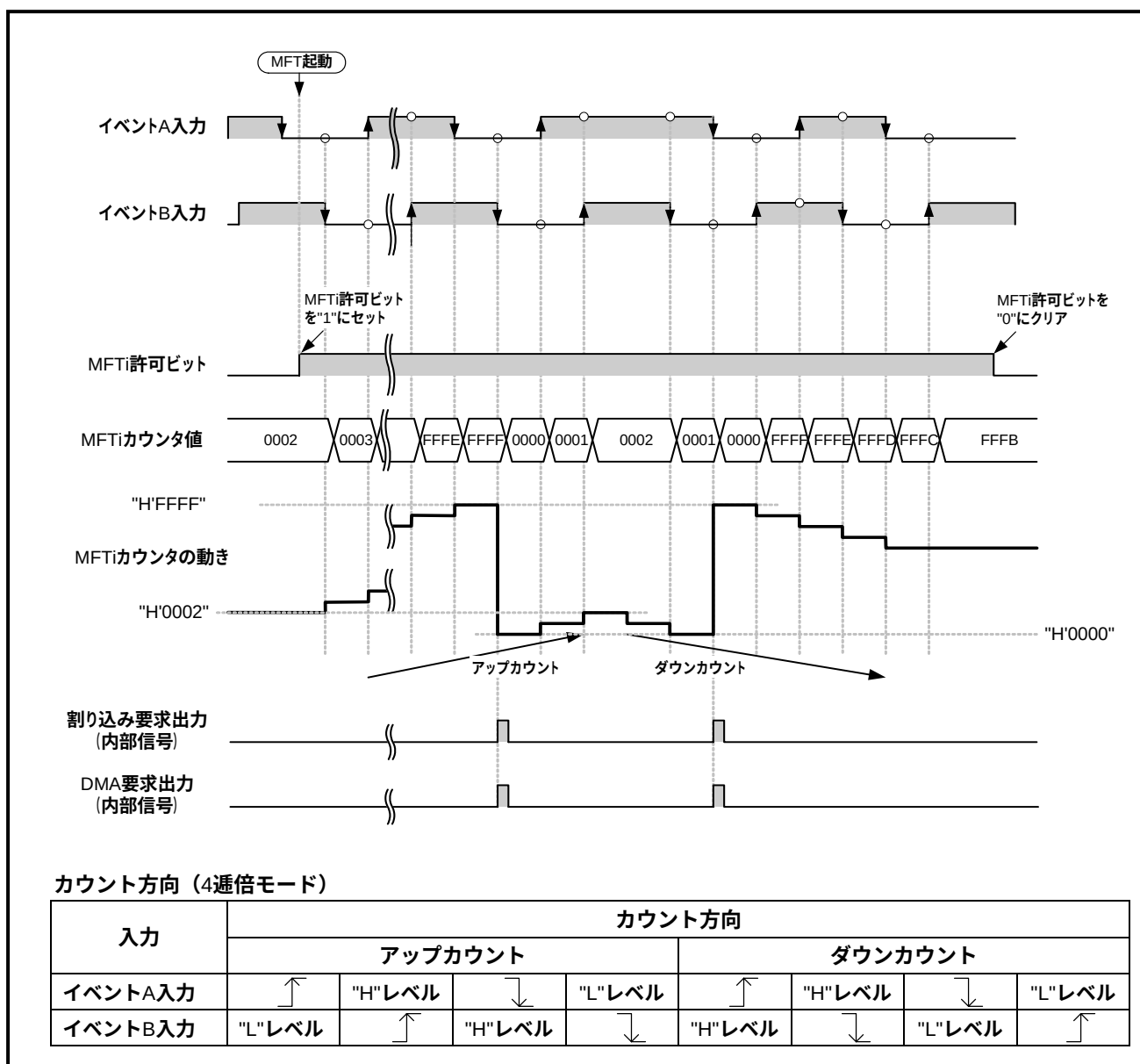


図12.3.32 2相イベントカウンタとしてのMFTiの動作タイミング例 (4通倍モード選択時)

12.4 マルチファンクションタイマ設定手順例

以下にマルチファンクションタイマ関連レジスタの設定手順例を示します。

- 設定
順
序
- ↓
- ① CLKコントローラ
モジュール動作用クロック、クロックデバイダ用クロック供給設定
 - ② MFTiモードレジスタ
 - ③ MFTi端子出力状態レジスタ
 - ④ MFTiコンペアリロードレジスタ
コンペアマッチ使用時
 - ⑤ MFTiカウンタ、MFTiリロードレジスタ
 - ⑥ MFTリアルポートレジスタ
 - ⑦ 割り込みコントローラ、DMAコントローラレジスタ
割り込み、DMA使用時
 - ⑧ ポートレジスタ
MFTiの出力端子使用時
 - ⑨ MFT制御レジスタ
MFTiの動作許可

図12.4.1 MFT関連レジスタの初期設定例

第13章

シリアルI/O (SIO)

13.1 シリアルI/O概要

CSIOモード（クロック同期形）とUARTモード（クロック非同期形）の切り替え可能なSIO（シリアルI/O）を2チャンネル内蔵しています。

■ CSIOモード（クロック同期形）

転送クロックに送受信間で同一のクロックを使用するモードです。転送データ長は5~16ビットから選択できます。

■ UARTモード（クロック非同期形）

任意の転送速度、転送データフォーマットを設定できます。転送データ長は5~16ビットから選択できます。

表13.1.1にシリアルI/Oの概要を、図13.1.1にSIOのブロック図を示します。

なお、本章では、SIOiのiは0~1と規定しています。

表13.1.1 SIOの概要

項 目	概 要	
	CSIOモード	UARTモード
チャンネル数	2チャンネル(SIO0~1:UARTモードとCSIOモードの切り替え可能)	
クロック	内部クロック/外部クロック（注）	内部クロック
転送モード	送信半二重、受信半二重、送受信全二重	
データフォーマット	転送データ長：5~16ビット 転送順序：LSBファースト/ MSBファースト	転送データ長：5~16ビット 転送順序：LSBファースト/ MSBファースト スタートビット：1ビット ストップビット：1ビット/2ビット パリティビット：あり（奇数、偶数、Space Mark）、なし
ボーレート	254bps~8.3333Mbps（f(PCLK)=33MHz動作時）	31.8bps~2083331.3bps（f(PCLK)=33MHz動作時） ボーレート補正機能あり
エラー検出	オーバラン	オーバラン、パリティ、フレーミング
割り込み要求	送信バッファレジスタエンプティ 送信完了（送信シフトレジスタエンプティ） 受信完了（受信バッファフル） 受信エラー検出	
DMA要求	送信バッファレジスタエンプティ 受信完了（受信バッファフル）	

注. 外部クロックの最大入力周波数はf(PCLK)/4です。f(PCLK)はPCLK(周辺I/Oクロック)の周波数を示します。SCLKi端子の入力信号のサンプリングは、PCLK(周辺I/Oクロック)を使用しています。

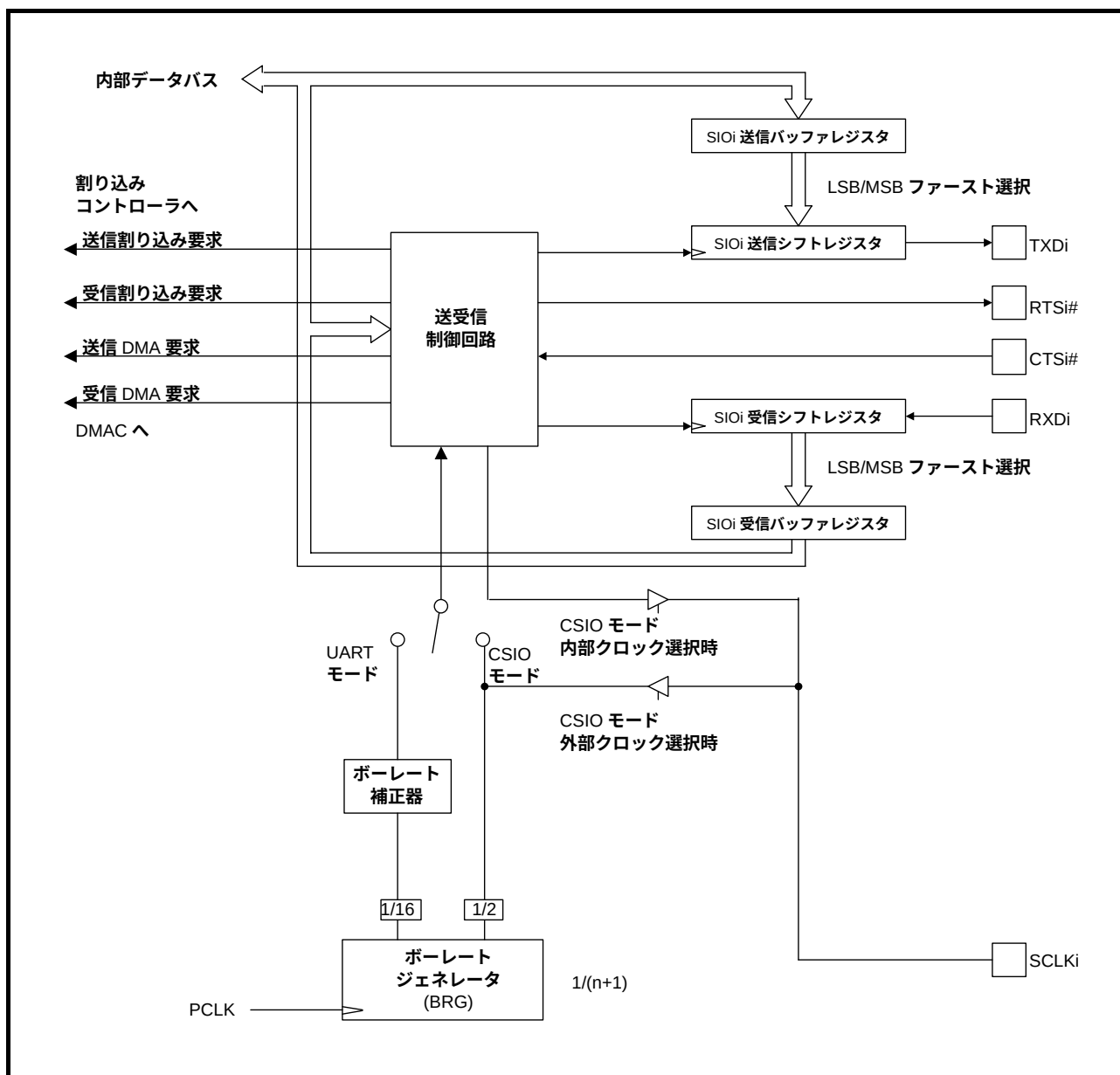


図13.1.1 SIOのブロック図

13.2 シリアルI/O関連レジスタ

シリアルI/O関連レジスタのメモリマップと各レジスタについて以下に説明します。

SIOのレジスタマッピング

番地	b0	+0番地	b7	b8	+1番地	b15	b16	+2番地	b23	b24	+3番地	b31
H'00EF D000	SIO0制御レジスタ (SIO0CR)											
H'00EF D004	SIO0モードレジスタ0 (SIO0MOD0)											
H'00EF D008	SIO0モードレジスタ1 (SIO0MOD1)											
H'00EF D00C	SIO0ステータスレジスタ (SIO0STS)											
H'00EF D010	SIO0転送処理制御レジスタ (SIO0TRCR)											
H'00EF D014	SIO0ボーレートレジスタ (SIO0BAUR)											
H'00EF D018	SIO0ボーレート補正レジスタ (SIO0RBAUR)											
H'00EF D01C	SIO0送信バッファレジスタ (SIO0TXB)											
H'00EF D020	SIO0受信バッファレジスタ (SIO0RXB)											
?	(使用禁止領域)											
H'00EF D100	SIO1制御レジスタ (SIO1CR)											
H'00EF D104	SIO1モードレジスタ0 (SIO1MOD0)											
H'00EF D108	SIO1モードレジスタ1 (SIO1MOD1)											
H'00EF D10C	SIO1ステータスレジスタ (SIO1STS)											
H'00EF D110	SIO1転送処理制御レジスタ (SIO1TRCR)											
H'00EF D114	SIO1ボーレートレジスタ (SIO1BAUR)											
H'00EF D118	SIO1ボーレート補正レジスタ (SIO1RBAUR)											
H'00EF D11C	SIO1送信バッファレジスタ (SIO1TXB)											
H'00EF D120	SIO1受信バッファレジスタ (SIO1RXB)											

13.2.1 SIOi制御レジスタ

SIO0制御レジスタ (SIO0CR)

<アドレス: H'00EF D000>

SIO1制御レジスタ (SIO1CR)

<アドレス: H'00EF D100>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	RSCLR	TSCLR							RXEN	TXEN
						0	0	0	0	0	0	0	0	0	0

※ バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~21	何も配置されていません。"0"に固定してください。		0	0
22	RSCLR	0: 何もしない 受信ステータス初期化ビット	0	注
23	TSCLR	0: 何もしない 送信ステータス初期化ビット	0	注
24~29	何も配置されていません。"0"に固定してください。		0	0
30	RXEN	0: 受信禁止 受信許可ビット	R	W
31	TXEN	0: 送信禁止 送信許可ビット	R	W

注: 「0」書き込みは無効、「1」書き込みデータは保持されない」ことを示します。

(1) RSCLR (受信ステータス初期化) ビット (b22)

このビットにより、SIOiの受信ステータスの初期化を行います。
 このビットを"0"にクリアした場合、その書き込みは無視されます。
 このビットを"1"にセットした場合、以下のレジスタを初期化します。

- SIOiステータスレジスタの受信ステータスを示すビット (b22, b24~b26, b28, b29)
- SIOi受信シフトレジスタ

その他のレジスタには影響はありません。また、このビットは"1"にセットしても、その値は保持されません。
 このビットをデータ受信中に"1"にセットした場合は、強制的に受信を停止し、そのときの受信動作は保証されません。

(2) TSCLR (送信ステータス初期化) ビット (b23)

このビットにより、SIOiの送信ステータスの初期化を行います。
 このビットを"0"にクリアした場合、その書き込みは無視されます。
 このビットを"1"にセットした場合、以下のレジスタを初期化します。

- SIOiステータスレジスタの送信ステータスを示すビット (b23, b30, b31)
- SIOi送信シフトレジスタ

また、送信完了割り込み要求もクリアされます。その他のレジスタには影響はありません。またこのビットは"1"にセットしても、その値は保持されません。
 このビットをデータ送信中に"1"にセットした場合は、強制的に送信を停止し、そのときの送信動作は保証されません。

(3) RXEN (受信許可) ビット (b30)

このビットにより、受信許可/禁止の状態を設定します。

このビットを"0"にクリアした場合、受信禁止となります。ただし、受信動作中に"0"にクリアした場合、受信動作完了後に受信禁止状態になります。

このビットを"1"にセットした場合、受信許可となります。

何らかの受信エラーフラグ (注) が"1"にセットされたとき、このビットは"0"にクリアされ受信禁止状態になります。この受信エラーフラグがセットされたまま、受信許可ビットを"1"にセットした場合の動作は保証されません。

注. 本SIOモジュールには3種類の受信エラーフラグ (SIOiステータスレジスタのb24~b26) が存在します。詳細については、「13.2.4 SIOiステータスレジスタ」を参照してください。

(4) TXEN (送信許可) ビット (b31)

このビットにより、送信許可/禁止の状態を設定します。

このビットを"0"にクリアした場合、送信禁止となります。ただし、送信動作中に"0"にクリアした場合、送信動作完了後に送信禁止状態になります。

このビットを"1"にセットした場合、送信許可となります。

CSIOモード選択時、受信オーバランエラーフラグ (SIOiステータスレジスタのOERR) が"1"にセットされたとき、受信許可ビットをクリア (受信禁止状態) するとともに、このビットも"0"にクリアされ送信禁止状態になります。

13.2.2 SIOiモードレジスタ0

SIO0モードレジスタ0 (SIO0MOD0)

<アドレス: H'00EF D004>

SIO1モードレジスタ0 (SIO1MOD0)

<アドレス: H'00EF D104>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	RTST	RTSS	CTSS	UCS	PEN	PSEL	PSEL	TSTB	RSTB
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

※ バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~22	何も配置されていません。"0"に固定してください。		0	0
23	RTST	0: 連続受信RTSタイミング	R	W
	RTSタイミング選択ビット	1: 単発受信RTSタイミング		
24	RTSS	0: RTS機能無効	R	W
	RTS機能選択ビット	1: RTS機能有効		
25	CTSS	0: CTS機能無効	R	W
	CTS機能選択ビット	1: CTS機能有効		
26	UCS	0: UARTモード	R	W
	UART/CSIO機能選択ビット	1: CSIOモード		
27	PEN	0: パリティ無効	R	W
	パリティ有効ビット	1: パリティ有効		
	(UARTモード専用ビット)			
28~29	PSEL	00: 偶数パリティ	R	W
	パリティ選択ビット	01: 奇数パリティ		
	(UARTモード専用ビット)	10: Space ("0")		
		11: Mark ("1")		
30	TSTB	0: 1ストップビット	R	W
	送信ストップビット長選択ビット	1: 2ストップビット		
	(UARTモード専用ビット)			
31	RSTB	0: 1ストップビット	R	W
	受信ストップビット長選択ビット	1: 2ストップビット		
	(UARTモード専用ビット)			

注. SIOiモードレジスタ0の各ビットは、SIO停止中 (送受信許可ビットがともに禁止設定、及びデータ送受信中でない場合) に設定してください。

(1) RTST (RTSタイミング選択) ビット (b23)

このビットにより、RTSi#端子が変化するタイミングを選択します。このビットの設定値は、RTS機能を有効 (RTSS="1") にしたとき有効になります。

このビットを"0"にクリアした場合、RTS#端子の連続受信タイミングでRTSi#信号を制御します。

このビットを"1"にセットした場合、RTS#端子の単発受信タイミングでRTSi#信号を制御します。

RTSi#端子が変化するタイミングの詳細については「13.3 CSIO動作説明」及び「13.4 UART動作説明」を参照してください。

(2) RTSS (RTS機能選択) ビット (b24)

このビットにより、RTS機能の有効、無効を設定します。

このビットを"0"にクリアした場合、RTS機能は無効となり、RTSi#端子には常に"H"が出力されます。

このビットを"1"にセットした場合、RTS機能は有効となり、RTSi#端子はRTSタイミング選択ビット (RTST) の設定に従い変化します。

RTS#端子が変化するタイミングの詳細については「13.3 CSIO動作説明」及び「13.4 UART動作説明」を参照してください。

(3) CTSS (CTS機能選択) ビット (b25)

このビットにより、CTS機能の有効、無効を設定します。

このビットを"0"にクリアした場合、CTS機能は無効となります。

このビットを"1"にセットした場合、CTS機能が有効となります。

UARTモード時、CTSi#端子への"L"レベル信号の入力は、送信条件の1つとして使用されます。

CSIOモード時、CTSi#端子への"L"レベル信号の入力は、送信条件または受信条件の1つとして使用されます。

送信条件、受信条件の詳細については「13.3 CSIO動作説明」及び「13.4 UART動作説明」を参照してください。

(4) UCS (UART/CSIO機能選択) ビット (b26)

このビットにより、SIOのモードを選択します。

このビットを"0"にクリアした場合、UARTモードとなります。

このビットを"1"にセットした場合、CSIOモードとなります。

(5) PEN (パリティ有効) ビット (b27)

このビットにより、パリティビットの有効、無効を選択します。このビットの設定値は、UARTモードを選択 (UCS="0") したときのみ有効となります。

このビットを"0"にクリアした場合、パリティビットを付加しません。また受信データに対しても、パリティチェックを行いません。

このビットを"1"にセットした場合、パリティビットを付加します。また受信データに対しては、パリティチェックを行います。

転送データフォーマットについては「13.4 UART動作説明」を参照してください。

(6) PSEL (パリティ選択) ビット (b28~b29)

このビットにより、偶数パリティ、奇数パリティ、Space (パリティデータ"0")、Mark (パリティデータ"1") を選択します。このビットの設定値は、UARTモードを選択し、かつパリティを有効 (PEN="1") にしたとき有効になります。

このビットにより選択されたパリティビットを、送信データのデータビットの直後に付加します。また受信データに対しても、このビットにより選択されたパリティビットをもとにエラーチェックを行います。

転送データフォーマットについては「13.4 UART動作説明」を参照してください。

(7) TSTB (送信ストップビット長選択) ビット (b30)

このビットにより、送信するデータ（パリティを含む）の終わりを示すストップビット長を選択します。このビットの設定値は、UARTモードを選択したとき有効になります。

このビットを"0"にクリアした場合、送信データの最後に、1ビットのストップビットを送信します。

このビットを"1"にセットした場合、送信データの最後に、2ビットのストップビットを送信します。

転送データフォーマットについては「13.4 UART動作説明」を参照してください。

(8) RSTB (受信ストップビット長選択) ビット (b31)

このビットにより、受信するデータ（パリティを含む）の終わりを示すストップビット長を選択します。このビットの設定値は、UARTモードを選択したとき有効になります。

このビットを"0"にクリアした場合、受信データの最後に、1ビットのストップビットを受信するものとして、フレーミングエラーチェックを行います。

このビットを"1"にセットした場合、受信データの最後に、2ビットのストップビットを受信するものとして、フレーミングエラーチェックを行います。

転送データフォーマットについては「13.4 UART動作説明」を参照してください。

13.2.3 SIOiモードレジスタ1

SIO0モードレジスタ1 (SIO0MOD1)

<アドレス: H'00EF D008>

SIO1モードレジスタ1 (SIO1MOD1)

<アドレス: H'00EF D108>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	0	CMSEL	TXSEL	LMFS	0	0	0	CKSEL
									0	0	0	0	0	0	0

※ バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~19	何も配置されていません。"0"に固定してください。		0	0
20~23	CHLS キャラクタ長選択ビット	0000: 16ビットキャラクタ 0001: 設定禁止 0010: 設定禁止 0011: 設定禁止 0100: 設定禁止 0101: 5ビットキャラクタ 0110: 6ビットキャラクタ 0111: 7ビットキャラクタ 1000: 8ビットキャラクタ 1001: 9ビットキャラクタ 1010: 10ビットキャラクタ 1011: 11ビットキャラクタ 1100: 12ビットキャラクタ 1101: 13ビットキャラクタ 1110: 14ビットキャラクタ 1111: 15ビットキャラクタ	R	W
24	何も配置されていません。"0"に固定してください。		0	0
25	CMSEL SCLKi端子出力モード選択ビット (CSIOモード,内部クロック出力選択時専用 ビット)	0: CMOS出力 1: N-chオープンドレイン	R	W
26	TXSEL TXDi端子出力モード選択ビット	0: CMOS出力 1: N-chオープンドレイン	R	W
27	LMFS LSB/MSBファースト選択ビット	0: LSBファースト 1: MSBファースト	R	W
28~30	何も配置されていません。"0"に固定してください。		0	0
31	CKSEL 内部/外部クロック選択ビット	0: 内部クロック 1: 外部クロック	R	W

注. SIOモードレジスタ1はSIO停止中 (送受信許可ビットが設定禁止、及びデータ送受信中でない場合) に設定してください。

(1) CHLS (キャラクタ長選択) ビット (b20~b23)

このビットにより、送受信するデータのキャラクタ長を選択します。
転送キャラクタ長によってデータビットとして使用しないビットは"0"になります。

図13.2.1に7ビットキャラクタ選択時の送受信データ例を示します。

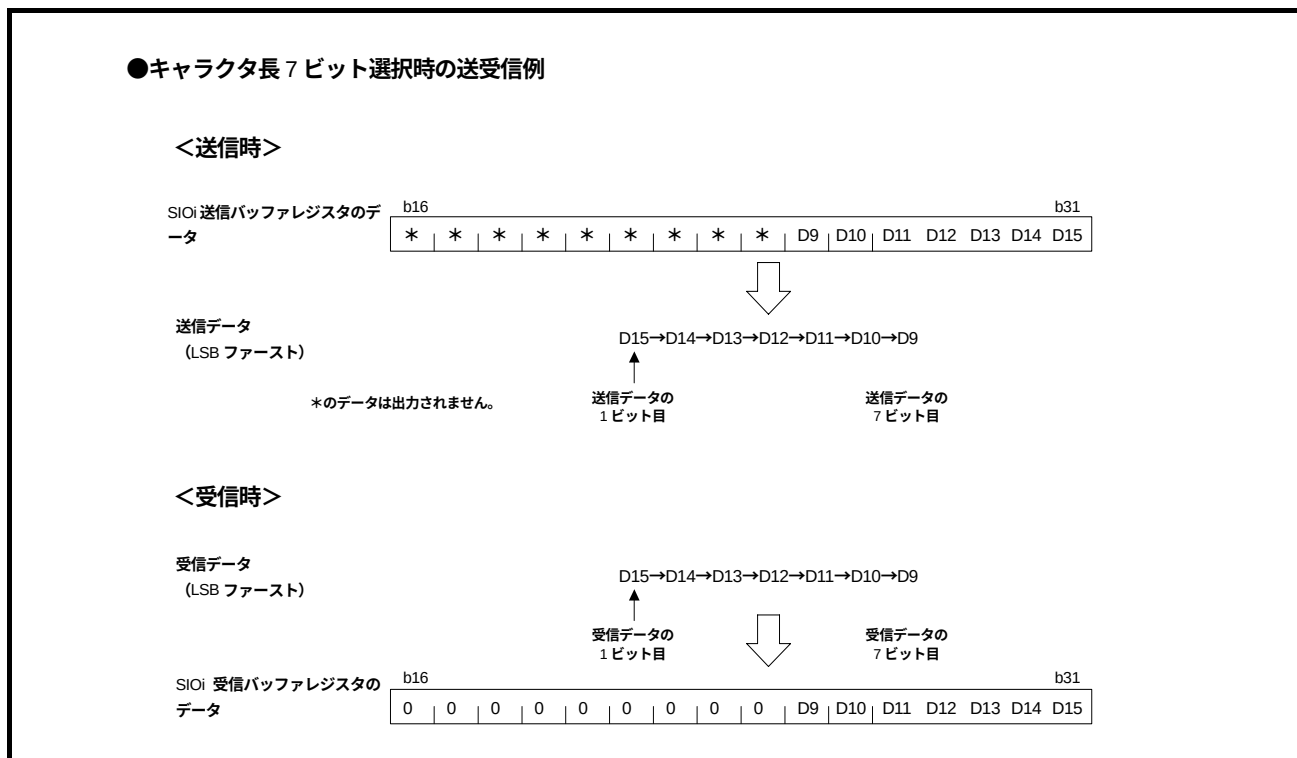


図13.2.1 7ビットキャラクタ選択時の送受信データ例

(2) CMSEL (SCLKi端子出力モード選択) ビット (b25)

このビットにより、SCLKi端子の出力モードをCMOS出力か、N-chオープンドレイン出力かを選択します。このビットの設定値は、CSIOモード (SIOiモードレジスタ0のUCS="1") のときに、内部クロックを選択 (CKSEL="0") した場合に有効になります。

このビットを"0"にクリアした場合、SCLKi端子はCMOS出力となります。

このビットを"1"にセットした場合、SCLKi端子はN-chオープンドレイン出力となります。

注. オープンドレイン出力モードを使用する場合、SCLKi端子を"H"レベルまでプルアップするために外付け抵抗が必要になる場合があります。

(3) TXSEL (TXDi端子出力モード選択) ビット (b26)

このビットにより、TXDi端子の出力モードをCMOS出力にするか、N-chオープンドレイン出力にするかを選択します。このビットの設定値は、内部クロックを選択 (CKSEL="0") したとき有効になります。

このビットを"0"にクリアした場合、TXDi端子はCMOS出力となります。

このビットを"1"にセットした場合、TXDi端子はN-chオープンドレイン出力となります。

CSIOモード (SIOiモードレジスタ0のUCS="1") でTXDi端子をN-chオープンドレイン出力に設定した場合、TXDi端子は最終転送クロックの立ち上がりから半転送クロック後にハイインピーダンス状態になります。外部クロックを選択した場合は、TXDi端子出力モード選択ビットの設定にかかわらず、TXDi端子はCMOS出力となります。

UARTモードでTXDi端子をN-chオープンドレイン出力に設定した場合、TXDi端子はスタートビットでは"L"を出力します。またストップビットではハイインピーダンス状態になります。

図13.2.2にTXDi信号出力例を示します。

注. オープンドレイン出力モードを使用する場合、TXDi端子を"H"レベルまでプルアップするために外付け抵抗が必要になる場合があります。

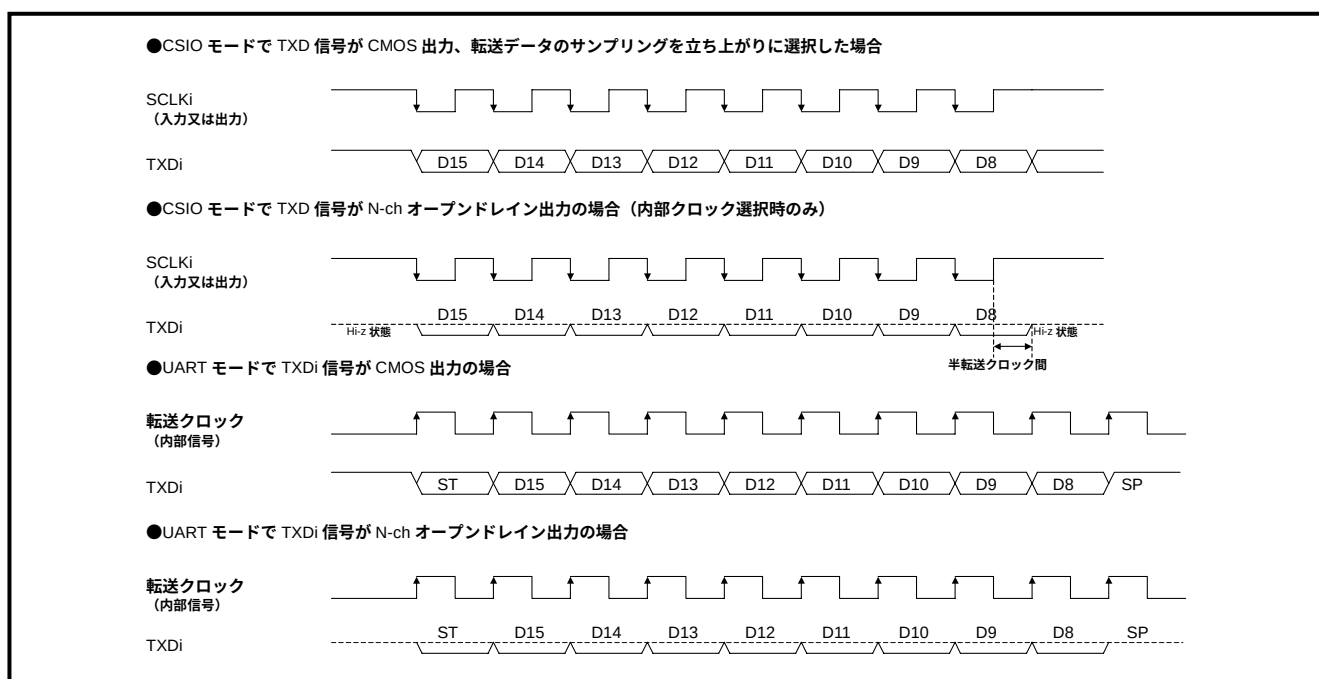


図13.2.2 TXDi信号出力例

(4) LMFS (LSB/MSBファースト選択) ビット (b27)

このビットにより、データの転送順序 (LSBファースト/MSBファースト) を選択します。

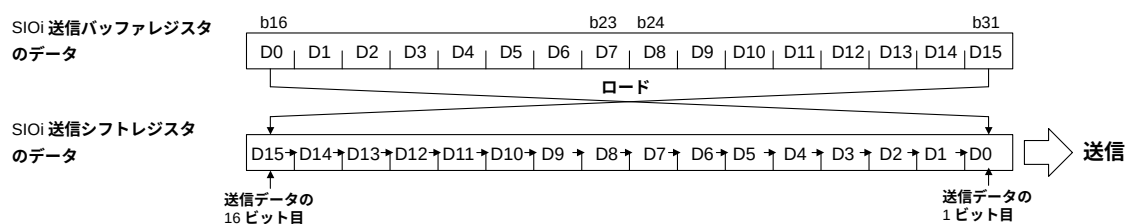
このビットを"0"にクリアした場合、データの転送はLSB側 (SIOi送信バッファレジスタのb31) から行われます。例えば、キャラクタ長選択ビット (CHLS) により転送データ長に8ビットを選択している場合、データはSIOi送信バッファレジスタの (b31→b30→...→b25→b24) の順で送信されます。

このビットを"1"にセットした場合、データの転送はMSB側 (SIOi送信バッファレジスタのb16に近い側) から行われます。例えば、キャラクタ長選択ビット (CHLS) により転送データ長に10ビットを選択している場合、データはSIOi送信バッファレジスタの (b22→b23→...→b30→b31) の順で送信されます。

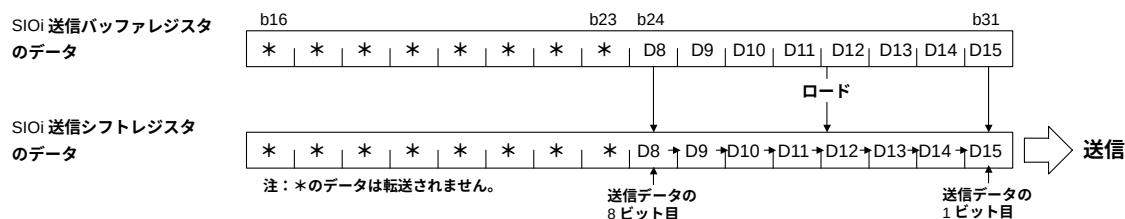
このように、MSB側を選択した場合は、キャラクタ長選択ビットによって選択されたビット数により転送開始ビット番号が変化し、必ずデータ転送の最後はSIOi送信バッファレジスタのb31となります。

図13.2.3にデータ転送順序のイメージ図を示します。

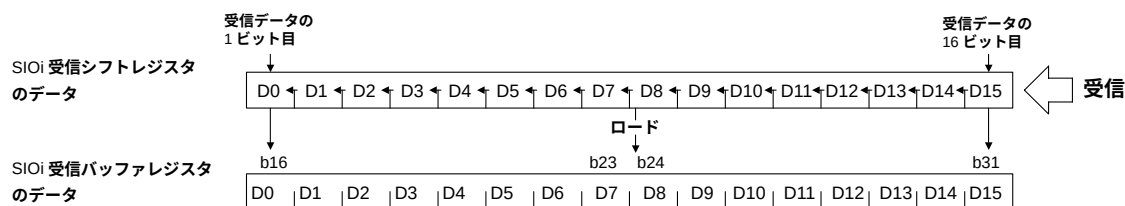
●16 ビットデータ MSB ファースト送信時



●8 ビットデータ LSB ファースト送信時



●16 ビットデータ MSB ファースト受信時



●8 ビットデータ LSB ファースト受信時



図13.2.3 データ転送順序イメージ

(5) CKSEL (内部/外部クロック選択) ビット (b31)

このビットにより、転送クロックとして、内部クロック (PCLK) を使用するか、SCLKi端子に入力される外部クロックを使用するかを選択します。

このビットを"0"にクリアした場合、内部クロック (PCLK) を使用します。

このビットを"1"にセットした場合、SCLKi端子に入力される外部クロックを使用します。

以下に、選択したクロックの使用状態を示します。

<UARTモード時>

- **内部クロック選択時**
PCLKを、ボーレートジェネレータへ入力します。
- **外部クロック選択時**
外部クロックは使用できません。設定禁止です。

<CSIOモード時>

- **内部クロック選択時**
PCLKを、ボーレートジェネレータへ入力します。
SCLKi端子から転送クロックを出力し、送受信を制御します。
- **外部クロック選択時**
SCLKi端子から入力された転送クロックにより、送受信が制御されます。ボーレートジェネレータは使用しません。SCLKi端子への入力クロックの最大周波数は、 $f(\text{PCLK})/4$ です。
SCLKi端子への入力信号のサンプリングは、内部クロック (PCLK) を使用しています。

13.2.4 SIOiステータスレジスタ

SIO0ステータスレジスタ (SIO0STS)

<アドレス: H'00EF D00C>

SIO1ステータスレジスタ (SIO1STS)

<アドレス: H'00EF D10C>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	RXSC	TXSC	FERR	PERR	OERR	0	RXSF	RXCP	TXCP	TEMP
0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

※ バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0003>

b	ビット名	機能	R	W
0~21	何も配置されていません。読み出し時"0"です。		0	N
22	RXSC 受信シフトレジスタ状態フラグ	0: データ受信中ではない 1: データ受信中である	R	N
23	TXSC 送信シフトレジスタ状態フラグ	0: データ送信中ではない 1: データ送信中である	R	N
24	FERR 受信フレーミングエラーフラグ (UARTモード専用)	0: 受信フレーミングエラーなし 1: 受信フレーミングエラーあり	R	N
25	PERR 受信パリティエラーフラグ (UARTモード専用)	0: 受信パリティエラーなし 1: 受信パリティエラーあり	R	N
26	OERR 受信オーバランエラーフラグ	0: 受信オーバランエラーなし 1: 受信オーバランエラーあり	R	N
27	何も配置されていません。		0	N
28	RXSF 受信シフトレジスタフルフラグ	0: SIOi受信シフトレジスタ内にデータなし 1: SIOi受信シフトレジスタ内にデータあり	R	N
29	RXCP 受信完了フラグ (受信バッファレジスタフル)	0: SIOi受信バッファレジスタ内にデータなし 1: SIOi受信バッファレジスタ内にデータあり	R	N
30	TXCP 送信完了フラグ (送信シフトレジスタエンプティ)	0: SIOi送信シフトレジスタ内にデータあり 1: SIOi送信シフトレジスタ内にデータなし	R	N
31	TEMP 送信バッファエンプティフラグ	0: SIOi受信バッファレジスタ内にデータあり 1: SIOi送信バッファレジスタ内にデータなし	R	N

注. このレジスタは、読み出し専用レジスタです。

(1) RXSC (受信シフトレジスタ状態フラグ) ビット (b22)

このビットにより、SIOi受信シフトレジスタの状態を参照することができます。このビットのセット、クリアの条件はUARTモードとCSIOモードでは異なります。以下にこのビットのセット、クリアの条件を示します。

<UARTモード時 (SIOiモードレジスタ0のUCS="0") >

■ "1"セット条件

スタートビット検出 (RXDi端子への立ち下がりエッジ入力) 後、再検出時にRXDi="L"が再びサンプリングされたとき"1"にセットされます。

■ "0"クリア条件

最終ストップビットの受信を完了した時"0"にクリアされます。

<CSIOモード時 (SIOiモードレジスタ0のUCS="1") >

■ "1"セット条件

データ受信の為に1ビット目の転送クロック立ち下がりにより"1"にセットされます。

■ "0"クリア条件

最終ビット受信のための転送クロック立ち上がりにより"0"にセットされます。

(2) TXSC (送信シフトレジスタ状態フラグ) ビット (b23)

このビットにより、SIOi送信シフトレジスタの状態を参照することができます。このビットのセット、クリアの条件はUARTモードとCSIOモードでは異なります。以下にこのビットのセット、クリアの条件を示します。

<UARTモード時 (SIOiモードレジスタ0のUCS="0") >

■ "1"セット条件

スタートビット検出 (TXDi端子への立ち下がりエッジ入力) により"1"にセットされます。

■ "0"クリア条件

最終ストップビットの送信における転送クロックの立ち下がりにより"0"にクリアされます。

<CSIOモード時 (SIOiモードレジスタ0のUCS="1") >

■ "1"セット条件

データ送信の為の1ビット目の転送クロック立ち下がりにより"1"にセットされます。

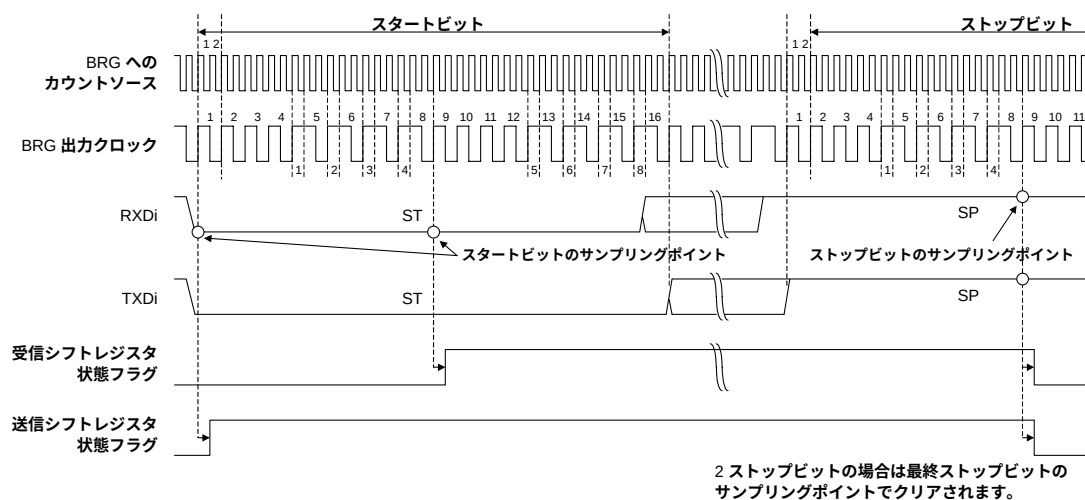
■ "0"クリア条件

最終ビット送信のための転送クロック立ち上がりにより"0"にセットされます。

図13.2.4シフトレジスタ状態フラグのタイミング例を示します。

●UARTモード時の受信シフトレジスタ状態フラグのタイミング例

(ボーレート設定ビット=H'0001 (2分周)、ボーレート補正ビット=H'4 (補正值8)) の場合



●CSIOモード時の受信シフトレジスタ状態フラグのタイミング例

(転送データ8ビットの場合)

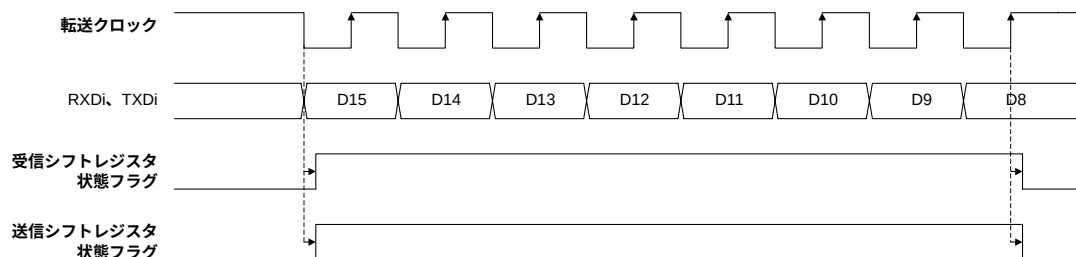


図13.2.4 シフトレジスタ状態フラグのタイミング例

(3) FERR (受信フレーミングエラーフラグ) ビット (b24)

このビットにより、受信データについての受信フレーミングエラーの状態を参照することができます。このビットは、UARTモードを選択したとき有効になります。以下にこのビットのセット、クリアの条件を示します。

■ 1"セット条件

受信したデータのストップビットの数が受信ストップビット長選択ビット (SIOiモードレジスタ0のRSTB) で選択した数と異なるとき、最終ストップビット受信時にフレーミングエラーを検出し、このビットは"1"にセットされます。このとき受信許可ビットは"0"にクリアされ、受信禁止状態になります。

このビットが"1"にセットされているデータに対しては、受信完了フラグ (RXCP) は"1"にセットされません。また、このビットが"1"にセットされたまま、受信許可ビットを"1"にセットした場合の動作は保証されません。

■ "0"クリア条件

- SIOiステータスレジスタを読み出す。
- 受信ステータス初期化ビット (SIOi制御レジスタのRSCLR) を"1"にセットしたとき

なお、このビットはSIOi受信バッファレジスタの読み出しではクリアされません。

(4) PERR (受信パリティエラーフラグ) ビット (b25)

このビットにより、受信データについての受信パリティエラーの状態を参照することができます。このビットは、UARTモードを選択 (SIOiモードレジスタ0のUCS="0") し、パリティを有効 (SIOiモードレジスタ0のPEN="1") にしたとき有効になるフラグです。以下にこのビットのセット、クリアの条件を示します。

■ 1"セット条件

受信したデータのパリティ属性が、パリティ選択ビット (SIOiモードレジスタ0のPSEL) で設定した属性と異なるとき、最終ストップビット受信時にパリティエラーを検出し、このビットは"1"にセットされます。このとき受信許可ビットは"0"にクリアされ、受信禁止状態になります。

このビットが"1"にセットされるデータに対しては、受信完了フラグは"1"にセットされません。また、このビットが"1"にセットされたまま、受信許可ビットを"1"にセットした場合の動作は保証されません。

■ "0"クリア条件

- SIOiステータスレジスタを読み出す。
- 受信ステータス初期化ビット (SIOi制御レジスタのRSCLR) を"1"にセットしたとき

なお、このビットはSIOi受信バッファレジスタの読み出しではクリアされません。

(5) OERR (受信オーバーランエラーフラグ) ビット (b26)

このビットにより、受信オーバーランエラー発生の有無を参照することができます。以下にこのビットのセット、クリアの条件を示します。

■ "1"セット条件

SIOi受信バッファレジスタ、及び受信シフトレジスタに受信データが存在している状態で、次の受信データの受信開始を認識したとき（注）オーバーランエラーを検出し、このビットは"1"にセットされます。

このとき、SIOi受信バッファレジスタ、及び受信シフトレジスタに存在しているデータは上書きされません。したがって、オーバーランエラーを発生させたデータはまったく受信しません。

受信許可ビットはオーバーランエラー検出時に"0"にクリアされ受信禁止状態になり、さらにCSIOモード時（SIOiモードレジスタ0のUCS="1"）では、送信許可ビット（SIOi制御レジスタのTXEN）も"0"にクリアされ、送信禁止状態になります。このビットが"1"にセットされているときに、受信許可ビットもしくは送信許可ビットを"1"にセットした場合の動作は保証されません。

注: UARTモード時のデータ受信開始の認識は、スタートビットの検出後の再検出時にRXDi="L"が再びサンプリングされたときです。CSIOモード時のデータ受信開始の認識は1ビット目の転送クロック入力立ち上がりエッジを検出したときです。

■ "0"クリア条件

- SIOiステータスレジスタを読み出す。
- 受信ステータス初期化ビットSIOi制御レジスタのRSCLR)を"1"にセットしたとき

(6) RXSF (受信シフトレジスタフルフラグ) ビット (b28)

このビットにより、SIOi受信シフトレジスタのデータの有無を参照できます。以下にこのビットのセット、クリアの条件を示します。

■ "1"セット条件

SIOi受信バッファレジスタにデータがある（RXCP="1"）、かつSIOi受信シフトレジスタにデータがない時に、次のエラーでないデータを受信したとき（注）"1"にセットされます。

注: UARTモード時は最終ストップビットの受信が完了したときです。CSIOモード時は最終ビットデータの受信が完了したときです。

■ "0"クリア条件

- SIOi受信バッファレジスタを読み出す。
- 受信ステータス初期化ビットSIOi制御レジスタのRSCLR)を"1"にセットしたとき

なお、このビットはSIOiステータスレジスタの読み出しではクリアされません。

(7) RXCP (受信完了 (受信バッファレジスタフル) フラグ) ビット (b29)

このビットにより、SIOi受信バッファレジスタのデータの有無を参照できます。以下にこのビットのセット、クリアの条件を示します。

■ "1"セット条件

正常な受信データがSIOi受信シフトレジスタからSIOi受信バッファレジスタへ転送されたとき"1"にセットされます。

■ "0"クリア条件

- SIOi受信シフトレジスタにデータがない (RXSF="0") とき、SIOi受信バッファレジスタを読み出す。
- 受信ステータス初期化ビットSIOi制御レジスタのRSCLR)を"1"にセットしたとき

なお、このビットはSIOiステータスレジスタの読み出しではクリアされません。

図13.2.5、図13.2.6にUARTモード時の受信の状態を示すフラグのセット/クリアタイミング例を示します。

図13.2.7にCSIOモード時の受信の状態を示すフラグのセット/クリアタイミング例を示します。

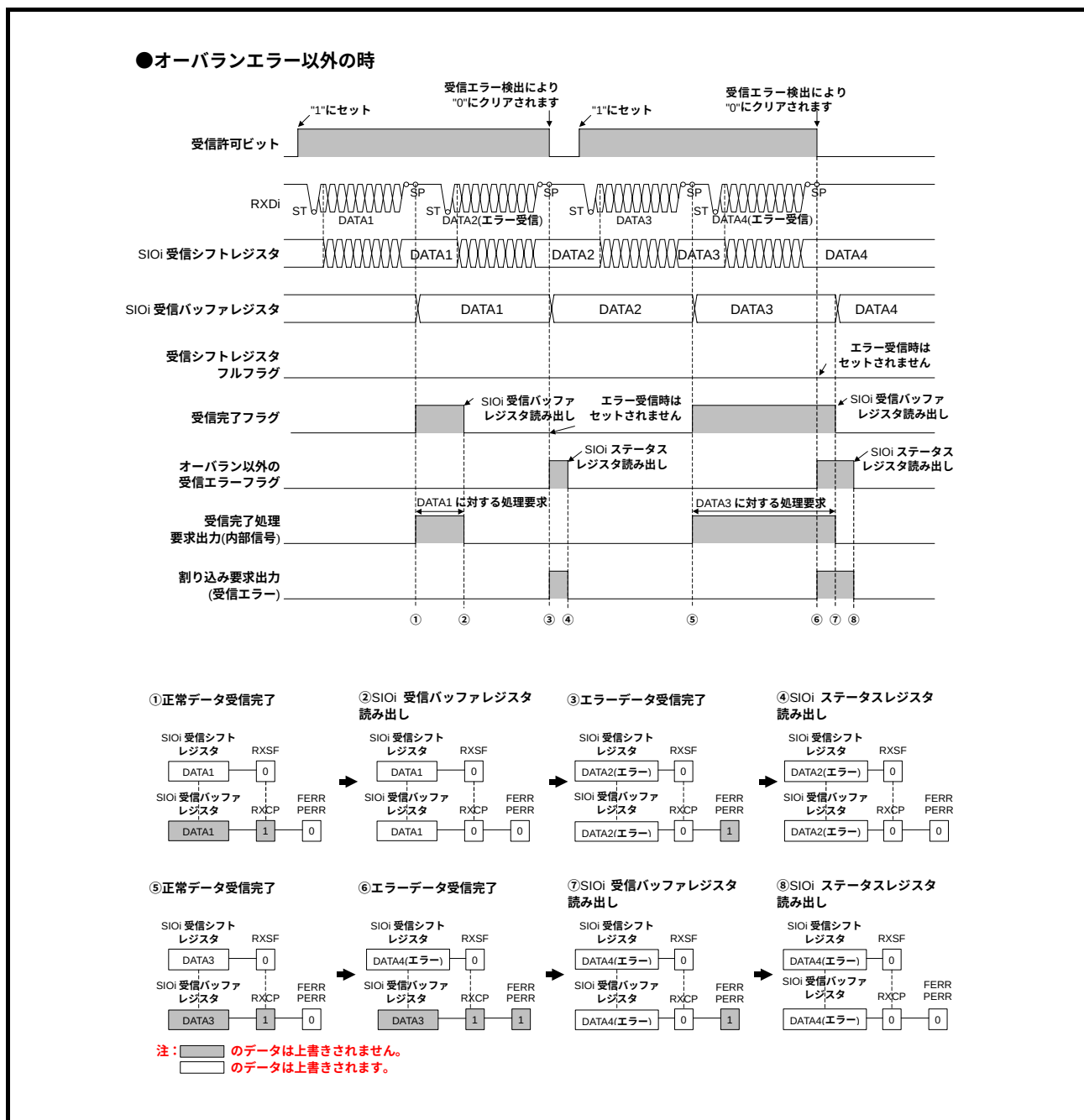
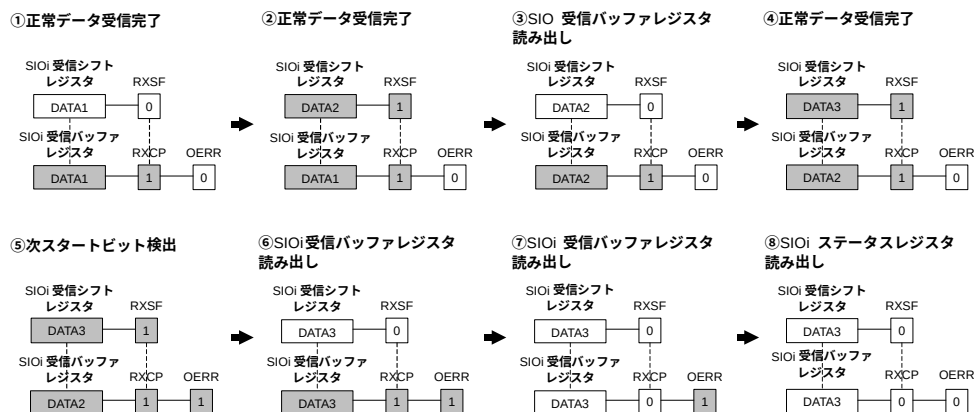
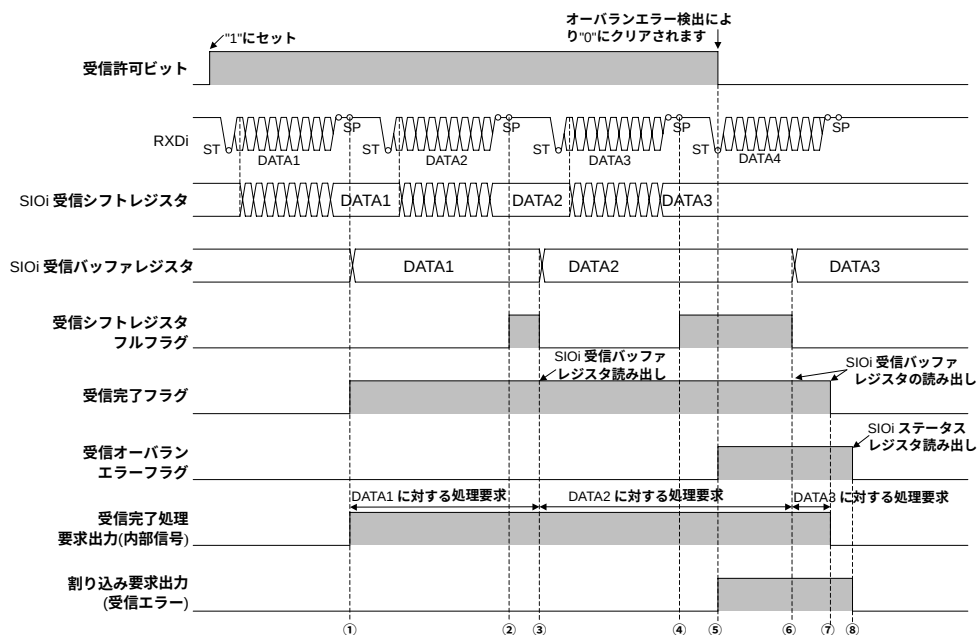


図13.2.5 UARTモード時の受信状態を示すフラグのセット/クリアタイミング例1

●オーバランエラーの時



注: のデータは上書きされません。
 のデータは上書きされます。

図13.2.6 UARTモード時の受信の状態を示すフラグのセット/クリアのタイミング例2

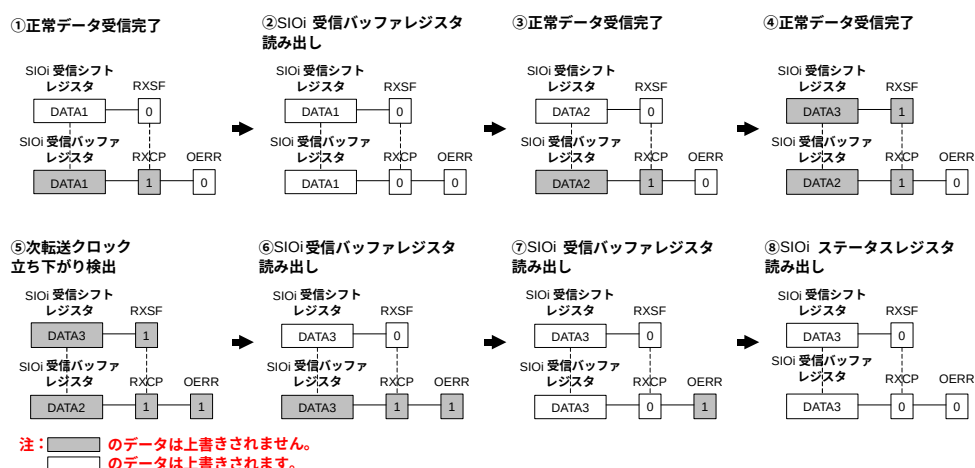
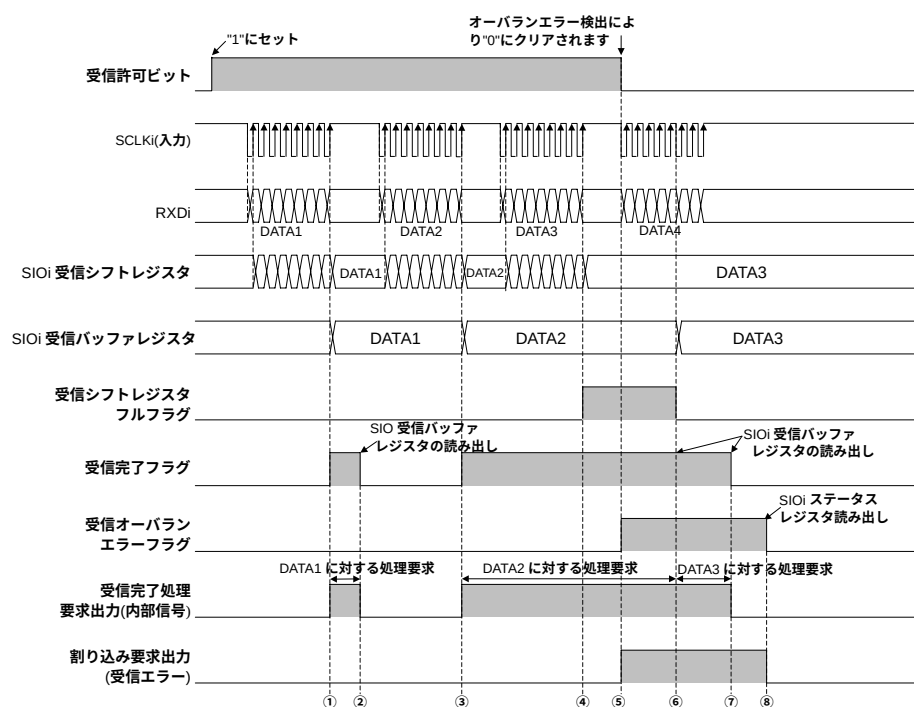


図13.2.7 CSIOモード時の受信の状態を示すフラグのセット/クリアのタイミング例3

(8) TXCP (送信完了(送信シフトレジスタエンプティ) フラグ) ビット (b30)

このビットにより、SIOi送信シフトレジスタに送信の終了していないデータがあるか、ないかを参照できます。このビットが"0"にクリアされている場合、SIOi送信シフトレジスタには送信の終了していないデータがあります。このとき、送信開始の条件(注)が検出される前に送信禁止(SIOi制御レジスタのTXEN="1")にした場合にはデータは送信されません。

このビットが"1"にセットされている場合、SIOi送信シフトレジスタにはデータがありません。

注: 送信開始の条件については「13.2.9 SIOi受信バッファレジスタ」を参照してください。

以下にこのビットのセット、クリアの条件を示します。

■ "1"セット条件

SIOi送信シフトレジスタのデータを送信し終えたとき(注)に、以下のいずれかの条件が満たされたとき、SIOi送信バッファレジスタからSIOi送信シフトレジスタへ送信データの転送は行われず、SIOi送信シフトレジスタは、空になり"1"がセットされます。

- SIOi送信バッファレジスタにデータがないとき (TEMP="1")
- 送信許可ビット (SIOi制御レジスタのTXEN) が"0"のとき
- CTS機能有効選択時 (SIOiモードレジスタ0のCTSS="1") に、CTS#端子への入力が"H"のとき

また、送信ステータス初期化ビット (SIOi制御レジスタのTSCLR) を"1"にセットしたときにも"1"をセットします。

注: UARTモード時 (SIOiモードレジスタ0のUCS="0") の"1"セットタイミングは最終ストップビットの送信を完了したときです。CSIOモード時の"1"セットタイミングは最終ビットの送信を完了したときです。

■ "0"クリア条件

SIOi送信バッファレジスタからSIOi送信シフトレジスタへ送信データが転送されてきたとき"0"にクリアされます。

(9) TEMP (送信バッファエンプティフラグ) ビット (b31)

このビットにより、SIOi送信シフトレジスタに転送していないデータが、SIOi送信バッファレジスタにあるか、ないかを参照できます。

このビットが"0"にクリアされている場合、SIOi送信バッファレジスタには、SIOi送信シフトレジスタへ転送していないデータがあります。

このビットが"1"にセットされている場合、SIOi送信バッファレジスタにはデータがありません。

以下にこのビットのセット、クリアの条件を示します。

■ "1"セット条件

SIOi送信バッファレジスタからSIOi送信シフトレジスタへ送信データを転送したとき(注)"1"にセットされます。

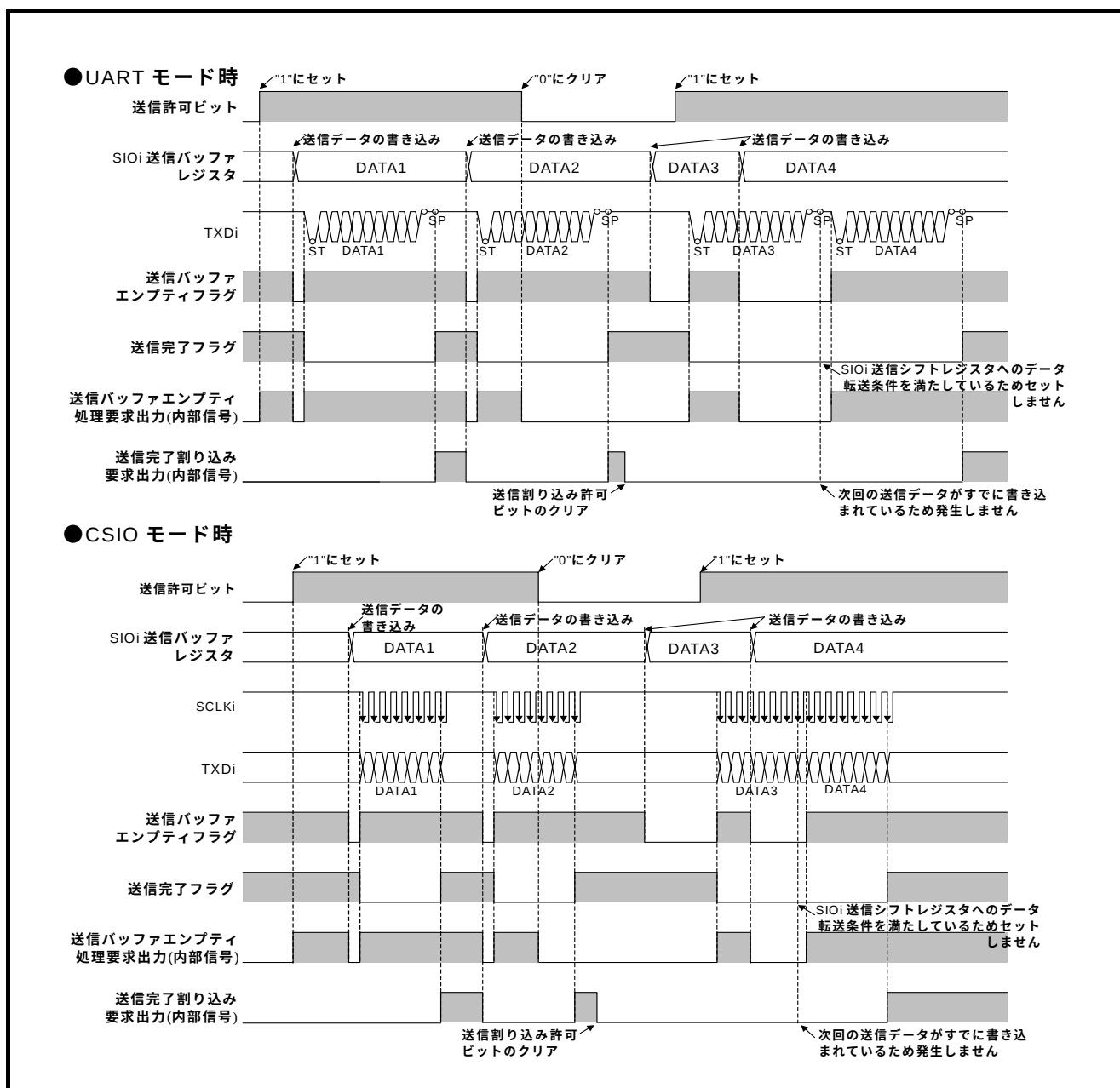
注: SIOi送信バッファレジスタからSIOi送信シフトレジスタへ送信データが転送される条件については「13.2.8 SIOi送信バッファレジスタ」の章を参照してください。

送信ステータス初期化ビット (SIOi制御レジスタのTSCLR) を"1"にセットしたときにも"1"にセットされます。

■ "0"クリア条件

SIOi送信バッファレジスタへの書き込みで"0"にクリアされます。

図13.2.8に送信の状態を示すフラグのセット/クリアのタイミング例を示します。



13.2.5 SIOi転送処理制御レジスタ

SIO0転送処理制御レジスタ (SIO0TRCR)

<アドレス: H'00EF D010>

SIO1転送処理制御レジスタ (SIO1TRCR)

<アドレス: H'00EF D110>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	0	REISEL	RXCSEL	TXCSEL	REIE	RXCEN	TXIEN	TEMPIE
									0	0	0	0	0	0	0

※ バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~24	何も配置されていません。"0"に固定してください。		0	0
25	REISEL 受信エラー割り込み条件選択ビット	0: 受信エラーフラグセット時に割り込み発生 1: 受信エラー検出時に割り込み発生	R	W
26	RXCSEL 受信完了処理選択ビット	0: 割り込み要求発生 1: DMA要求発生	R	W
27	TXCSEL 送信バッファエンプティ処理選択ビット	0: 割り込み要求発生 1: DMA要求発生	R	W
28	REIE 受信エラー割り込み許可ビット	0: 受信エラー割り込み禁止 1: 受信エラー割り込み許可	R	W
29	RXCEN 受信完了処理許可ビット	0: 受信完了処理禁止 1: 受信完了処理許可	R	W
30	TXIEN 送信完了割り込み許可ビット	0: 送信完了割り込み禁止 1: 送信完了割り込み許可	R	W
31	TEMPIE 送信バッファエンプティ処理許可ビット	0: 送信バッファエンプティ処理禁止 1: 送信バッファエンプティ処理許可	R	W

注. SIO転送処理制御レジスタの各ビットは、SIO停止中（送受信許可ビットがともに禁止状態、及びデータ送受信中でない場合）に設定してください。

SIOi転送処理制御レジスタの設定変更を行う場合は、ICU（割り込みコントローラ）への割り込み要求や、DMAC（DMAコントローラ）へのDMA要求が行われていない場合にのみ行ってください。

注: 本SIOからICU（もしくはDMAC）への割り込み（もしくはDMA要求）は"H"イネーブルのレベル信号として出力されます。

(1) REISEL (受信エラー割り込み条件選択) ビット (b25)

このビットにより、受信エラー割り込み要求を受信エラーフラグセット時に行うか、受信エラー検出時に行うかの選択を行います（注）。このビットの設定は、受信エラー割り込みを許可（REIE="1"）にしている場合のみ有効となります。

このビットを"0"にクリアした場合、受信エラーフラグ（SIOiステータスレジスタのFERR,PERR,OERR）のいずれかがセットされた場合に、ICU（割り込みコントローラ）への割り込み要求が発生します。

この場合、受信エラーが検出された時点で以降の受信は自動的に禁止（SIOi制御レジスタのRXEN="0"）になりますが、SIOi受信バッファレジスタ内に未処理のデータが残っていた場合には、その未処理のデータを読み出すまでは、割り込み要求は発生しません。

このビットを"1"にセットした場合、受信エラーフラグの状態にかかわらず、何らかの受信エラーを検出した時点で、ICUへの割り込み要求が発生します。

この場合、SIOi受信バッファレジスタ内に未処理のデータが残っていると、受信エラーフラグはセットされませんので、受信エラーの判別を行いたいときには、SIOi受信バッファレジスタ内の未処理のデータを読み出した後、SIOiステータスレジスタの読み出しを行うようにしてください。

注：受信エラー検出時にSIOi受信バッファレジスタ内に未処理のデータが残っていた場合、受信エラーフラグはその未処理データを読み出した後にセットされます。この場合、エラー検出と受信エラーフラグセットとの間には時間差が生じます。

(2) RXCSEL (受信完了処理選択) ビット (b26)

このビットにより、受信完了処理要求先を選択します。

このビットは、受信完了処理を許可（RXCEN="1"）にしているときのみ有効になります。

このビットを"0"にクリアした場合、受信完了時（SIOiステータスレジスタのRXCP="1"）に、ICU（割り込みコントローラ）への割り込み要求が発生します。この場合、SIOiステータスレジスタの受信完了フラグ(RXCP)がセットされている間、常に割り込み要求が発生しています。

このビットを"1"にセットした場合、受信完了時にDMAC（DMAコントローラ）へのDMA要求が発生します。この場合、SIOiステータスレジスタの受信完了フラグ(RXCP)がセットされている間、常にDMA要求が発生しています。

(3) TXCSEL (送信バッファエンプティ処理選択) ビット (b27)

このビットにより、送信バッファエンプティ処理要求先を選択します。

このビットは、送信バッファエンプティ処理を許可(TEMPIE="1")にしているときのみ有効です。

このビットを"0"にクリアした場合、送信バッファエンプティ時（SIOiステータスレジスタのTEMP="1"）でかつ送信許可（SIOi制御レジスタの送信許可ビット="1"）の間、常にICUへの割り込み要求が発生します。

このビットを"1"にセットした場合、送信バッファエンプティ時でかつ送信許可の間、常にDMACへのDMA要求が発生します。

(4) REIE (受信エラー割り込み許可) ビット (b28)

このビットにより、受信エラー割り込み要求の許可／禁止を設定します。

このビットを"0"にクリアした場合、受信エラーが発生してもICUへの割り込み要求は発生しません。

このビットを"1"にセットした場合、受信エラーフラグがセットされている間、常にICUへの割り込み要求が発生します。

(5) RXCEN (受信完了処理許可) ビット (b29)

このビットにより、受信完了処理要求の許可／禁止を設定します。

このビットを"0"にクリアした場合、受信完了時にはICUへの割り込み要求、およびDMACへのDMA要求ともに発生しません。

このビットを"1"にセットした場合、SIOiステータスレジスタの受信完了フラグ(RXCP)がセットされている間、常にICUへの割り込み要求又はDMACへのDMA要求が発生します。受信完了処理に、割り込み又はDMA転送のどちらを使用するかについての選択は、受信完了処理選択ビット(RXCSEL)にて行います。

(6) TXIEN (送信完了割り込み許可) ビット (b30)

このビットにより、送信完了割り込み要求の許可／禁止を設定します。

このビットを"0"にクリアした場合、送信完了時にICUへの割り込み要求は発生しません。

このビットを"1"にセットした場合、送信完了時にICUへの割り込み要求が発生します。

<データ送信が完了したときの割り込み要求セット条件>

以下のすべての条件が満たされたとき、割り込み要求がセットされます。

- SIOi送信バッファレジスタにデータがないとき (SIOiステータスレジスタのTEMP="1")
- 送信完了割り込みを許可に設定 (TXIEN="1") されているとき
- SIOi送信シフトレジスタのデータを送信し終えたとき

<データ送信が完了したときの割り込み要求クリア条件>

以下のいずれかの条件が満たされたとき、割り込み要求がクリアされます。

- SIOi送信バッファレジスタに送信データを書き込んだとき
- 送信完了割り込みを禁止に設定 (TXIEN="0") したとき (再度送信完了割り込みを許可に設定しても割り込みは発生しません)
- 送信ステータス初期化ビット (SIOi制御レジスタのTSCLR) に"1"を書き込んだとき

(7) TEMPIE (送信バッファエンプティ処理許可) ビット (b31)

このビットにより、送信バッファエンプティ処理要求の許可／禁止を設定します。

このビットを"0"にクリアした場合、送信バッファエンプティによるICUへの割り込み要求、及びDMACへのDMA要求ともに発生しません。

このビットを"1"にセットした場合、送信許可 (SIOi制御レジスタのTXEN="1") かつ送信バッファエンプティ (SIOiステータスレジスタのTEMP="1") の間、常にICUへの割り込み要求又はDMACへのDMA要求が発生します。

送信バッファエンプティ処理に、割り込み又はDMA転送のどちらを使用するかについての選択は送信バッファエンプティ処理選択ビット (TXCSEL) にて行います。

13.2.6 SIOiボーレートレジスタ

SIO0ボーレートレジスタ (SIO0BAUR)

<アドレス: H'00EF D014>

SIO1ボーレートレジスタ (SIO1BAUR)

<アドレス: H'00EF D114>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
SBAUR															
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?

※ バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: 不定>

b	ビット名	機能	R	W
0~15	何も配置されていません。"0"に固定してください。		0	0
16~31	SBAUR ボーレート設定	ボーレート設定に使用します	R	W

注. SIOボーレートレジスタは、SIO停止中（送受信許可ビットがともに禁止設定、及びデータ送受信中でない場合）に設定してください。

(1) SBAUR (ボーレート設定) ビット (b16~b31)

UARTモード/CSIOモードにかかわらず、内部クロック（SIOiモードレジスタ1のCKSEL="0"）を選択した場合、カウントソースをこのビットで設定した値" n "で" $n+1$ "分周します。

以下に各モードにおける転送クロックを示します。

<UARTモード>

- 内部クロック選択時 : " $n+1$ "分周されたカウントソースを16分周して、さらにボーレート補正器により設定された数値分カウントソースを加えて転送クロックとなります。転送クロックは外部に出力しません。
- 外部クロック選択時 : 外部クロックは使用できません。設定禁止です。

<CSIOモード>

- 内部クロック選択時 : " $n+1$ "分周されたカウントソースはさらに2分周され転送クロックとなります。転送クロックはSCLKi端子から外部に出力します。
- 外部クロック選択時 : SCLKi端子から入力されたカウントソースが転送クロックとなります。SCLKi端子への入力クロック最大周波数は $f(\text{PCLK})/4$ です。

図13.2.9にSIOボーレートレジスタに設定する値の算出式を示します。

また表13.1.1にUARTモードでのSIOボーレートレジスタ、およびSIOボーレート補正レジスタの設定例を示します。

<UART モード>	
● 内部クロック選択時	
$\text{SIOi ボーレートレジスタ設定値} = \frac{f(\text{PCLK})}{\text{ボーレート} \times 16} - 1 - \frac{\text{ボーレート補正值 (注)}}{16}$	
● 外部クロック選択時	
外部クロックは使用できません。設定禁止です。	
<CSIO モード>	
● 内部クロック選択時	
$\text{SIO ボーレートレジスタ設定値} = \frac{f(\text{PCLK})}{\text{ボーレート} \times 2} - 1$	
● 外部クロック選択時	
ボーレートジェネレータを使用しません。	

図13.2.9 SIOiボーレートレジスタ設定値算出式

表13.2.1 UARTモードでのボーレート設定例 (f(PCLK)=33.3333MHz動作時)

標準 ボーレート値	計算による 近似値	誤差	n	補	標準 ボーレート値	計算による 近似値	誤差	n	補
921600bps	925925	0.47%	1	4	28800bps	28785	-0.05%	71	6
806400bps	793650	-1.58%	1	10	19200bps	19201	0.01%	107	8
691200bps	694444	0.47%	2	0	14400bps	14405	0.03%	143	10
576000bps	574712	-0.22%	2	10	9600bps	9601	0.01%	216	0
460800bps	462963	0.47%	3	8	4800bps	4800	±0%	433	0
345600bps	347222	0.47%	5	0	2400bps	2400	±0%	867	0
230400bps	231481	0.47%	8	0	1200bps	1200	±0%	1735	2
115200bps	114942	-0.22%	17	2	600bps	600	±0%	3471	4
57600bps	57670	0.12%	35	2	300bps	300	±0%	6944	6
38400bps	38402	0.01%	53	4					

n : SIOiボーレートレジスタによるボーレート設定値 (10進数)

補 : SIOiボーレート補正レジスタによるボーレート補正值 (10進数)

13.2.7 SIOiボーレート補正レジスタ

SIO0ボーレート補正レジスタ (SIO0RBAUR)

<アドレス: H'00EF D018>

SIO1ボーレート補正レジスタ (SIO1RBAUR)

<アドレス: H'00EF D118>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	0	0	0	0	0	BREV		
													0	0	0

※ バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~28	何も配置されていません。"0"に固定してください。		0	0
29~31	BREV	000: 補正值0	R	W
	ボーレート補正	001: 補正值2		
		010: 補正值4		
		011: 補正值6		
		100: 補正值8		
		101: 補正值10		
		110: 補正值12		
		111: 補正值14		

注. UARTモード選択時、有効となるレジスタです。

SIOiボーレート補正レジスタは、SIO停止中 (送受信許可ビットがともに禁止設定、及びデータ送受信中でない場合) に設定してください。

(1) BREV (ボーレート補正) ビット (b29~31)

このビットにより、転送クロックを内部クロックで生成する場合に、誤差を最低限に押さえるための転送クロックの補正值を選択します。補正值を用いたボーレート計算方法については「13.2.6 SIOiボーレートレジスタ」を参照してください。

図13.2.10に転送クロック生成タイミングを示します。

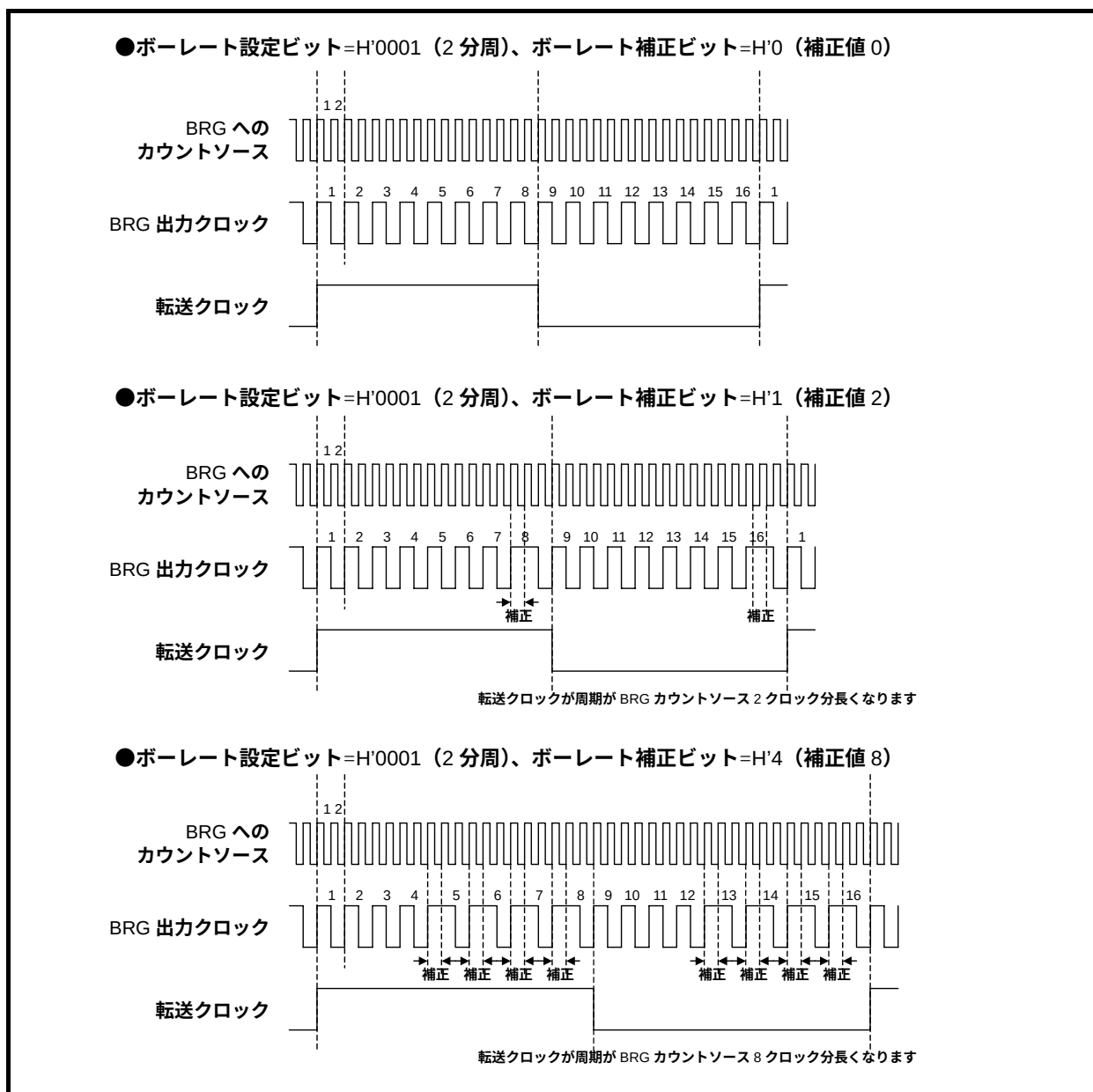


図13.2.10 転送クロック生成タイミング

13.2.8 SIOi送信バッファレジスタ

SIO0送信バッファレジスタ (SIO0TXB)

<アドレス: H'00EF D01C>

SIO1送信バッファレジスタ (SIO1TXB)

<アドレス: H'00EF D11C>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
TXDATA															
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?

※ バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: 不定>

b	ビット名	機能	R	W
0~15	何も配置されていません。"0"に固定してください。		0	0
16~31	TXDATA 送信データビット	送信データを書き込みます	R	W

(1) TXDATA (送信データ) ビット (b16~b31)

このビットにより、送信データを設定します。

以下のすべての条件が満たされたとき、SIOi送信バッファレジスタに設定したデータが、SIOi送信シフトレジスタへ転送されます。

- CTSi#端子への"L"レベル信号の入力 (CTS機能有効選択時)
- 送信許可ビット (SIOi制御レジスタのTXEN) が"1"
- SIOi送信バッファレジスタにデータがある (SIOiステータスレジスタのTEMP="0")
- SIOi送信シフトレジスタにデータがない (SIOiステータスレジスタのTXCP="1"又はSIOi送信シフトレジスタのデータを送信し終えたとき)

以下に各モードにおける送信動作を示します。

■ UARTモードの場合 (SIOiモードレジスタ0のUCS="0")

SIOi送信シフトレジスタへ転送した送信データは、TXDi端子から送信されます。

■ CSIOモードで内部クロックを選択 (SIOiモードレジスタ1のCKSEL="0") し、かつ送信半二重の場合

SIOi送信シフトレジスタへ転送した送信データは、TXDi端子から送信されます。

■ CSIOモードで内部クロックを選択し、かつ送受信 (全二重) の場合

SIOi送信シフトレジスタへ転送した送信データは、SIOi受信シフトレジスタにデータがない場合、TXDi端子から送信されます。したがって、SIOi受信シフトレジスタにデータがある場合、SIOi受信バッファレジスタの読み出しにより、TXDi端子から送信されます。

■ CSIOモードで外部クロックを選択した場合

SIOi送信シフトレジスタへ転送した送信データは、転送クロックが入力されたとき、TXDi端子から送信されます。ただし、CSIOモードで外部クロックを選択した場合、SIOi送信バッファレジスタ及びSIOi送信シフトレジスタにデータがないときに転送クロックが入力された場合の動作は保証されません。

このレジスタへの書き込みで、送信バッファエンプティフラグは"0"にクリアされます。

SIOiモードレジスタ1のキャラクタ長選択ビット (CHLS) により16ビット以外のキャラクタ長を選択した場合は、送信データはLSB側 (b31側) に詰めて設定してください。この時、選択したキャラクタ長以外のMSB側データ (例えばキャラクタ長10ビット選択時のTXDATAのb16~b21) は設定したデータにかかわらず転送されません。

13.2.9 SIOi受信バッファレジスタ

SIO0受信バッファレジスタ (SIO0RXB)

<アドレス: H'00EF D020>

SIO1受信バッファレジスタ (SIO1RXB)

<アドレス: H'00EF D120>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
RXDATA															
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?

※ バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: 不定>

b	ビット名	機能	R	W
0~15	何も配置されていません。読み出し時"0"です。		0	N
16~31	RXDATA 受信データビット	受信データが格納されます	R	N

注. このレジスタは読み出し専用です。

(1) RXDATA (受信データ) ビット (b16~b31)

このビットにより、受信データの読み出しを行います。

受信許可状態 (SIOi制御レジスタのRXEN="1") のとき、SIOi受信シフトレジスタにRXDi端子から入力した受信データが揃い、かつ受信バッファレジスタにデータがない時、SIOi受信シフトレジスタからSIOi受信バッファレジスタへ受信データを転送します。

SIOi受信バッファレジスタは、読み出し専用のレジスタで、このレジスタにデータを書き込むことはできません。

受信データ、SIOi受信バッファレジスタの状態により、受信の状態を示すフラグ (SIOiステータスレジスタのb22~26, b28, b29) をセットします。

また、以下のすべての条件が満たされたとき、SIOi受信バッファレジスタの読み出しにより転送クロックを出力します。

- CSIOモードを設定 (SIOiモードレジスタ0のUCS="1")
- 内部クロックを設定 (SIOiモードレジスタ1のCKSEL="0")
- 受信許可ビットのみ"1"にセット
- CTS機能無効を選択 (SIOiモードレジスタ0のCTSS="1")

SIOiモードレジスタ1のキャラクタ長選択ビット (CHLS) により16ビット以外のキャラクタ長を選択した場合は、受信データはLSB側 (b31側) に詰めて格納されます。このとき、選択したキャラクタ長以外のMSB側データ (例えばキャラクタ長10ビット選択時のRXDATAのb0~b21) には"0"が読み出されます。

オーバランエラー以外の受信エラーフラグ (SIOiステータスレジスタのFERR、PERR) が"1"にセットされたとき、SIOi受信バッファレジスタを読み出すことにより、エラーデータを参照することができます。ただし、エラーデータに対しては受信シフトレジスタフルフラグ (SIOiステータスレジスタのRXSF) および受信完了フラグ (SIOiステータスレジスタのRXCP) はセットされません。また受信エラーフラグはSIOi受信バッファレジスタの読み出しではクリアされません。

13.3 CSIO動作説明

以下にCSIOモードにおける動作説明を行います。

13.3.1 CSIOのデータ転送速度（ボーレート）

CSIOモードにおけるデータの転送速度（ボーレート）は、転送クロックによって決定されます。

(1) 内部クロック選択時

内部クロック(PCLK)を選択した場合、PCLKをSIOボーレートレジスタで設定した値"n"で"n+1"分周します。
"n+1"分周されたカウントソースはさらに2分周され転送クロックとなります。

$$\text{ボーレート(bps)} = \frac{f(\text{PCLK})}{(\text{SIOボーレートレジスタ設定値} + 1) \times 2}$$

注：SIOボーレートレジスタ設定値="H'0000"~"H'FFFF"

(2) 外部クロック選択時

外部クロック選択時は、ボーレートジェネレータは使用しません。SCLKi端子へ入力されたクロックが転送クロックになります。

SCLKi端子への入力クロック最大周波数はf(PCLK)/4です。

$$\text{ボーレート(bps)} = \text{SCLKi端子の入力クロック}$$

13.3.2 CSIOモード送信（送信半二重）動作

(1)データ送信条件

以下のすべての条件が満たされたとき、SIOi送信バッファレジスタからSIOi送信シフトレジスタに送信データを転送します。

- CTSi#端子への"L"レベル信号の入力（CTS機能有効選択時）
- 送信許可ビットが"1"
- SIOi送信バッファレジスタにデータがある（SIOiステータスレジスタのTEMP="0"）
- SIOi送信シフトレジスタにデータがない（SIOiステータスレジスタのTXCP="1"またはSIOi送信シフトレジスタのデータを送信し終えたとき）

内部クロックを選択した場合、SIOi送信シフトレジスタに送信データが転送されると、転送クロックを出力すると同時に送信を開始します。

外部クロック選択にした場合、送信データは転送クロックが入力されたときTXDi端子から送信されます。この場合、TXDi端子は転送クロックが入力されるまでは前回転送した最終データの値を保持しています。

外部クロック選択にした場合、RTSi#端子を"L"にすることにより、転送クロックを要求します（RTS機能選択時）。

(2)RTS機能について

外部クロックを選択したとき (SIOiモードレジスタ1のCKSEL="1")、RTS機能が有効になります。内部クロックを選択したときは、RTS機能選択ビットの設定にかかわらず、RTS機能は無効となり常に"H"が出力されます。

RTSi#端子から"L"レベル信号を出力することにより、送信可能状態であることを接続デバイスに示し、送信/受信動作 (転送クロックの入力) の開始を要求します。

RTSタイミング選択ビット (RTST) の設定は関係ありません。

以下のいずれかの条件が満たされたとき、RTSi#端子が"H"から"L"レベルに変化します。

- 「SIOi送信バッファレジスタにデータがある」もしくは「SIOi送信シフトレジスタに送信を開始していないデータがある」状態で、送信許可ビットを"1"にセットしたとき
- 「送信許可ビットが"1"」かつ「SIOi送信バッファレジスタにデータがない」かつ「SIOi送信シフトレジスタに送信を開始していないデータがない」状態で、SIOi送信バッファレジスタにデータを書き込んだとき

以下のいずれかの条件が満たされたとき、RTSi#端子が"L"から"H"レベルに変化します。

- 送信許可ビットを"0"にクリアしたとき (受信エラーによる送信許可ビットの"0"クリアを含む)
- 「SIOi送信バッファレジスタにデータがない」かつ「SIOi送信シフトレジスタにデータがある」状態で、送信データの1ビット目の転送クロックの立ち下がりエッジが入力されたとき

図13.3.1にCSIOモードで送信許可ビットのみを"1"にセットした場合のRTS#端子出力タイミングを示します。

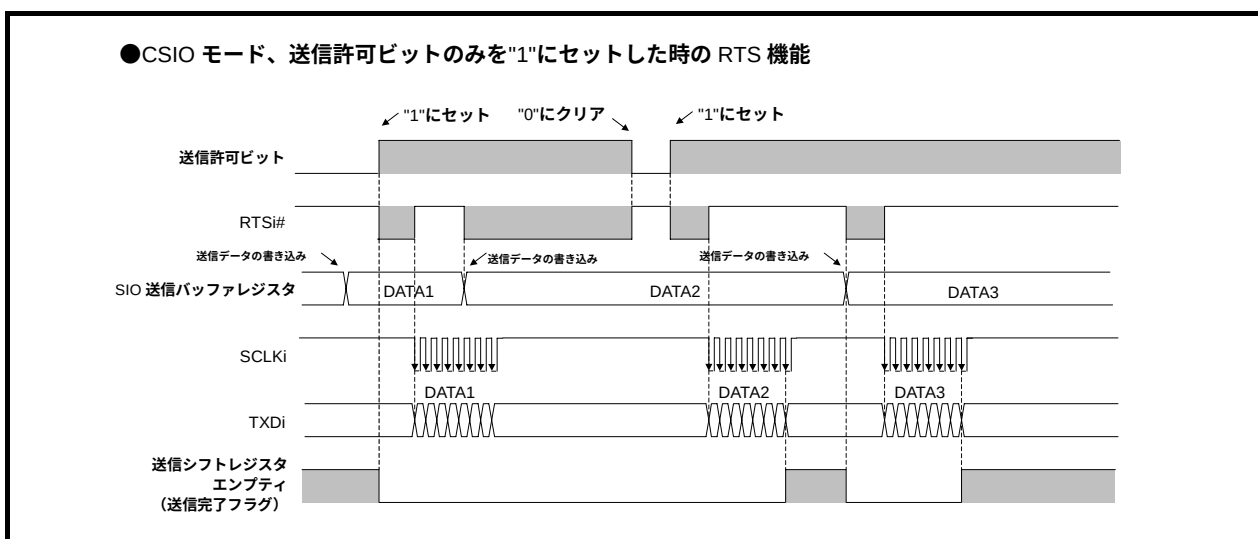


図13.3.1 CSIOモードで送信許可ビットのみを"1"にセットした場合のRTS#端子出力タイミング

(3)CTS機能について

内部クロックを選択 (SIOiモードレジスタ1のCKSEL="0") したとき、CTS機能選択ビットを"1"にセットすることによりCTS機能が有効になります。また、外部クロックを選択したとき、CTS機能選択ビットの設定にかかわらずCTS機能は無効です。

CTS#端子への"L"レベル信号の入力は、送信条件の1つとして使用されます。

13.3.3 CSIOモード送信タイミング例

図13.3.2に内部クロックを選択し、CTS機能を有効にした場合の送信タイミング例を示します。また図13.3.3に外部クロックを選択し、RTS機能を有効にした場合の送信タイミング例を示します。

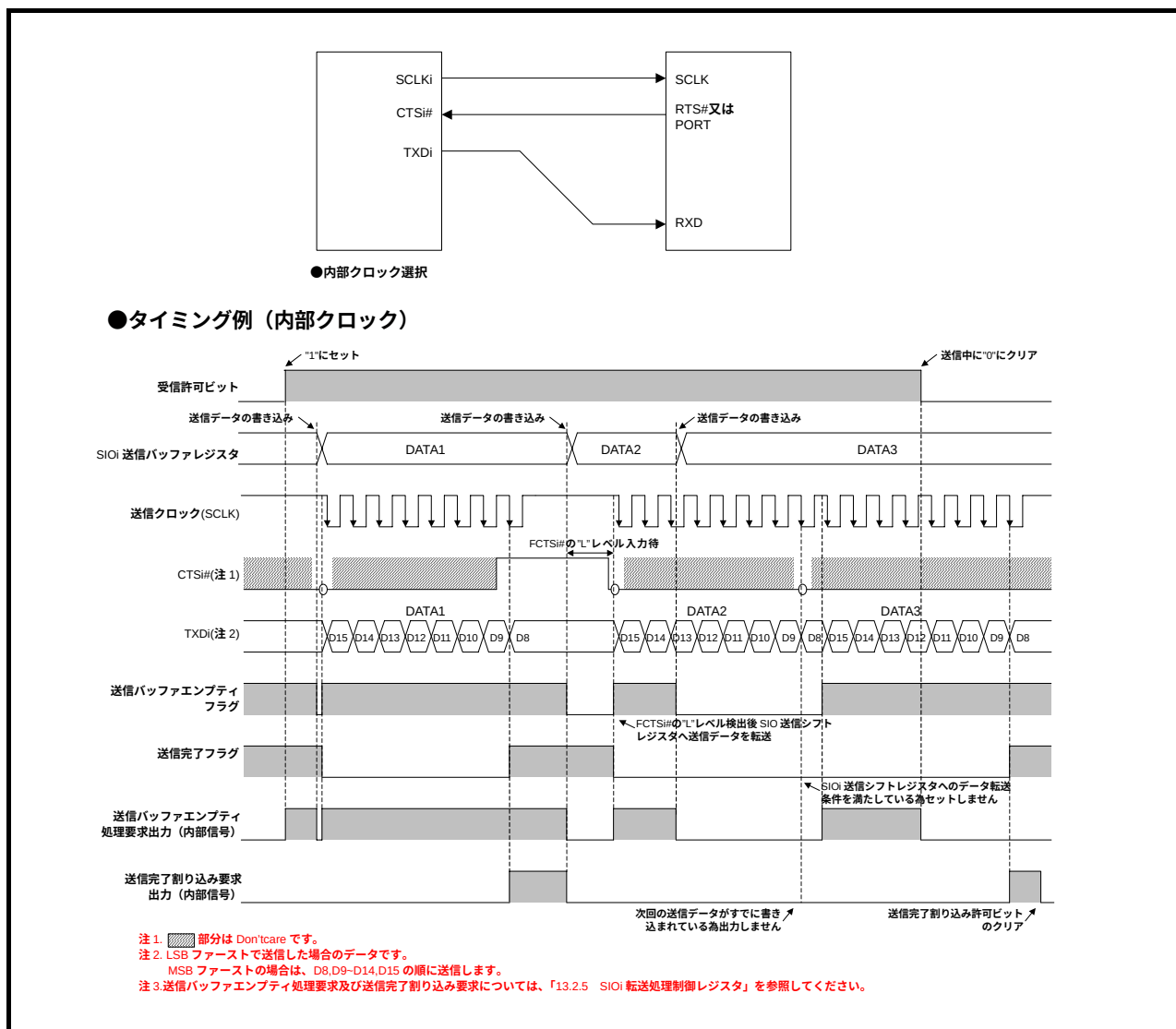


図13.3.2 CSIOモード送信タイミング例1（CTS機能有効、内部クロック選択時）

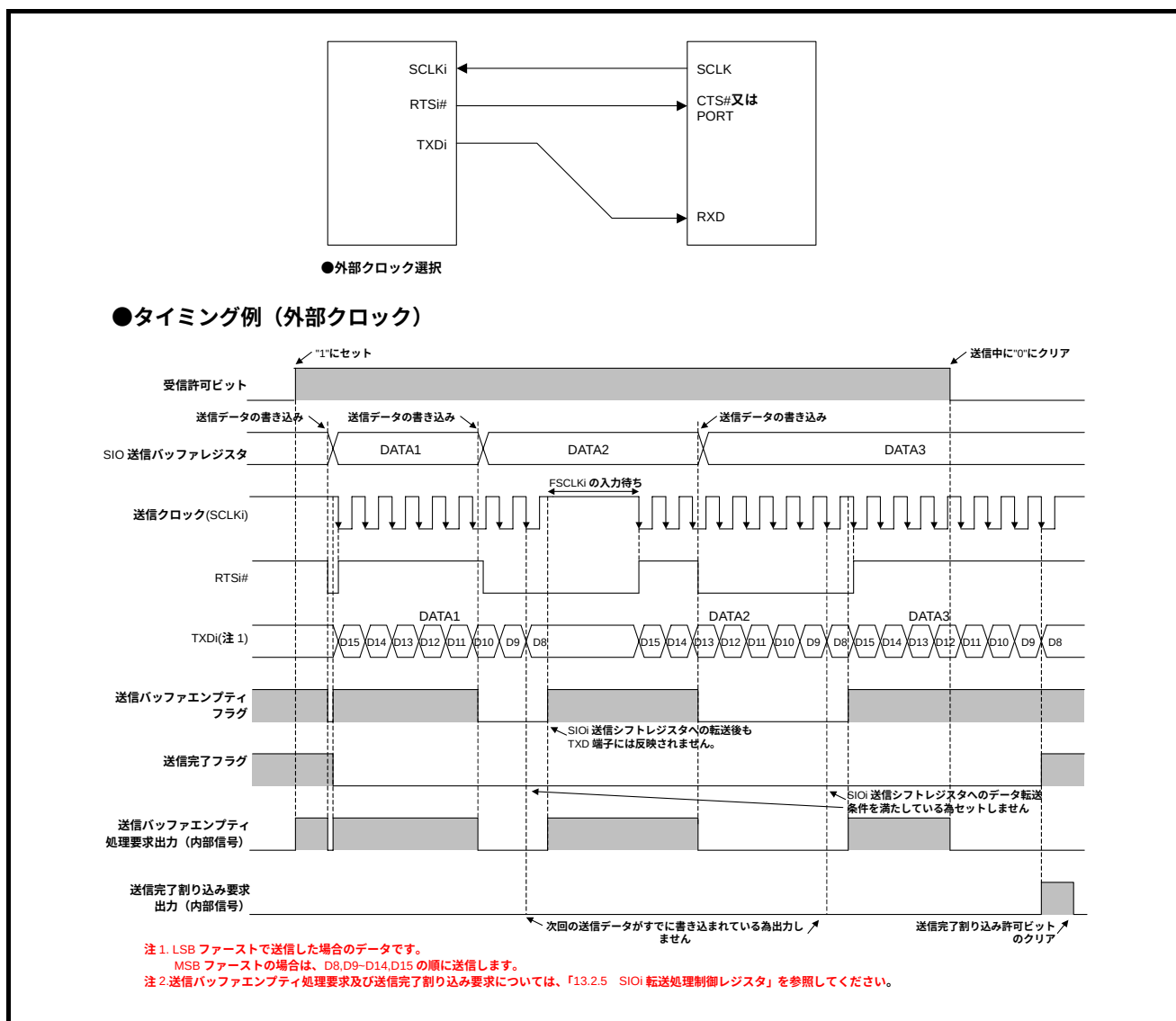


図13.3.3 CSIOモード送信タイミング例2 (RTS機能有効、外部クロック選択時)

13.3.4 CSIOモード受信（受信半二重）動作

(1)受信動作条件

CSIOの受信半二重動作の受信条件を以下に示します。これらの条件を満たしたとき、RXDi端子から受信データがSIOi受信シフトレジスタに入力され、SIOi受信シフトレジスタにデータが揃うとSIOi受信シフトレジスタからSIOi受信バッファレジスタへ転送されます。

<CTS機能有効を選択した場合>

以下のすべての条件が満たされたとき、受信用クロックの出力を開始します。

- CTSi#端子への"L"レベル信号の入力
- 受信許可ビットが"1"
- SIOi受信シフトレジスタにデータがない

<CTS機能無効を選択した場合>

以下のいずれかの条件が満たされたとき、受信用クロックの出力を開始します。

- SIOi受信シフトレジスタにデータがない場合に、受信許可ビットに"1"をセットしたとき
- 受信許可ビットが"1"の場合に、SIOi受信バッファレジスタを読み出したとき

(2)RTS機能について

外部クロックを選択したとき（SIOiモードレジスタ1のCKSEL="1"）、RTS機能が有効になります。内部クロックを選択したときは、RTS機能選択ビットは"0"にクリアしてください。

RTSi#端子から"L"レベル信号を出力することにより、受信可能状態であることを接続デバイスに示し、受信動作（転送クロックの入力）の開始を要求します。

RTSi#端子が変化するタイミングは、以下の条件で異なります。

<受信許可ビットのみを"1"にセットした場合>

RTS#端子が変化するタイミングは、RTSタイミング選択ビット（RTST）の設定により変化します。

<<RTSタイミング選択ビットが"0"の場合>>

以下のいずれかの条件が満たされたとき、RTS#端子が"H"から"L"レベルに変化します。

- 「SIOi受信シフトレジスタにデータがない」状態で、受信許可ビットを"1"にセットしたとき
- 「受信許可ビットが"1"」の状態で、SIOi受信シフトレジスタにデータがなくなったとき

以下のいずれかの条件が満たされたとき、RTSi#端子が"L"から"H"レベルに変化します。

- 受信許可ビットを"0"にクリアしたとき（受信エラーによる受信許可ビットの"0"クリアを含む）
- 「SIOi受信バッファレジスタにデータがある」状態で、受信データの1ビット目の転送クロックの立下りエッジが入力されたとき

<<RTSタイミング選択ビットが"1"の場合>>

以下のいずれかの条件が満たされたとき、RTSi#端子が"H"から"L"レベルに変化します。

- 「SIOi受信バッファレジスタにデータがない」状態で、受信許可ビットを"1"にセットしたとき
- 「受信許可ビットが"1"」状態で、SIOi受信バッファレジスタにデータがなくなったとき

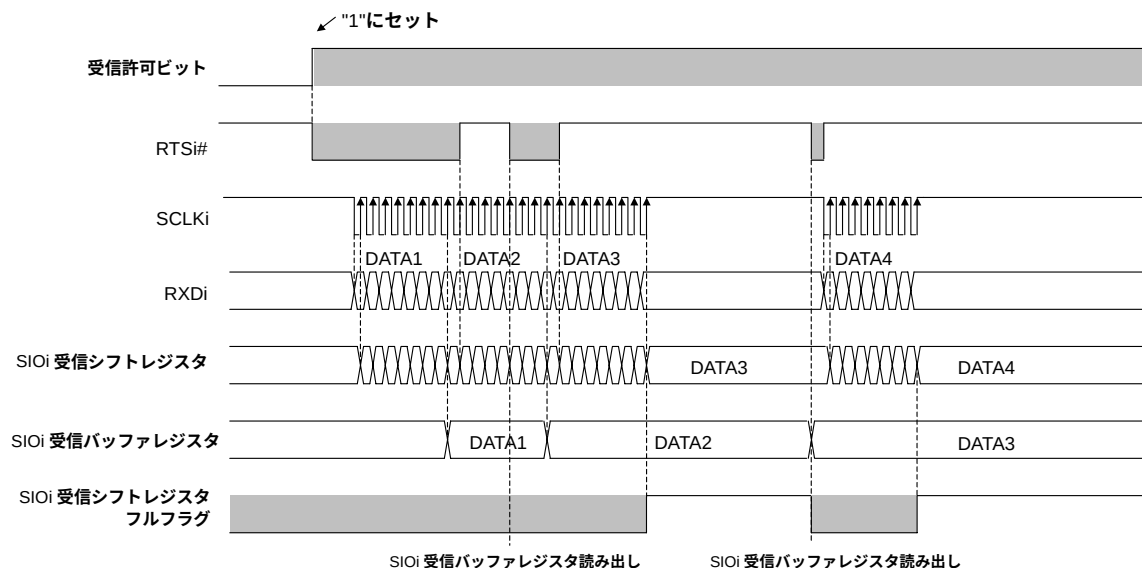
以下のいずれかの条件が満たされたとき、RTSi#端子が"L"から"H"レベルに変化します。

- 受信許可ビットを"0"にクリアしたとき（受信エラーによる受信許可ビットの"0"クリアを含む）
- 受信データの1ビット目の転送クロックの最初のエッジが入力されたとき

図13.3.4にCSIOモード時のRTS#端子出力タイミングを示します。

●CSIO モード、受信許可ビットのみを"1"にセットした時の RTS 機能

<RTS タイミング選択ビットが"0"の場合>



<RTS タイミング選択ビットが"1"の場合>

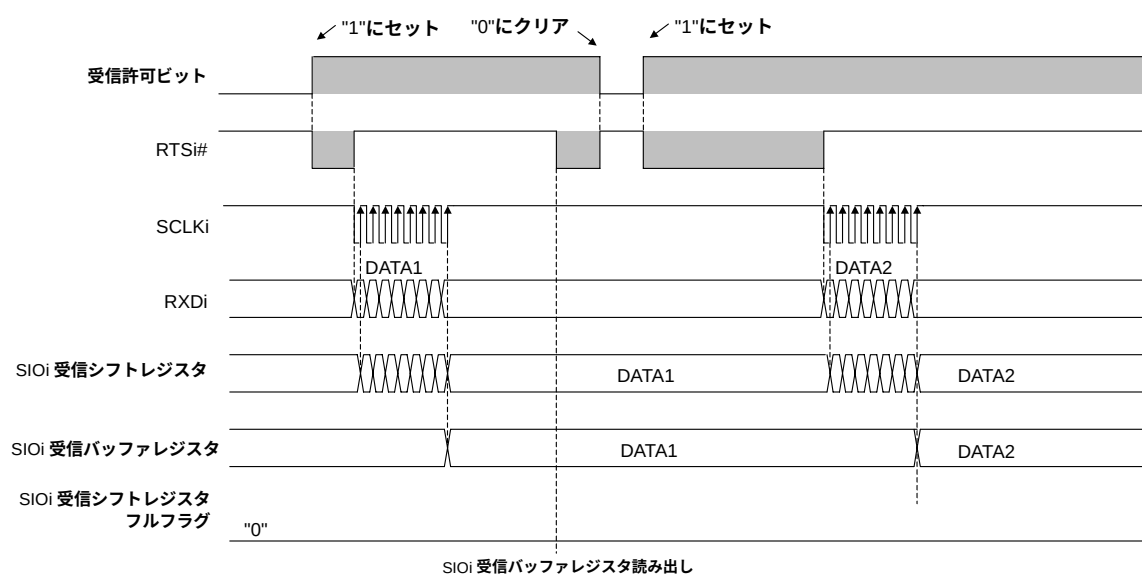


図13.3.4 CSIOモードで受信許可ビットのみを"1"にセットした場合のRTS#端子出力タイミング

(3)CTS機能について

内部クロックを選択しているとき、CTS機能選択ビットを"1"にセットすることによりCTS機能が有効になります。このとき、CTS#端子への"L"レベル信号の入力は、受信開始条件の1つとして使用されます。

外部クロックを選択したときは、CTS機能選択ビットは"0"にクリアしてください。

13.3.5 CSIO受信タイミング例

図13.3.5に内部クロックを選択し、CTS機能を有効にした場合の受信タイミング例を示します。
 図13.3.6に内部クロックを選択し、CTS機能を無効にした場合の受信タイミング例を示します。
 図13.3.7に外部クロックを選択し、RTS機能を有効にした場合の受信タイミング例を示します。

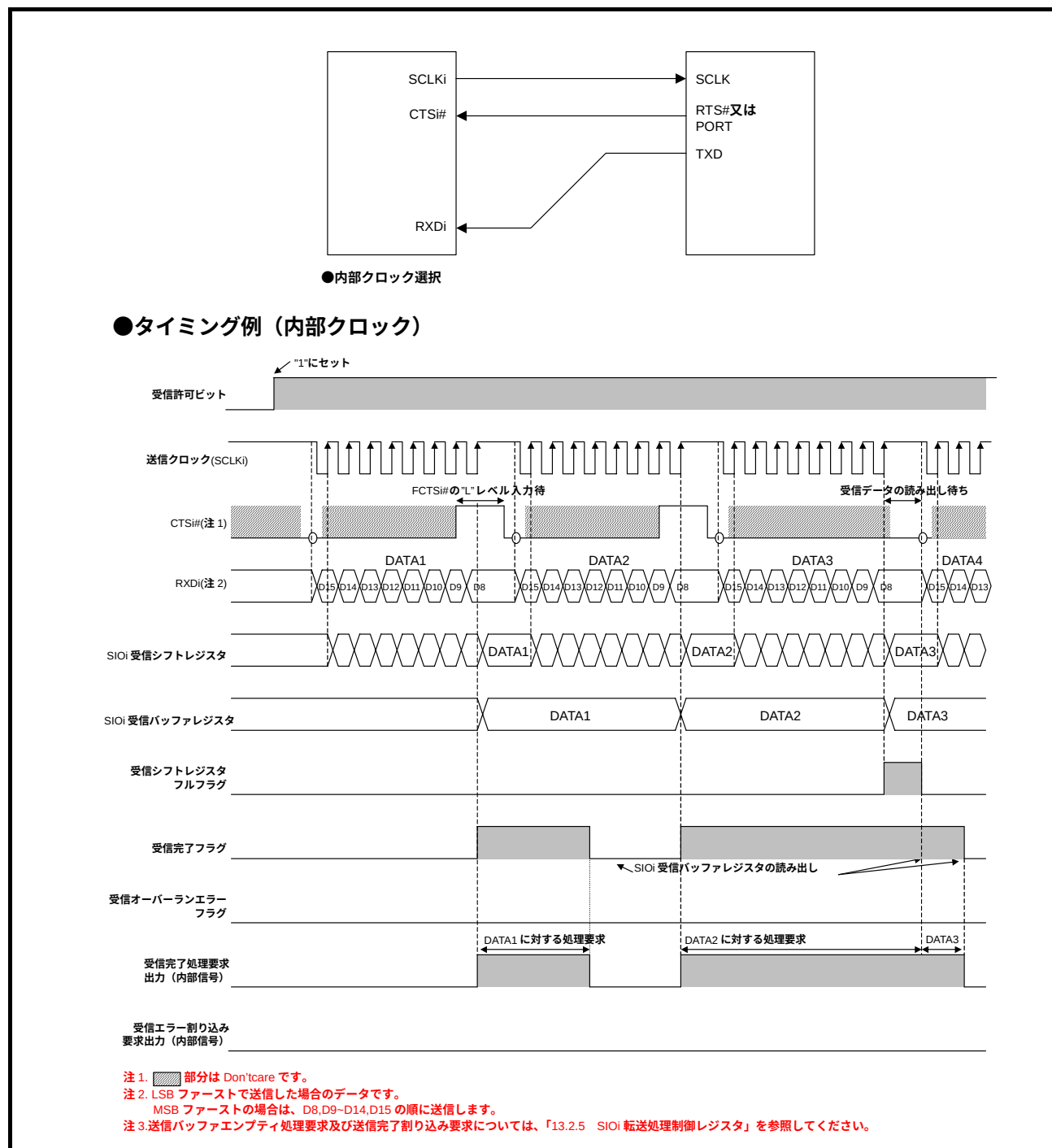
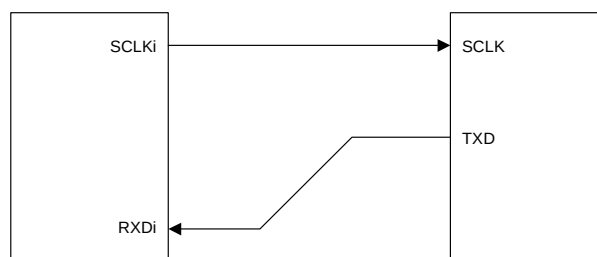
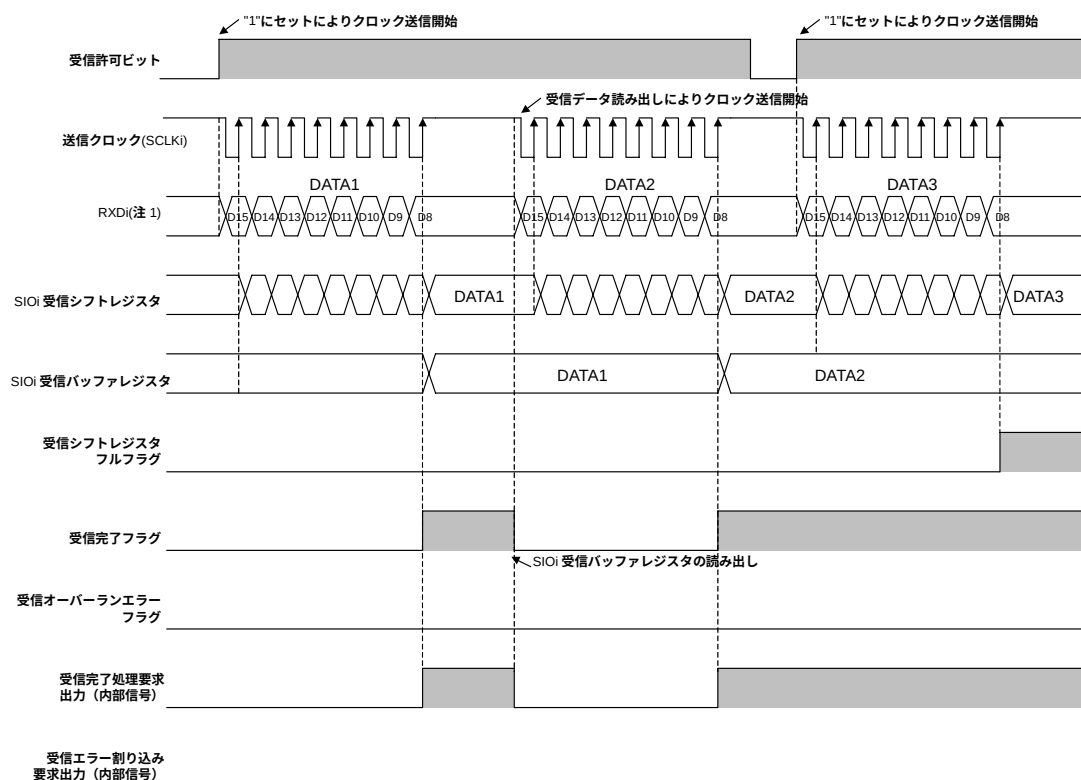


図13.3.5 CSIOモード受信タイミング例1 (内部クロック選択、かつCTS機能有効選択時)



●内部クロック選択

●タイミング例（内部クロック）

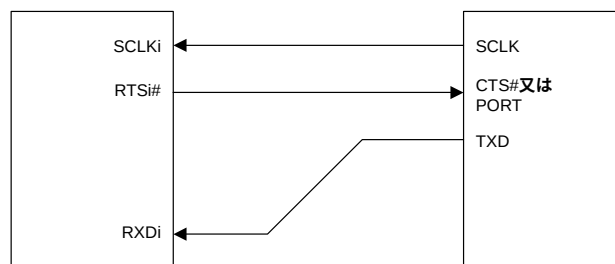


注 1. LSB ファーストで送信した場合のデータです。

MSB ファーストの場合は、D8,D9~D14,D15 の順に送信します。

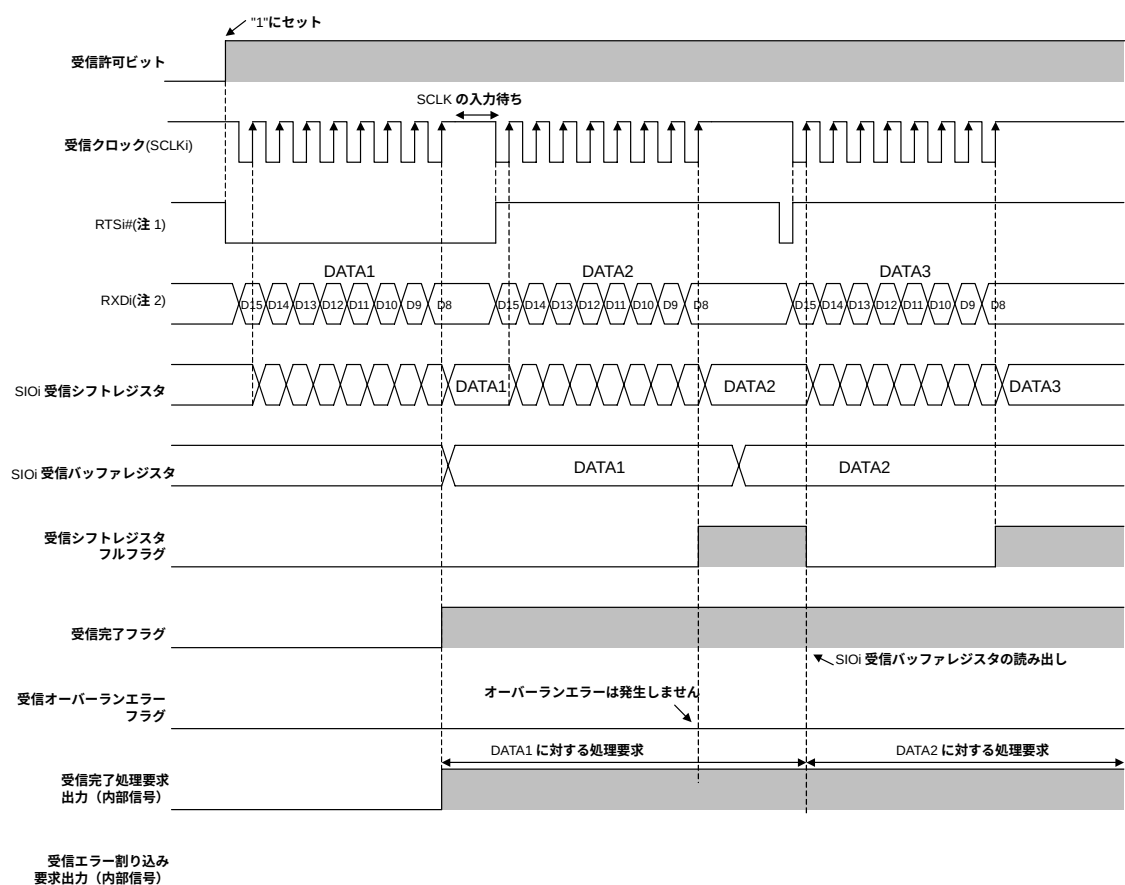
注 2. 送信バッファエンプティ処理要求及び送信完了割り込み要求については、「13.2.5 SIOi 転送処理制御レジスタ」を参照してください。

図13.3.6 CSIOモード受信タイミング例2（内部クロック選択、かつCTS機能無効選択時）



●外部クロック選択

●タイミング例（外部クロック）



注 1. RTST ビット="0" の場合のタイミングです。

注 2. LSB ファーストで送信した場合のデータです。

MSB ファーストの場合は、D8, D9-D14, D15 の順に送信します。

注 3. 送信バッファエンプティ処理要求及び送信完了割り込み要求については、「13.2.5 SIOi 転送処理制御レジスタ」を参照してください。

図13.3.7 CSIOモード受信タイミング例3（外部クロック選択、かつRTS機能有効選択時）

13.3.6 CSIOモード送受信（全二重）動作

(1)データ送受信条件について

内部クロックを選択した場合、以下のすべての条件が満たされたとき、転送クロックを出力し、送信動作（TXDi端子からのデータ出力）と受信動作（RXDi端子へのデータ入力を同時に開始します。

- CTSi#端子への"L"レベル信号の入力（CTS機能有効選択時）
- 送信許可ビットと受信許可ビットが"1"（注1）
- SIOi送信シフトレジスタにデータがある（SIOiステータスレジスタのTXCP="0"）（注2）
- SIOi受信シフトレジスタにデータがない（SIOiステータスレジスタのRXSF="0"）

注1. 送信許可ビットと受信許可ビットが両方"1"のとき送受信（全二重）と判断します。

注2. SIOi送信バッファレジスタからSIOi送信シフトレジスタへの送信データ転送は、受信許可ビットやSIOi受信シフトレジスタの状態に関係なく、送信側の条件さえ満たされていれば先行して行われます。

外部クロックを選択した場合、「CTSi#端子への"L"レベル信号の入力」以外の条件をすべて満たしたとき、RTSi#端子を"H"から"L"レベルに変化させ、転送クロック入力待ち状態となります（RTS機能選択時）。

(2)RTS機能について

外部クロックを選択したとき（SIOiモードレジスタ1のCKSEL="1"）、RTS機能が有効になります。内部クロックを選択したときは、RTS機能選択ビットの設定にかかわらず、RTS機能は無効となり常に"H"が出力されます。

RTSi#端子から"L"レベル信号を出力することにより、送受信可能状態であることを接続デバイスに示し、送信/受信動作（転送クロックの入力）の開始を要求します。

RTSタイミング選択ビット（RTST）の設定は関係ありません。

以下のいずれかの条件が満たされたとき、RTSi#端子が"H"から"L"レベルに変化します。

- 「SIOi送信バッファレジスタもしくはSIOi送信シフトレジスタに送信を開始していないデータがある」かつ「SIOi受信シフトレジスタにデータがない」状態で、送信許可ビットおよび受信許可ビットを"1"にセットしたとき
- 「送信許可ビットおよび受信許可ビットが"1"」かつ「SIOi送信バッファレジスタおよびSIOi送信シフトレジスタにデータがない」かつ「SIOi受信シフトレジスタにデータがない」状態で、SIOi送信バッファレジスタにデータを書き込んだとき
- 「送信許可ビットおよび受信許可ビットが"1"」かつ「SIOi送信シフトレジスタにデータがある」かつ「SIOi受信シフトレジスタにデータがある」状態で、SIOi受信バッファレジスタを読み出したとき

以下のいずれかの条件が満たされたとき、RTSi#端子が"L"から"H"レベルに変化します。

- 送信許可ビットおよび受信許可ビットを"0"にクリアしたとき（受信エラーによる送信許可ビットおよび受信許可ビットの"0"クリアを含む）
- 「SIOi受信バッファレジスタにデータがない」かつ「SIOi送信シフトレジスタにデータがある」状態で、データ送受信のための1ビット目の転送クロックの立ち下がりエッジが入力されたとき
- 「SIOi受信バッファレジスタにデータがある」かつ「SIOi受信シフトレジスタにデータがない」状態で、データ送受信のための1ビット目の転送クロックの立ち下がりエッジが入力されたとき

図13.3.8にCSIOモードで送信許可ビットと受信許可ビット両方を"1"にセットした場合のRTSi#端子出力タイミングを示します。

●CSIO モード、送信許可ビットと受信許可ビット両方を"1"にセットした時の RTS 機能

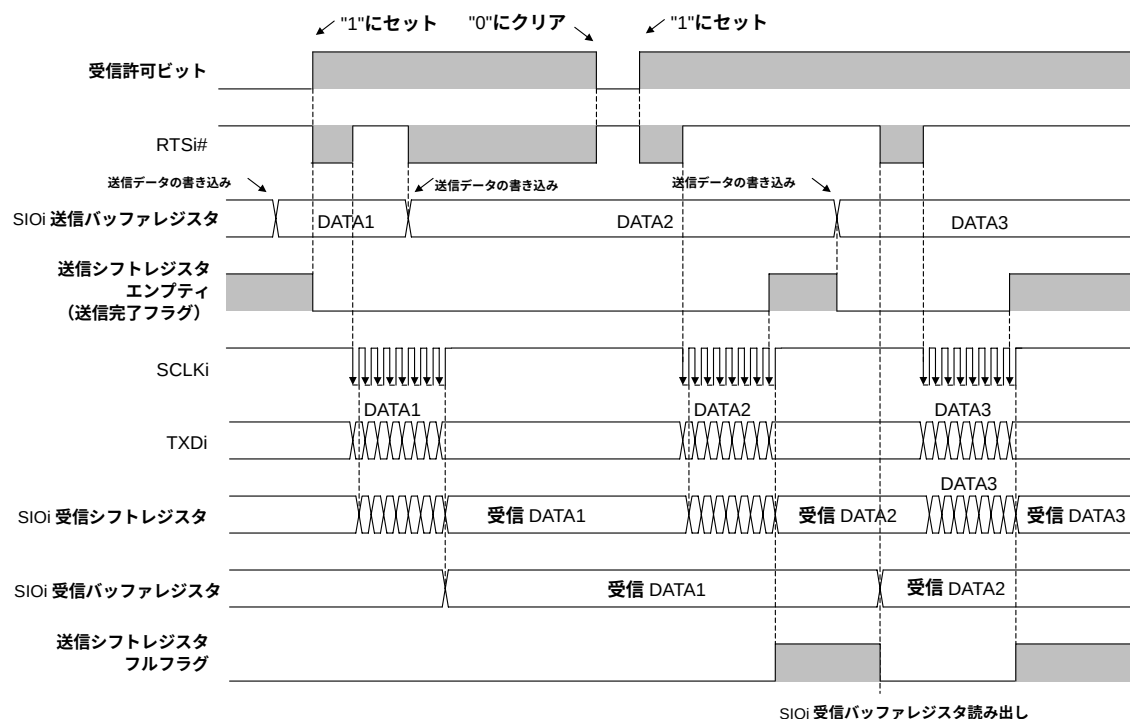


図13.3.8 CSIOモードで送信許可ビットと受信許可ビット両方を"1"にセットした場合のRTSi#端子出力タイミング

(3)CTS機能について

内部クロックを選択 (SIOiモードレジスタ1のCKSEL="0") したとき、CTS機能選択ビットを"1"にセットすることによりCTS機能が有効になります。このとき、CTS#端子への"L"レベル信号の入力は、送受信条件の1つとして使用されます。

外部クロックを選択したとき、CTS機能選択ビットは"0"にクリアしてください。

13.3.7 CSIOモード送受信（全二重）タイミング例

図13.3.9に内部クロックを選択し、CTS機能を有効にした場合の送受信（全二重）タイミング例を示します。
また、図13.3.10に外部クロックを選択し、RTS機能を有効にした場合の送受信（全二重）タイミング例を示します。

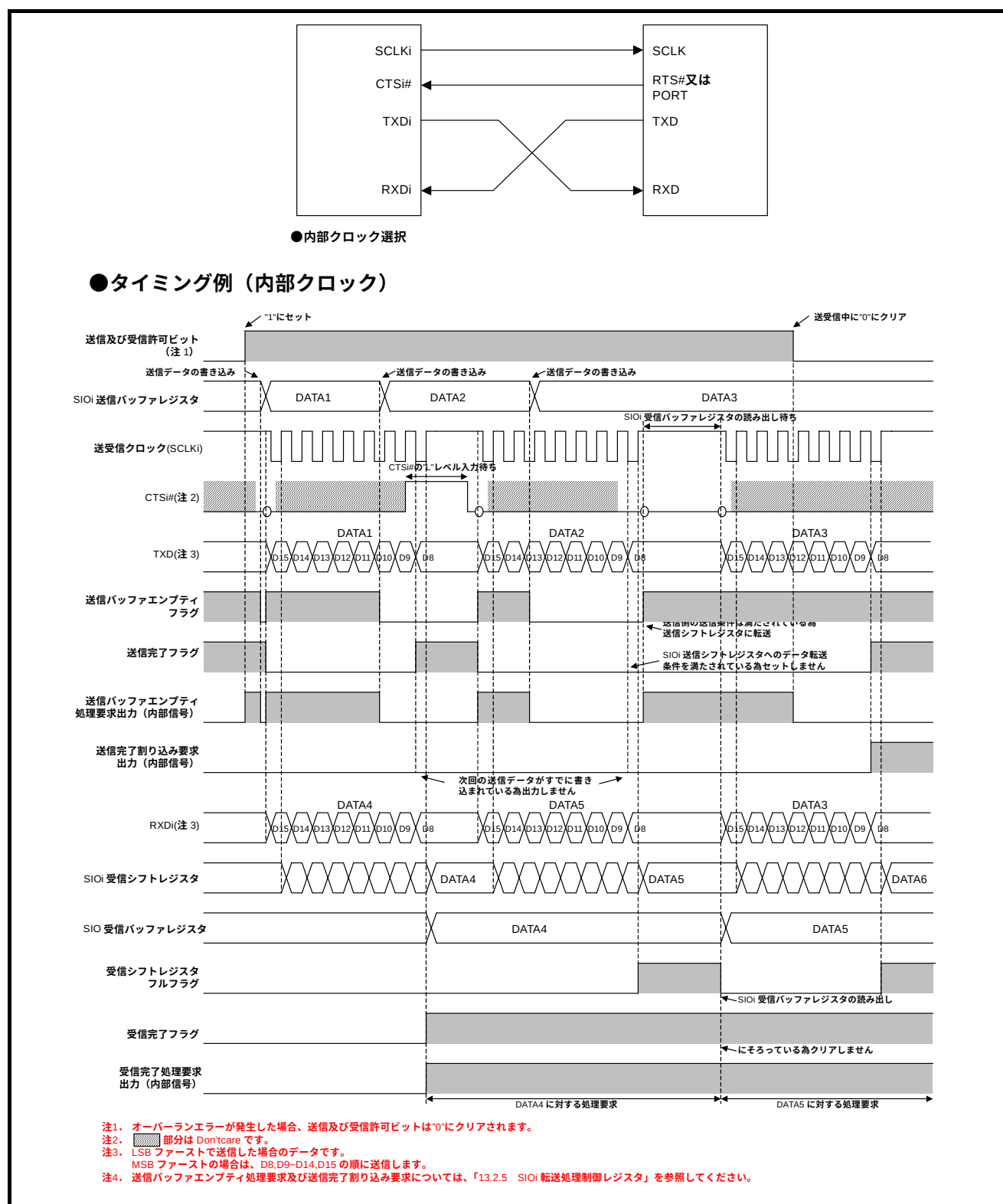
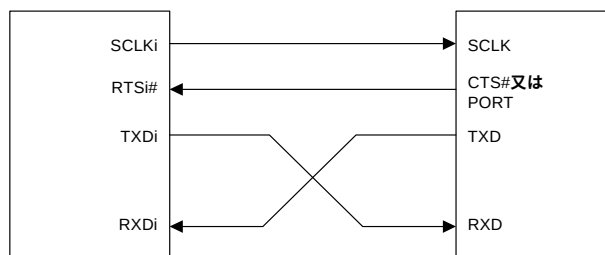
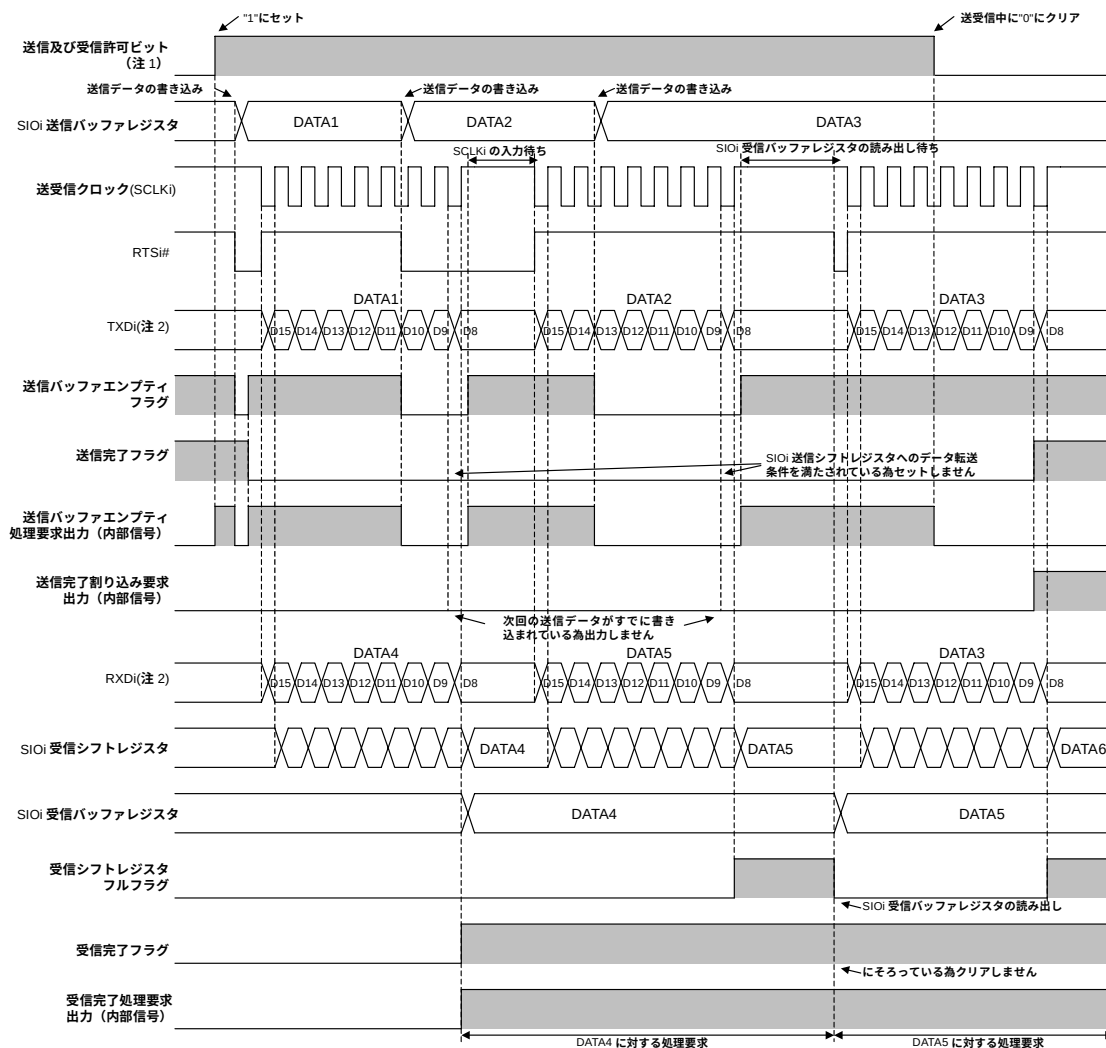


図13.3.9 CSIOモード送受信（全二重）タイミング例1（内部クロック選択、かつCTS機能有効選択時）



●外部クロック選択

●タイミング例（外部クロック）



注1. オーバーランエラーが発生した場合、送信及び受信許可ビットは"0"にクリアされます。

注2. LSB ファーストで送信した場合のデータです。

MSB ファーストの場合は、D8,D9-D14,D15の順に送信します。

注3. 送信バッファエンプティ処理要求及び送信完了割り込み要求については、「13.2.5 SIOI 転送処理制御レジスタ」を参照してください。

図13.3.10 CSIOモード送受信（全二重）タイミング例2（外部クロック選択、かつRTS機能有効選択時）

13.3.5 CSIO初期設定例

図13.3.11にCSIOモード関連レジスタの初期設定例を示します。

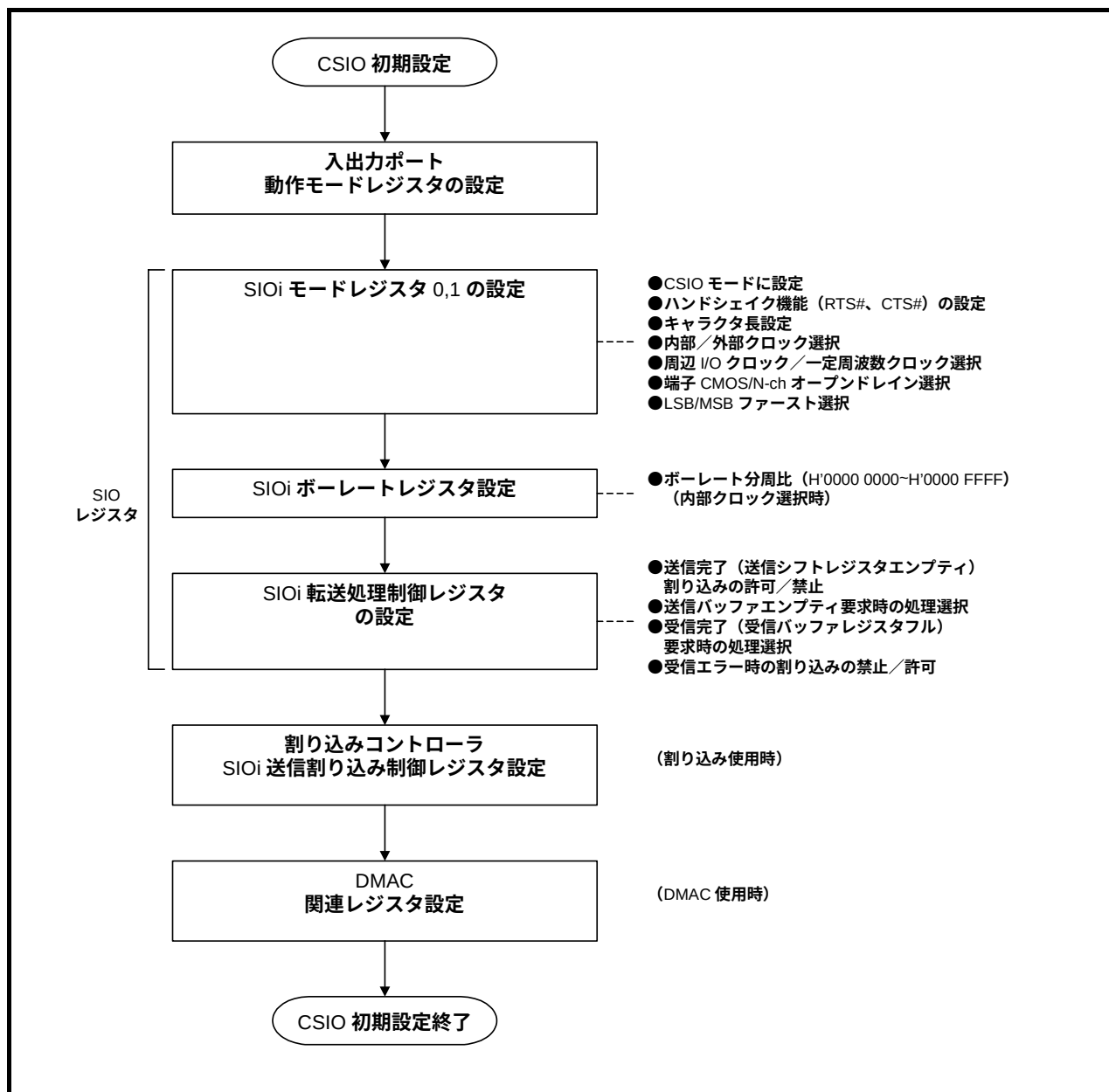


図13.3.11 CSIOモードの初期設定例

13.4 UART動作説明

以下にUARTモードにおける動作説明を行います。

13.4.1 UARTのデータ転送速度（ボーレート）

UARTにおけるデータの転送速度（ボーレート）は、転送クロックによって決定されます。

(1) 内部クロック選択時

内部クロック（PCLK）をSIOiボーレートレジスタで設定した値" n "で" $n+1$ "分周します。" $n+1$ "分周されたカウンタソースはさらに16分周され、SIOボーレート補正レジスタで選択された数値分カウンタソースを加えて転送クロックとなります。

$$\text{ボーレート(bps)} = \frac{f(\text{PCLK})}{((\text{SIOボーレートレジスタ設定値} + 1) \times 16 + \text{ボーレート補正值})}$$

注1：SIOボーレートレジスタ設定値="H'0000 0000"~"H'0000 FFFF"
注2：ボーレート補正值 = 0, 2, 4, 6, 8, 10, 12, 14

(2) 外部クロック選択時

外部クロックは使用できません。設定禁止です。

13.4.2 UARTモード送信動作

(1)データ送信条件について

以下のすべての条件が満たされたとき、SIOi送信バッファレジスタからSIOi送信シフトレジスタへ送信データを転送します。SIOi送信シフトレジスタへ転送した送信データは、TXDi端子から送信されます。

- CTSi#端子への"L"レベル信号の入力（CTS機能有効選択時）
- 送信許可ビットが"1"
- SIOi送信バッファレジスタにデータがある（SIOiステータスレジスタのTEMP="0"）
- SIOi送信シフトレジスタにデータがない（SIOiステータスレジスタのTXCP="1"）

(2)RTS機能について

UARTモード送信動作では、RTS機能は使用されません。

(3)CTS機能について

CTS機能選択ビット（SIOiモードレジスタのCTSS）を"1"にセットすることによりCTS機能が有効になります。このとき、CTSi#端子への"L"レベル信号の入力は、送信条件の1つとして使用されます。

13.4.3 UARTモード送信タイミング例

図13.4.1に、CTS機能を有効にした場合の送信タイミング例を示します。

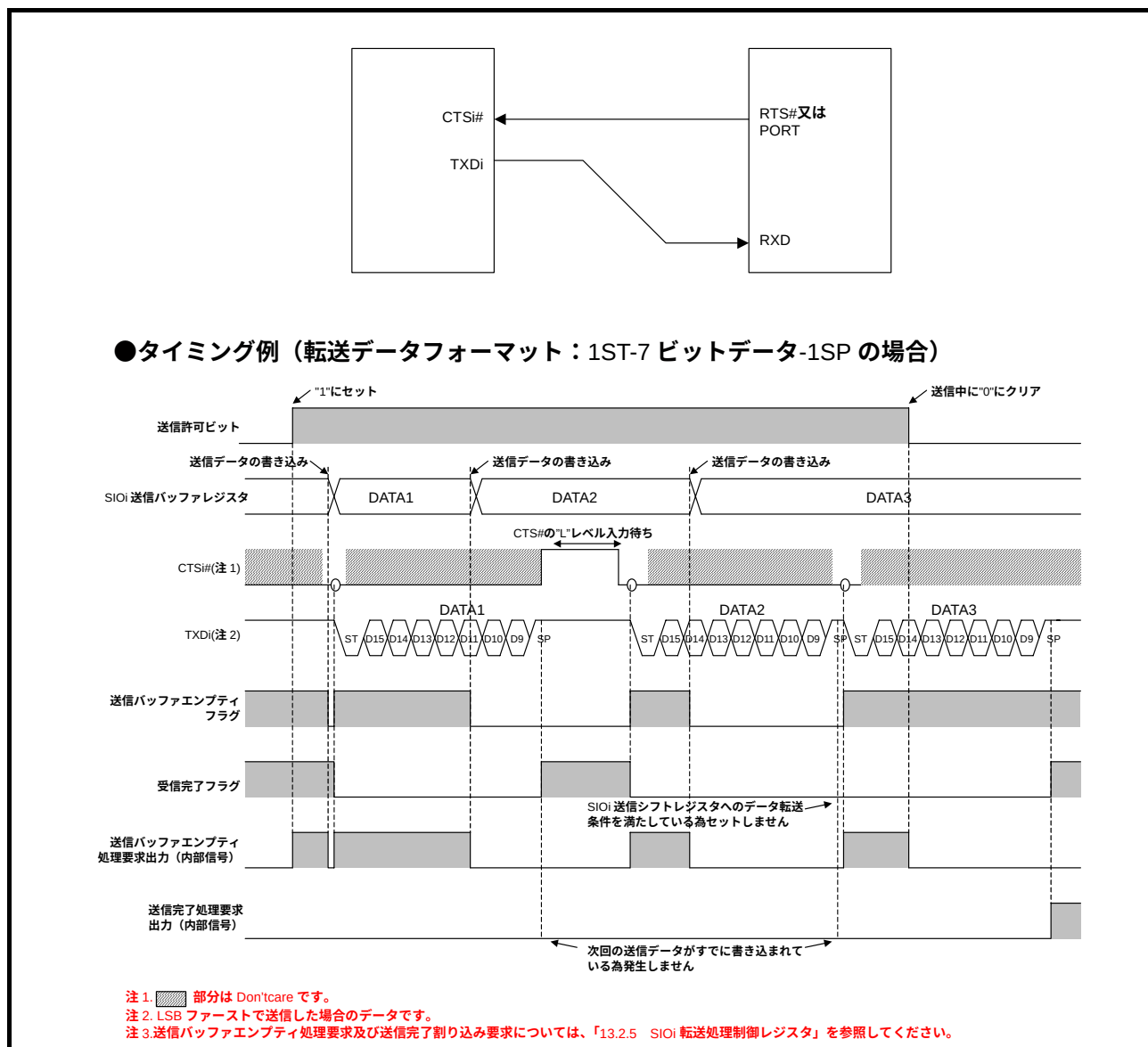


図13.4.1 UARTモード送信タイミング例 (CTS機能有効選択時)

13.4.4 UARTモード受信動作

(1)受信動作条件

以下のすべての条件が満たされたとき、RXDi端子から受信データがSIOi受信シフトレジスタに入力され、SIOi受信シフトレジスタに揃うとSIOi受信シフトレジスタからSIOi受信バッファレジスタへ転送されます。

- 受信許可ビットが"1"
- ST (スタートビット) の立ち下がりエッジ検出 (注)

注：スタートビットの立ち下がりエッジを検出後、再スタートビットサンプリング時に"H"レベルを検出した場合、スタートビットの誤判定として受信動作を強制的に停止し、再びスタートビット入力待ちになります。スタートビットの検出ポイントについては「13.5.3 UARTモードの注意事項」を参照してください。

(2)RTS機能について

RTSi#端子から"L"レベル信号を出力することにより、受信可能状態であることを接続デバイスに示します。RTSi#端子が変化するタイミングは、RTSタイミング選択ビットの設定により変化します。

<RTSタイミング選択ビットが"0"の場合>

以下のいずれかの条件が満たされたとき、RTSi#端子が"H"から"L"レベルに変化します。

- 「SIOi受信シフトレジスタにデータがない」状態で、受信許可ビットを"1"にセットしたとき
- 「受信許可ビットが"1"」状態で、SIOi受信シフトレジスタにデータがなくなったとき

以下のいずれかの条件が満たされたとき、RTSi#端子が"L"から"H"レベルに変化します。

- 受信許可ビットを"0"にクリアしたとき (受信エラーによる受信許可ビットの"0"クリアを含む)
- 「SIOi受信バッファレジスタにデータがある」かつ「SIOi受信シフトレジスタにデータがない」状態で、スタートビットを受信したとき

<RTSタイミング選択ビットが"1"の場合>

以下のいずれかの条件が満たされたとき、RTSi#端子が"H"から"L"レベルに変化します。

- 「SIOi受信バッファレジスタにデータがない」状態で、受信許可ビットを"1"にセットしたとき
- 「受信許可ビットが"1"」状態で、SIOi受信バッファレジスタにデータがなくなったとき

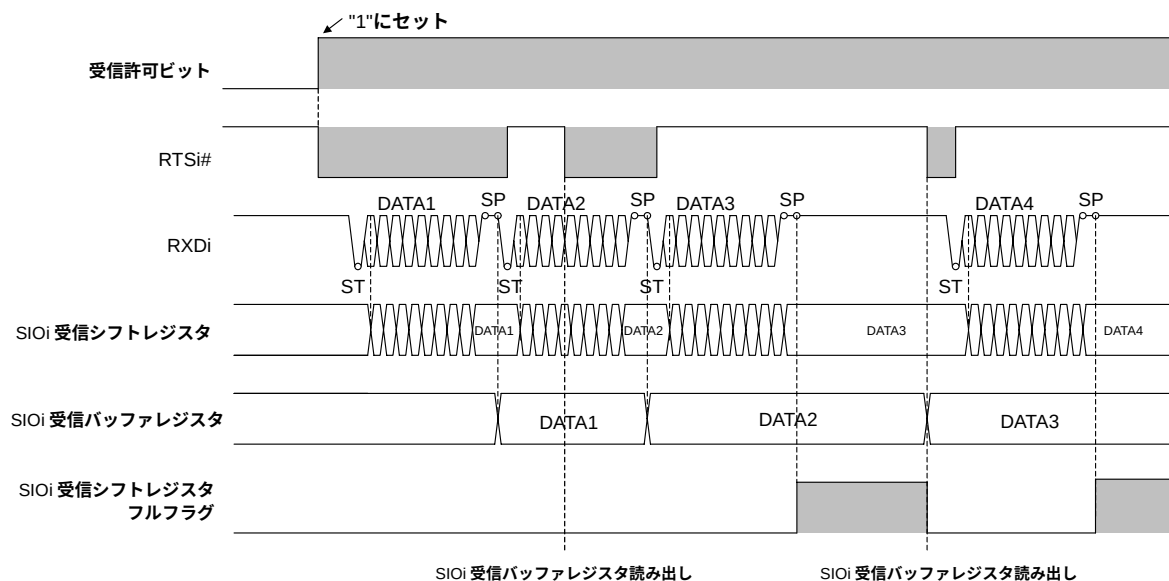
以下のいずれかの条件が満たされたとき、RTSi#端子が"L"から"H"レベルに変化します。

- 受信許可ビットを"0"にクリアしたとき (受信エラーによる受信許可ビットの"0"クリアを含む)
- スタートビットを受信したとき

図13.4.2にUARTモード時のRTSi#端子出力タイミングを示します。

●UART モード時の RTS 機能

<RTS タイミング選択ビットが"0"の場合>



<RTS タイミング選択ビットが"1"の場合>

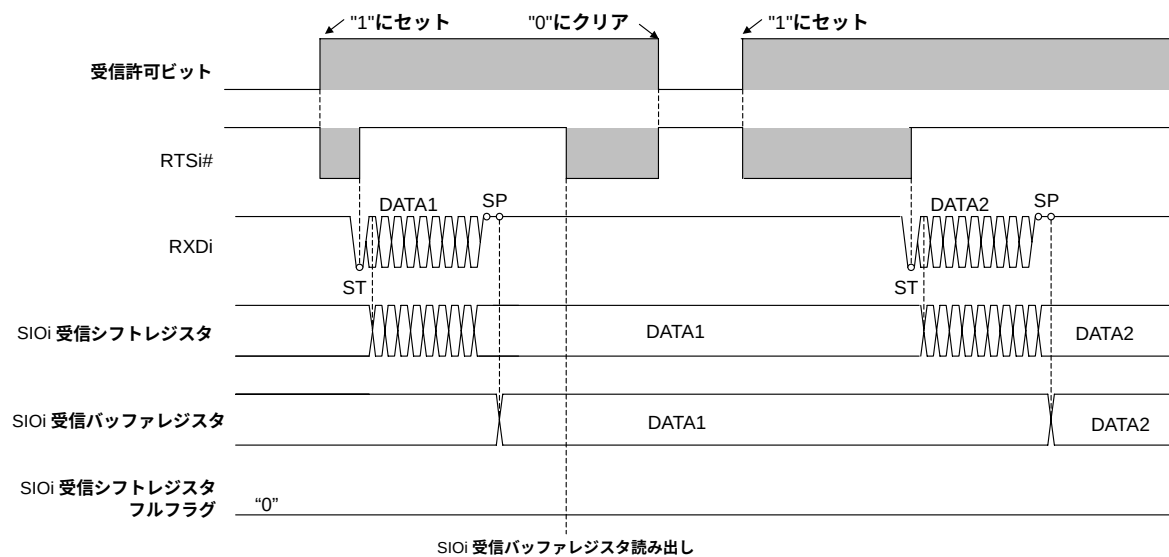


図13.4.2 UARTモード時のRTSi#端子出力タイミング

13.4.5 UARTモード受信タイミング例

図13.4.3に、RTS機能を有効にした場合の受信タイミング例を示します。

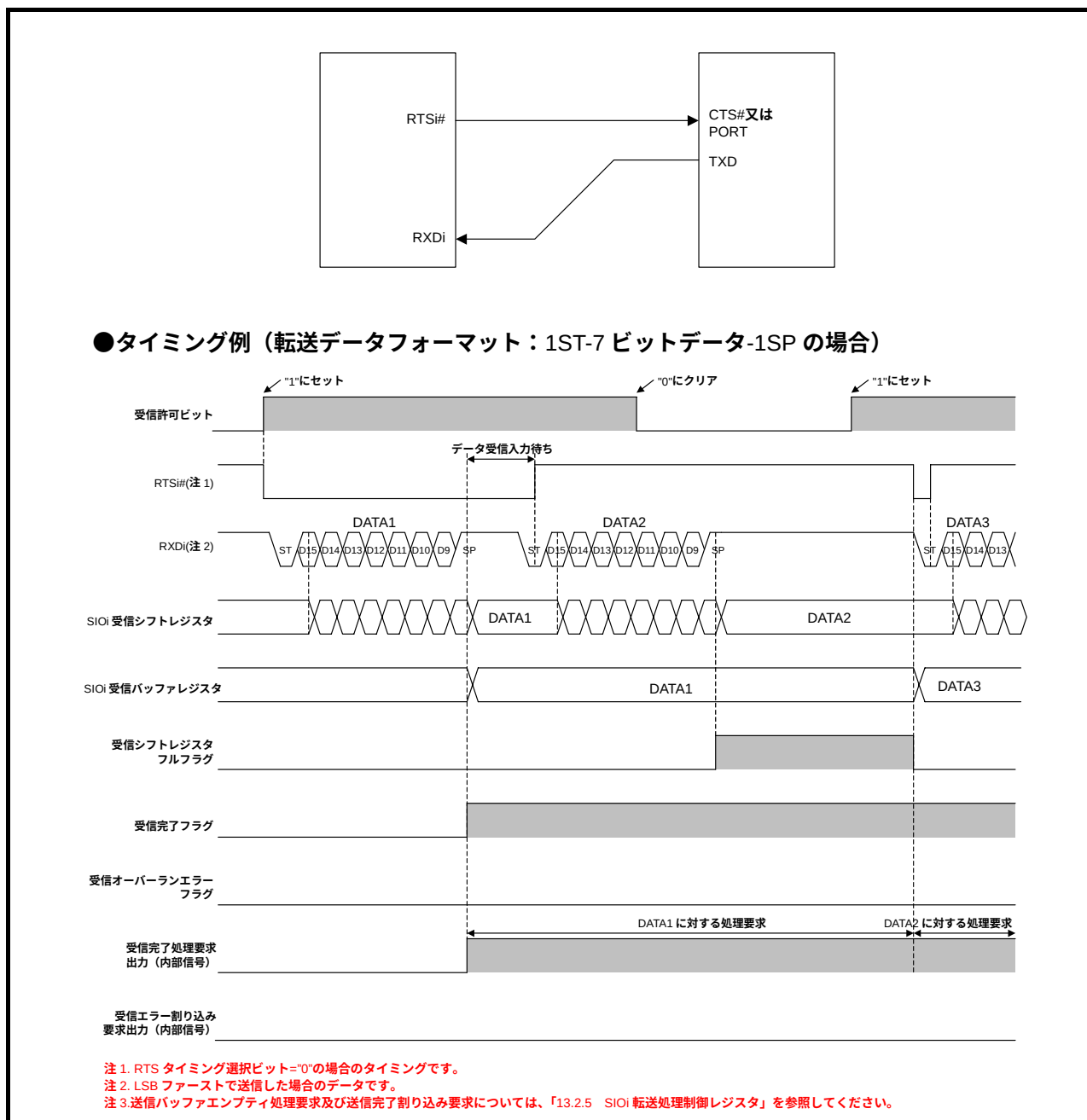


図13.4.3 UARTモード受信タイミング例（RTS機能有効選択時）

13.4.6 UARTモード送受信動作

UARTモードでの送受信条件は、送信側/受信側で独立しています。タイミングについては、「図13.4.1 UARTモード送信タイミング例 (CTS機能有効選択時)」、「図13.4.3 UARTモード受信タイミング例 (RTS機能有効選択時)」を参照してください。

図13.4.4にUARTモード送受信接続例を示します。

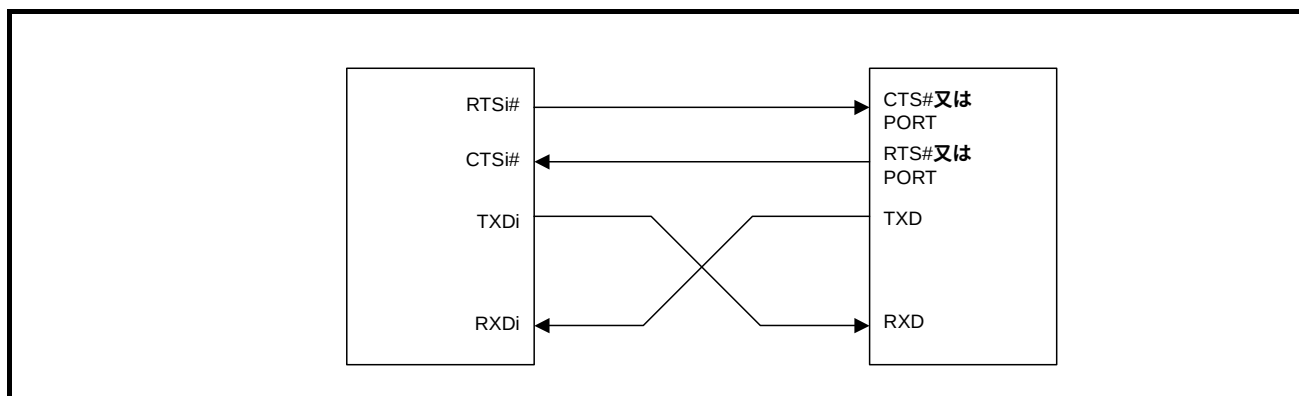


図13.4.4 UARTモード送受信接続例 (CTS機能、RTS機能有効選択時)

13.4.7 UARTモード初期設定例

図13.4.5にUARTモード関連レジスタの初期設定例を示します。

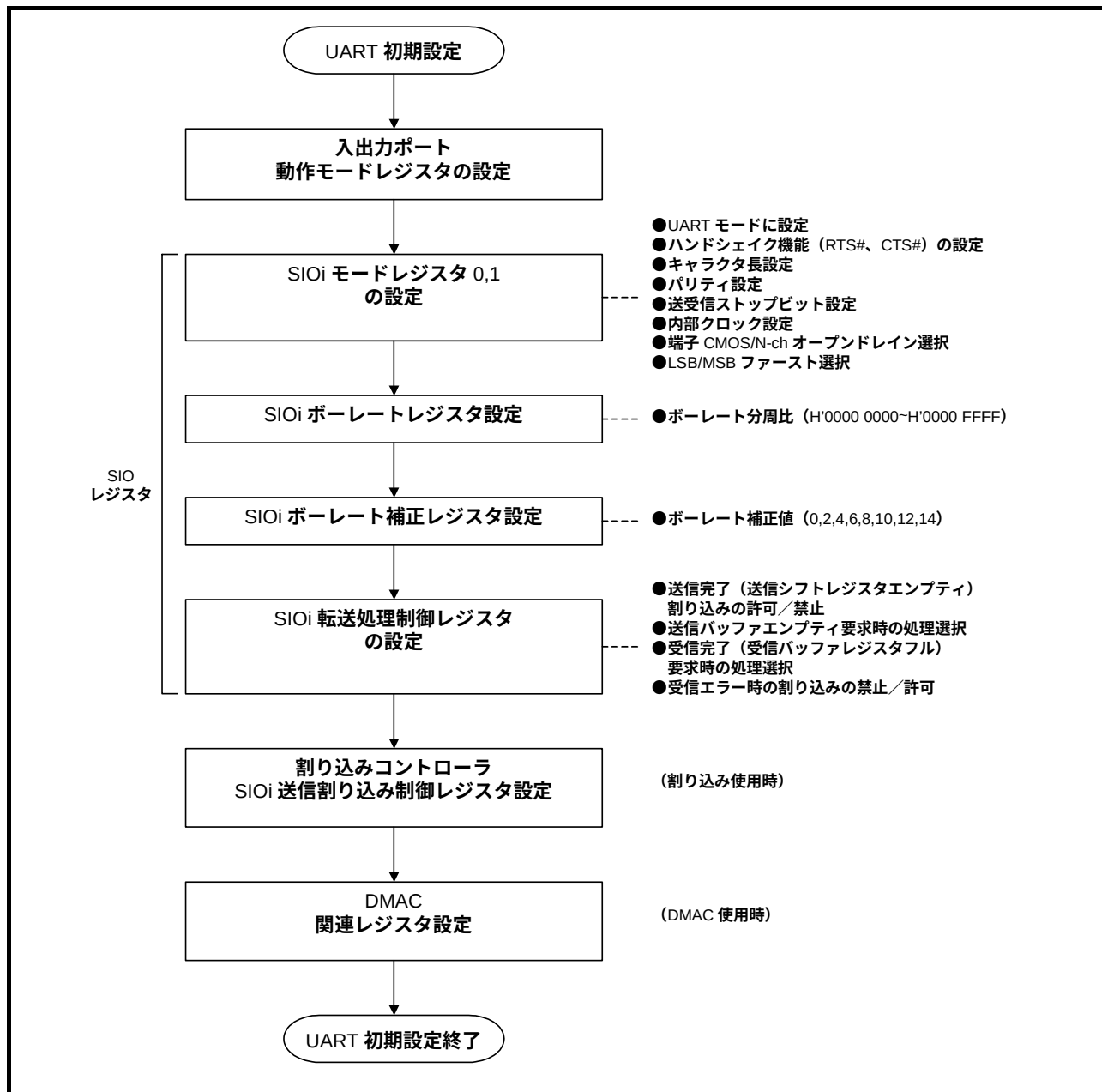


図13.4.5 UARTモードの初期設定例

13.5 シリアルI/Oの注意事項

13.5.1 CSIOモード/UARTモード共通の注意事項

- SIOiモードレジスタ0、SIOiモードレジスタ1、SIOi割り込みマスクレジスタ、SIOiモーレートレジスタ、SIOiモーレート補正レジスタは、SIO停止中（送受信許可ビットがともに禁止設定、及び送受信中でない場合）に設定してください。
- SIOi制御レジスタの受信ステータス初期化ビット(RSCLR)は、受信禁止状態(RXEN="0")で、かつ受信中ではない(RXSC="0")場合のみ"1"にセットしてください。（受信ステータス初期化ビットと受信許可ビットは同時にセットしないでください）。
- SIOi制御レジスタの送信ステータス初期化ビット(TSCLR)は、送信禁止状態(TXEN="0")で、かつ送信中ではない(TXSC="0")場合のみ"1"にセットしてください。（送信ステータス初期化ビットと送信許可ビットは同時にセットしないでください）。
- 何らかの受信エラーフラグが"1"にセットされている状態で、受信許可ビットを"1"にセットした場合の動作は保証されません。

13.5.2 CSIOモードの注意事項

- オーバランエラーが発生したとき、送信および受信許可ビットがクリアされ、以降の送受信動作が停止します。したがって、送信および受信許可ビットを再度設定した上で、前回受信したデータを再受信するようソフトウェアで対処してください。
- CSIOモードで内部クロックを選択し、かつTXDi端子の出力モードをN-chオープンドレイン出力にした場合、TXDi端子は最終転送クロックの立ち上がりから半転送クロック後にハイインピーダンス状態になります。外部クロックを選択した場合には、TXDi端子出力モード選択ビットの設定にかかわらず必ずCMOS出力となります。
- CSIOモード、外部クロックで転送後、外部クロックから内部クロックに設定を変更した場合、SCLKi端子から1PCLK間の"L"パルスが出力することがあります。そのため、外部クロックから内部クロックに設定を変更する場合は、以下の手順で行ってください。

<設定手順>

- ① CSIOモード、外部クロックでの転送終了の確認後（送信許可ビット="0"、受信許可ビット="0"、SIOiステータスレジスタの受信シフトレジスタ状態フラグ="0"、送信シフトレジスタ状態フラグ="0"）
- ② SCLKi端子をポートに変更（ポートPi動作モードレジスタの設定）
- ③ CSIOモード、内部クロックに設定
- ④ ポートに変更していた端子をSCLKi端子に変更（ポートPi動作モードレジスタの設定）

13.5.3 UARTモードの注意事項

- 何らかの受信エラーを検出した場合、受信許可ビットがクリアされ、以降の受信動作が停止します。したがって、受信許可ビットを再度設定した上で、前回受信したデータを再受信するようソフトウェアで対処してください。
- 本SIOは、受信スタートビットの検出の為に、RXDi信号の立ち下がりエッジ検出後に、RXDi信号の再サンプリングを行います。再サンプリングを行ったときに"H"レベルが検出されると、スタートビットの誤判定として受信動作を強制的に停止し、再びスタートビット入力待ちとなります。スタートビットの再サンプリングはスタートビットの中間点（初めのサンプリングから、1ビット転送時間の半分か経過した後）で行われます。RXDi信号の立ち下がりエッジ検出後、再サンプリングが行われる前に受信許可ビット（SIOi制御レジスタのRXEN）を"0"にクリアした場合、受信動作は開始されません。
- UARTモードでTXDi端子の出力モードをN-chオープンドレイン出力にした場合、スタートビットではTXDi端子には"L"が出力され、またストップビットではハイインピーダンス状態になります。
- ストップビットの検出はストップビットの中間点（1ビット転送時間の半分か経過した後）で行われます。ストップビット検出後、直後にRXDi端子="L"になった場合、フレーミングエラーにはならず、次データのスタートビットと認識して受信動作を開始します。

第14章

オンチップユーザIPバス

14.1 オンチップユーザIPバス概要

オンチップユーザIPバスの動作には以下の種類があります。

- (1) CPUアクセス
- (2) DMAアクセス
 - ・フライバイ転送モード
 - ・デュアルアドレス転送モード

14.2 オンチップユーザIPバス関連信号

表14.2.1にオンチップユーザIPバス関連信号を示します。

表14.2.1 オンチップユーザIPバス関連信号

信号名	名称	入出力	機能
IPMS	モジュールセレクト	入力	ユーザIPモジュールへのアクセスを示します。 CPUアクセス時、およびデュアルアドレスモードDMAアクセス時に有効です。
IPAB	アドレスバス	入力	ユーザIPモジュール内のレジスタアドレスを示します。 CPUアクセス時、およびデュアルアドレスモードDMAアクセス時に有効です。
IPRS	リードストロープ	入力	リードアクセス時の読み出しタイミングを示します。 CPUアクセス時、およびデュアルアドレスモードDMAアクセス時に有効です。
IPWS0~IPWS3	ライトストロープ	入力	ライトアクセス時の書き込みタイミングを示します。 CPUアクセス時、およびデュアルアドレスモードDMAアクセス時に有効です。
IPREADY	レディ	出力	この信号の出力タイミングによりウエイトサイクルを追加することができます CPUアクセス時、およびデュアルアドレスモードDMAアクセス時に有効です。
DREQ1	DMAリクエスト	出力	OPSPに対しDMA転送を要求します。
DACK1	DMAアクノリッジ	入力	OPSPがユーザIPモジュールからのDMA転送要求を受け付けたことを示します。
IPFBMODE	フライバイモード	入力	フライバイモードDMA転送であることを示します。
IPFBRS	フライバイ リードストロープ	入力	リードアクセス時の読み出しタイミングを示します。 フライバイモードDMAアクセス時に有効です。
IPFBWS	フライバイ ライトストロープ	入力	ライトアクセス時の書き込みタイミングを示します。 フライバイモードDMAアクセス時に有効です。
IPRDB0~IPRDB31	リードデータバス	出力	ユーザIPモジュールからの読み出しデータバスです。
IPWDB0~IPWDB31	ライトデータバス	入力	ユーザIPモジュールへの書き込みデータバスです。

注. この表での入出力方向はユーザIPモジュール側の方向で記載しています。この表の「入力」はユーザIPモジュールへの入力を意味し、「出力」はユーザIPモジュールからの出力を意味します。

14.3 オンチップユーザIPバス動作

14.3.1 CPUアクセス

図14.3.1にCPUによるオンチップユーザIPバスリード動作を示します。

図14.3.2にCPUによるオンチップユーザIPバスライト動作を示します。

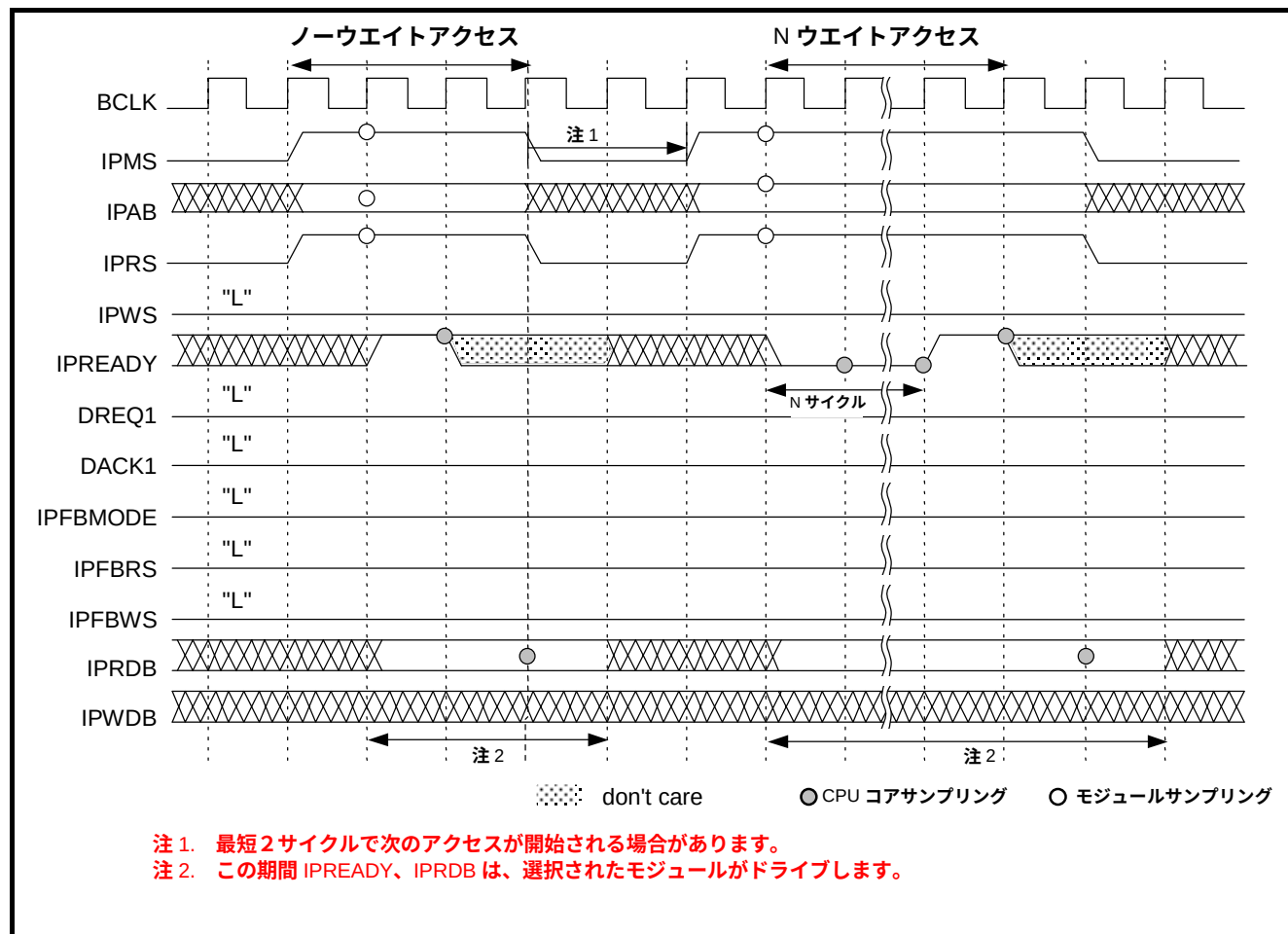


図14.3.1 CPUアクセス（レジスタリード）

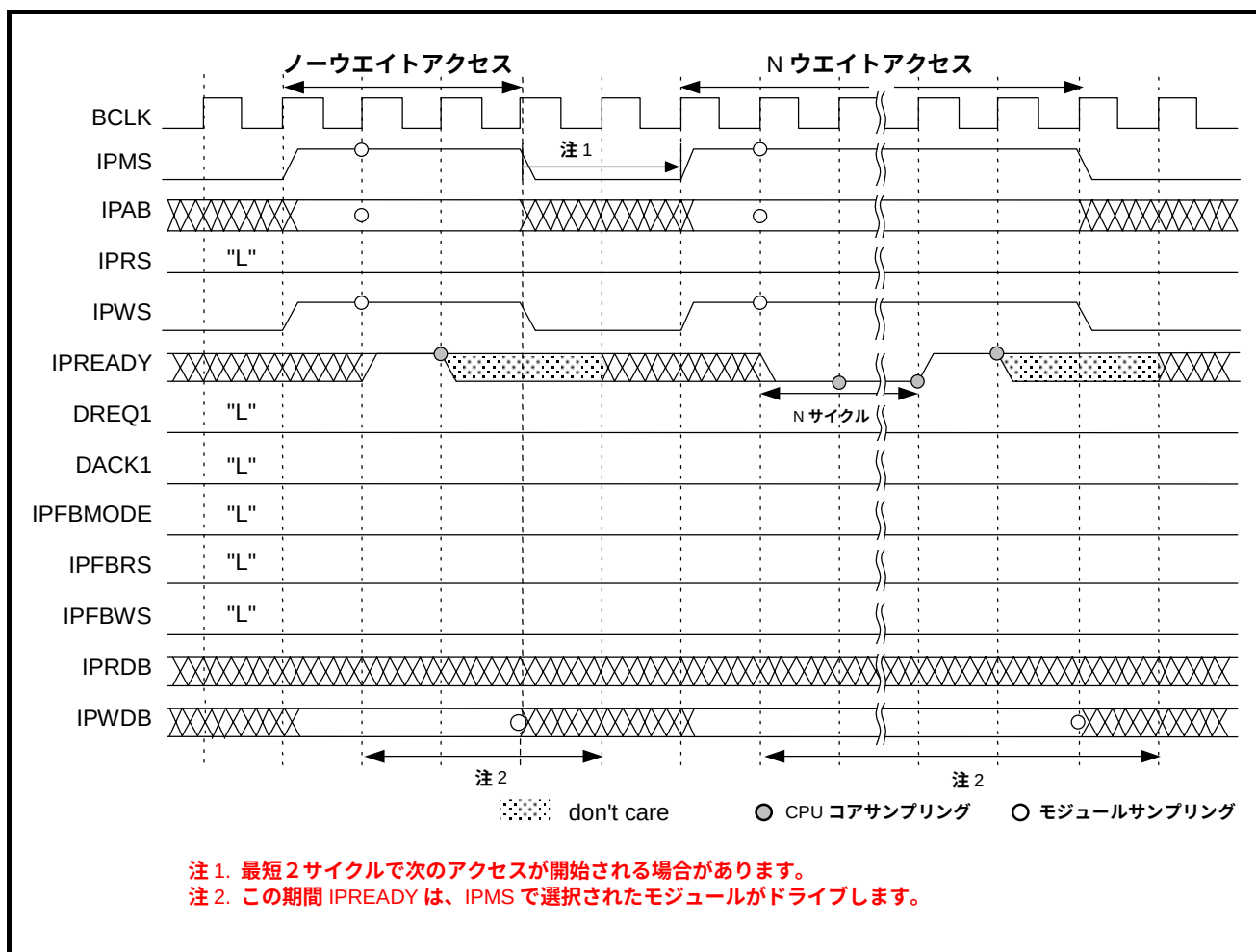


図14.3.2 CPUアクセス（レジスタライト）

14.3.2 DMAアクセス

DMACによるオンチップユーザIPバスアクセスには、以下の2つのモードがあります。

- ・フライバイモード
- ・デュアルアドレスモード

(1) フライバイモードアクセス

図14.3.3にDMACによるフライバイ・リード動作を示します。

図14.3.4にDMACによるフライバイ・ライト動作を示します。

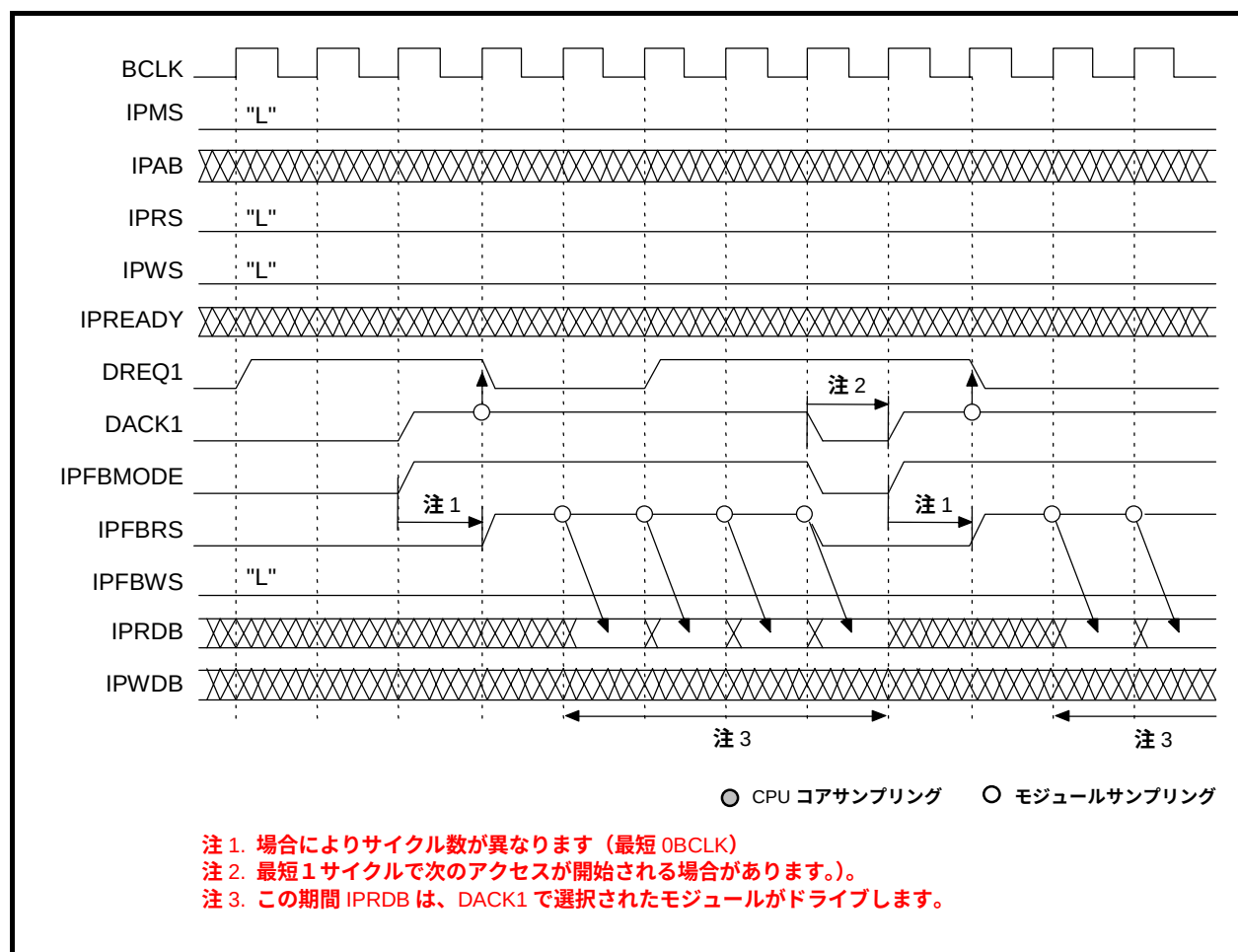


図14.3.3 DMAアクセス (フライバイモード・リード)

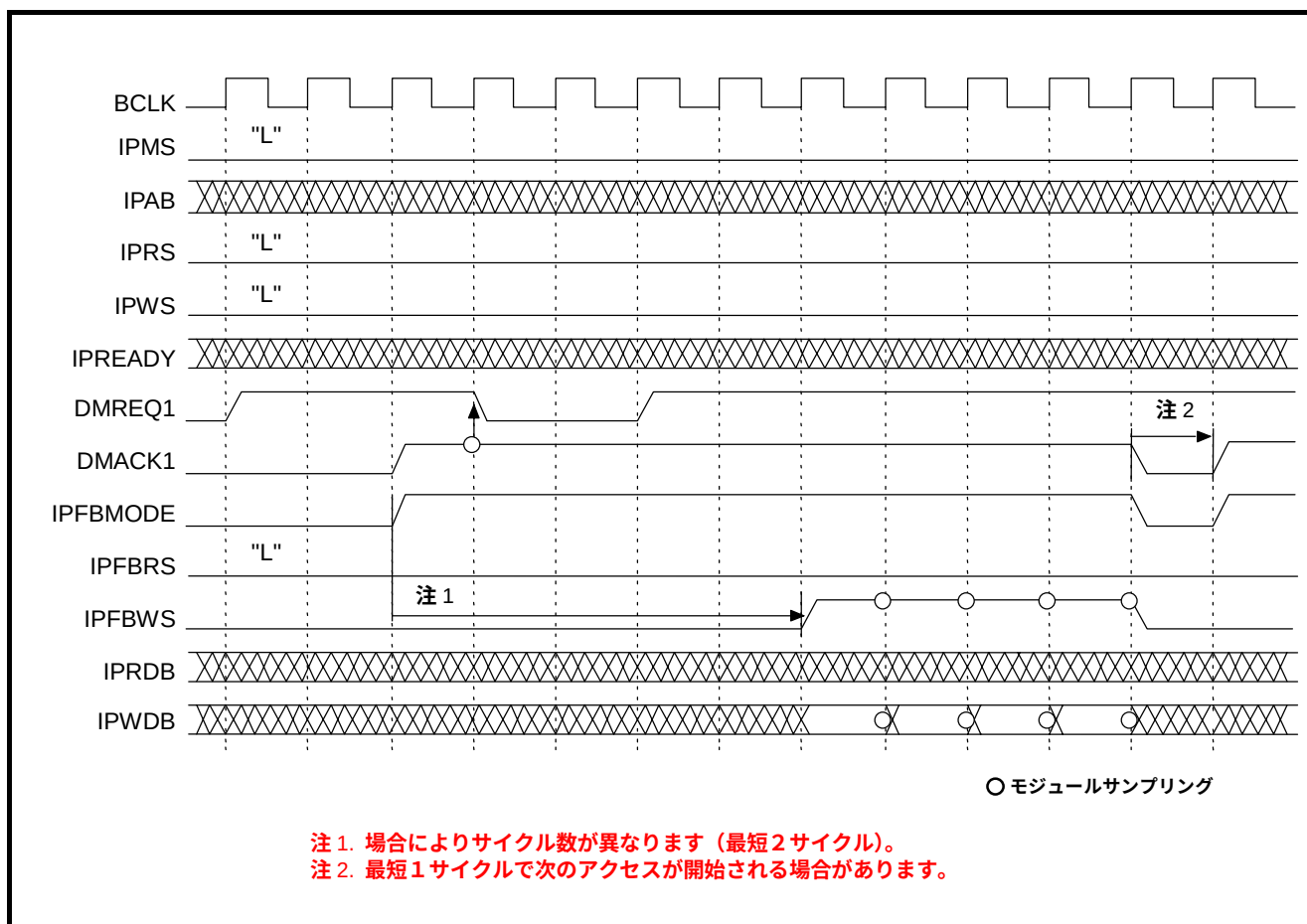


図14.3.4 DMAアクセス (フライバイモード・ライト)

(2) デュアルアドレスモードアクセス

DMACによるデュアルアドレスモード・リード動作を図14.3.5に示します。

DMACによるデュアルアドレスモード・ライト動作を図14.3.6に示します。

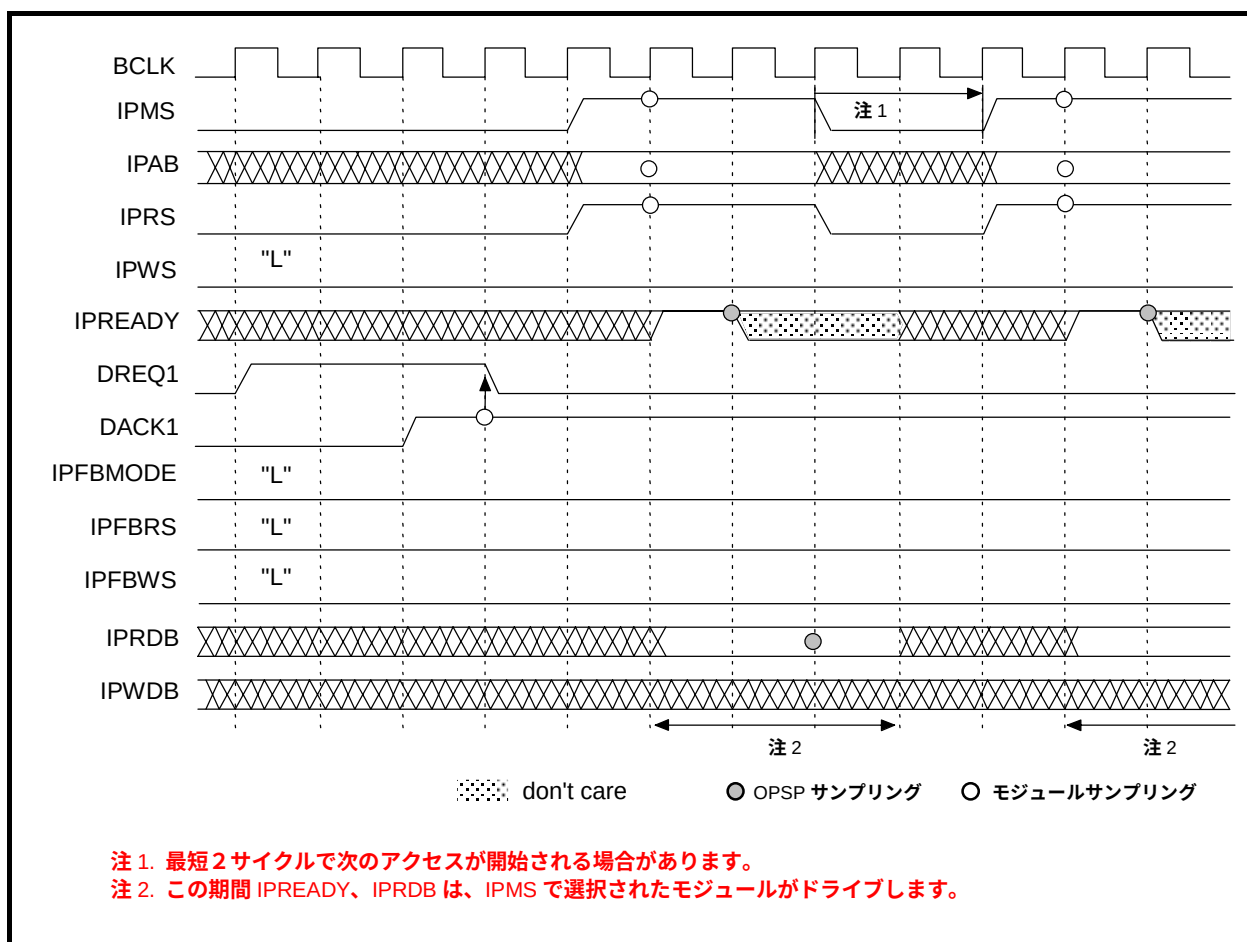


図14.3.5 DMAアクセス（デュアルアドレスモード・リード）

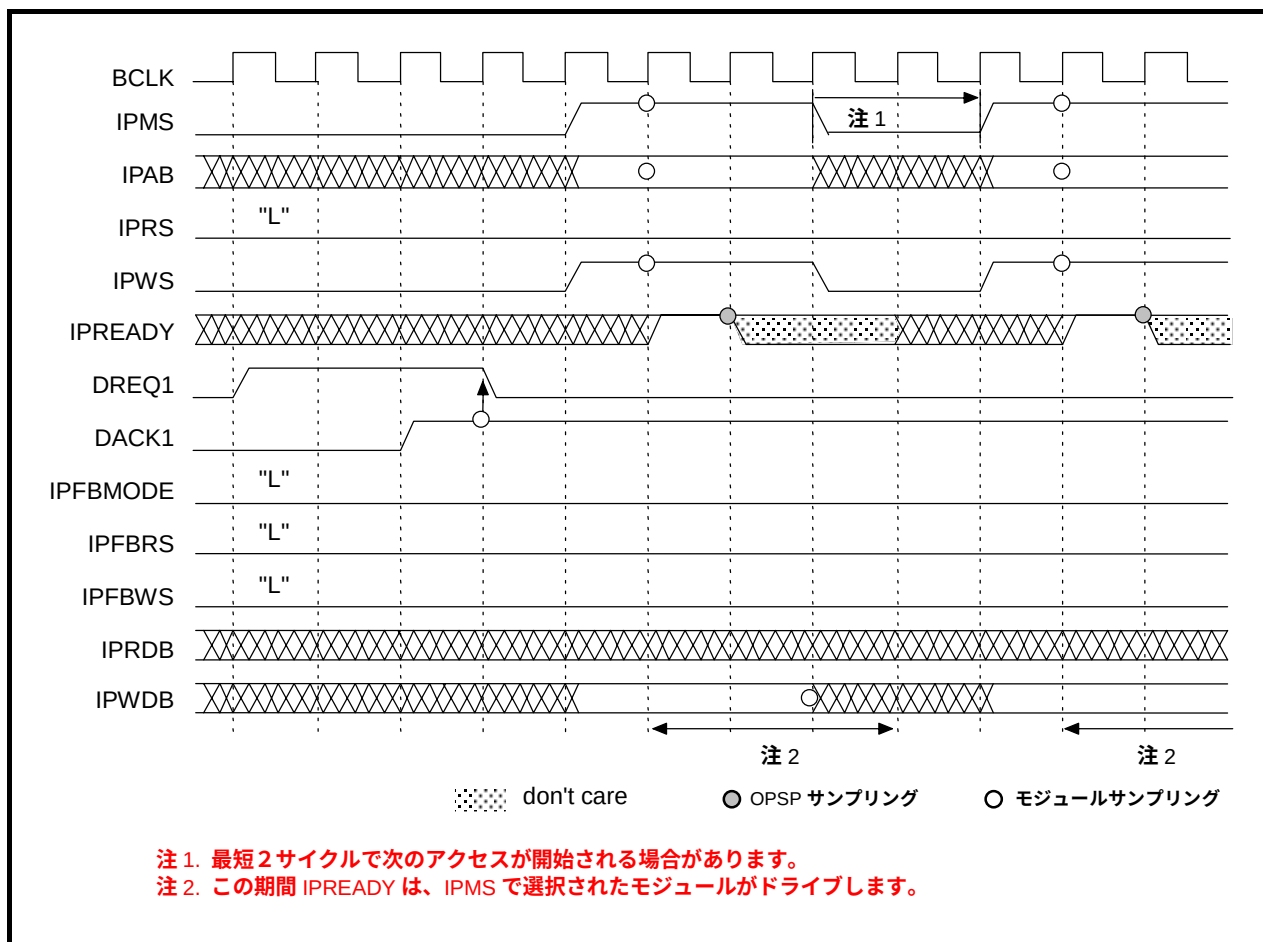


図14.3.6 DMAアクセス（デュアルアドレスモード・ライト）

14.4 ブロックセレクトコントローラの設定

オンチップユーザIPバスをアクセスするためには、ブロックセレクトコントローラのレジスタ設定を行う必要があります。以下に示すブロック1に対応するブロックセレクトコントローラ制御レジスタを表14.4.1～表14.4.3に示す値に設定してください。それ以外の設定を行った場合、オンチップユーザIPバスアクセス動作は保証されません。

- BSEL1 制御レジスタ0
- BSEL1 制御レジスタ1
- BSEL1 制御レジスタ2

表14.4.1 BSEL1制御レジスタ0設定値

ビット名	設定値	設定
RWAIT リード時ソフトウェアウエイト数選択ビット	"00001"	1BCLK
WWAIT ライト時ソフトウェアウエイト数選択ビット	"00001"	1BCLK
RDYSEL 外部READY待ち選択ビット	"1"	外部READY待ちあり
PRWAIT ページリード時ソフトウェアウエイト数選択ビット	"00000"	0BCLK
STBWAIT ストローブ出力ウエイト数選択ビット	"00"	BSEL1#信号出力と同時に
PWWAIT ページライト時ソフトウェアウエイト数選択ビット	"00000"	0BCLK

表14.4.2 BSEL1制御レジスタ1設定値

ビット名	設定値	設定
PAEN ページアクセスイネーブルビット	"0"	ページアクセス無効
BSZ バスサイズ選択ビット	"10"	32ビット
BWAIT BSELウエイト数選択ビット	"00"	0BCLK
RRECWAIT リード時リカバリサイクル数選択ビット	"00"	0BCLK
WRECWAIT ライト時リカバリサイクル数選択ビット	"00"	0BCLK
NWAIT 次アクセスウエイト数選択ビット	"0001"	1BCLK

表14.4.3 BSEL1制御レジスタ2設定値

ビット名	設定値	設定
RDYCNT READY極性制御ビット	"1"	REDAY#信号を"H"アクティブで使用

レイアウトの都合上、このページは白紙です。

第15章

クロック & パワーマネージャ(CPM)

15.1 クロック&パワーマネージャ概要

クロック&パワーマネージメント機能は、クロック波形生成と低消費電力モードの状態を管理します。

クロック動作モードには次の3種類のモードがあります。

- 通常動作モード
- CPUスリープモード
- スタンバイモード

表15.1.1 クロックモードとクロックの関係

クロックモード	CPUクロック	周辺IOクロック/BCLK	モードへの移行方法と解除方法
通常動作モード	供給	供給	
CPUスリープモード	停止	供給	移行：低消費電力モード選択ビットの設定 解除：外部INT、周辺IO割り込み、SBI#
スタンバイモード	停止	停止	移行：低消費電力モード選択ビットの設定 解除：WKUP#

15.1.1 クロック系統

OPSPには3系統のクロックがあります。表15.1.2にOPSPのクロック系統を示します。

なお、通倍回路（PLL）、位相調整回路（DLL）、クロック分周器は、インプリメンテーション依存です。図 15.1.1 に通倍回路（PLL）、位相調整回路（DLL）、クロック分周器をインプリメンテーションした参考ブロック図を示します。

各クロックの動作周波数設定は、次の条件を満たすように設定してください。

●各クロックの動作周波数条件

$$f(\text{CPUCLK}) \geq f(\text{PCLK}) = f(\text{BCLK})$$

表15.1.2 OPSPのクロック系統

	クロックの種類	各クロックの基準クロック	機能
1	CPUCLK (CPUクロック)	CLKIN	CPUコア、内蔵メモリ、キャッシュメモリの基準クロック
2	BCLK (システムクロック)	CPUCLK	内蔵周辺I/O（バス制御回路）の動作および外部データバス、ユーザIPモジュールの基準クロック
3	PCLK (周辺I/Oクロック)	CPUCLK	SFRアクセス及び内蔵周辺I/O（バス制御回路を除く）動作の基準クロック

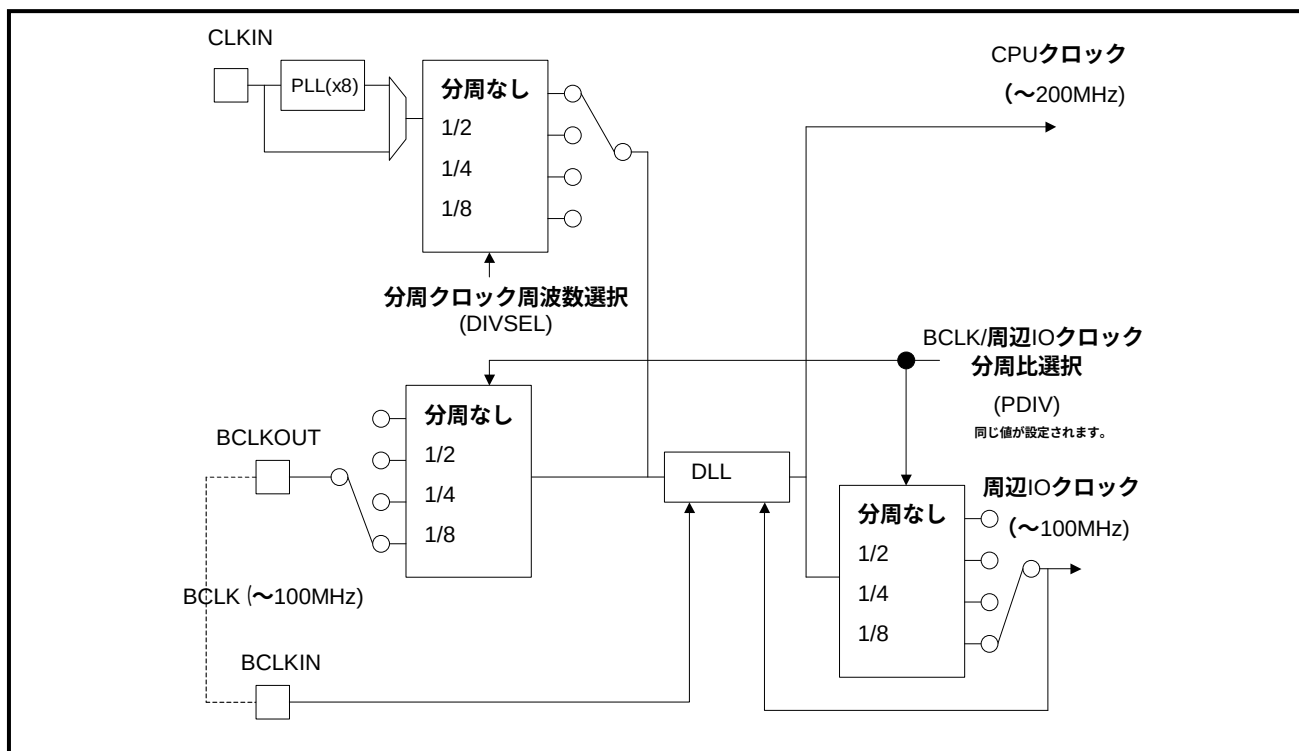


図 15.1.1 クロック系統参考ブロック図

15.2 クロック&パワーマネージャ関連レジスタ

クロック&パワーマネージャ関連レジスタのメモリマップと各レジスタについて以下に説明します。

クロック&パワーマネージャのレジスタマッピング

番地	b0	+0番地	b7	b8	+1番地	b15	b16	+2番地	b23	b24	+3番地	b31
H'00EF 4000	クロック制御レジスタ(注) (CLKCR)											
H'00EF 4004	PLL制御レジスタ (PLLCR)											
H'00EF 4008	クロックモードレジスタ(注) (CLKMOD)											
H'00EF 400C	BCLK分周比選択レジスタ(注) (BCLKDIV)											

注. レジスタの参考例です。通倍回路 (PLL)、位相調整回路 (DLL)、クロック分周器の各機能はインプリメンテーション依存です。

15.2.1 クロック制御レジスタ

クロック制御レジスタ(CLKCR)

<アドレス: H'00EF 4000>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	CLKSEL 0	0	0	0	0	0	0	DIVSEL 0	0

※バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~22	何も配置されていません。"0"に固定してください。		0	0
23	CLKSEL	0: f(CLKIN)	R	W
	CPUCLK選択ビット	1: PLLクロック(注1)		
24~29	何も配置されていません。"0"に固定してください。		0	0
30~31	DIVSEL	00: 分周なし	R	W
	分周クロック周波数選択ビット	01: 2分周		
		10: 4分周		
		11: 8分周		

注1. PLLクロックを選択する場合は、PLL動作許可ビット(PLL制御レジスタのb31)に"1"をセットし、PLLロック確保時間後このビットをセットしてください。

(1) CLKSEL (CPUCLK選択) ビット(b23)

CPUCLK (CPUクロック) を選択するビットです。

PLLクロックを選択する場合は、PLL動作許可ビット (PLL制御レジスタのb31) に"1"をセットし、PLLロック確保時間後このビットをセットしてください。

(2) DIVSEL(分周クロック周波数選択)ビット(b30,b31)

CPUCLK (CPUクロック) の分周クロックの周波数を選択します。

表 15.2.1 CPUCLK (CPUクロック) の周波数設定

CLKSELビット	DIVSELビット	CPUCLK(CPUクロック)
"0"	"00"	f(CLKIN)
"0"	"01"	f(CLKIN) / 2
"0"	"10"	f(CLKIN) / 4
"0"	"11"	f(CLKIN) / 8
"1"	"00"	f(CLKIN)の8逓倍
"1"	"01"	f(CLKIN)の8逓倍 / 2
"1"	"10"	f(CLKIN)の8逓倍 / 4
"1"	"11"	f(CLKIN)の8逓倍 / 8

15.2.2 PLL制御レジスタ

PLL制御レジスタ(PLLCR)

<アドレス：H'00EF 4004>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PLLEN 0

※バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時：H'0000 0000>

b	ビット名	機能	R	W
0~30	何も配置されていません。"0"に固定してください。		0	0
31	PLLEN	0：PLL停止	R	W
	PLL動作許可ビット	1：PLLクロック(注1)		

(1) PLLEN(PLL動作許可)ビット(b31)

PLLクロックを動作/停止を選択するビットです。PLLクロックを使用する場合、このビットを"1"にセットし、PLLロック確保時間後、CPUCLK選択ビットを"1"に設定してください。

15.2.3 クロックモードレジスタ

クロックモードレジスタ(CLKMOD)

<アドレス：H'00EF 4008>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	PMSEL 0	0

※バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時：H'0000 0000>

b	ビット名	機能	R	W
0~29	何も配置されていません。"0"に固定してください。		0	0
30~31	PMSEL	00：通常動作モード	R	W
	低消費電力モード選択ビット	01：CPUスリープモード		
		10：スタンバイモード		
		11：設定禁止		

(1) PMSEL(低消費電力モード選択)ビット(b30、b31)

低消費電力モードを選択するビットです。

PMSELビットに"01"を設定することでCPUスリープモードに移行します。CPUスリープモード時に、解除要求(INT0～INT7割り込み要求、内蔵周辺I/O割り込み要求、システムブレーク割り込み要求)が発生すると、このビットは"00"にクリアされ、通常モードに移行します。

PMSELビットに"10"を設定することでスタンバイモードに移行します。スタンバイモード時に、ウェイクアップ割り込み要求(WKUP#)およびリセット要求(RESET#)が発生すると、このビットは"00"にクリアされ、通常モードに移行します。

15.2.4 BCLK分周比選択レジスタ

BCLK分周比選択レジスタ(BCLKDIV)

<アドレス：H'00EF 400C>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	PDIV 1	1

※バイト（8ビット）／ハーフワード（16ビット）／ワード（32ビット）アクセス可能

<リセット解除時：H'0000 0003>

b	ビット名	機能	R	W
0~29	何も配置されていません。"0"に固定してください。		0	0
30~31	PDIV	00：f(CPUCLK)	R	W
	BCLK/PCLK分周比選択	01：f(CPUCLK)/2		
		10：f(CPUCLK)/4		
		11：f(CPUCLK)/8		

(1) BCLKDIV(BCLK/PCLK分周比選択)ビット(b30、b31)

BCLK（システムクロック）およびPCLK（周辺IOクロック）の分周比を選択するビットです。

第16章

コプロセッサインタフェース

16.1 コプロセッサインタフェース概要

OPSPはCPUパイプラインに直接接続しているコプロセッサインタフェースを使用してコプロセッサを接続できます。コプロセッサインタフェースでは、4ビット長のコプロセッサIDを用いてコプロセッサを管理します。ただし、OPSPに接続できるコプロセッサは最大4つです。

図16.1.1にコプロセッサインタフェース構成を示します。

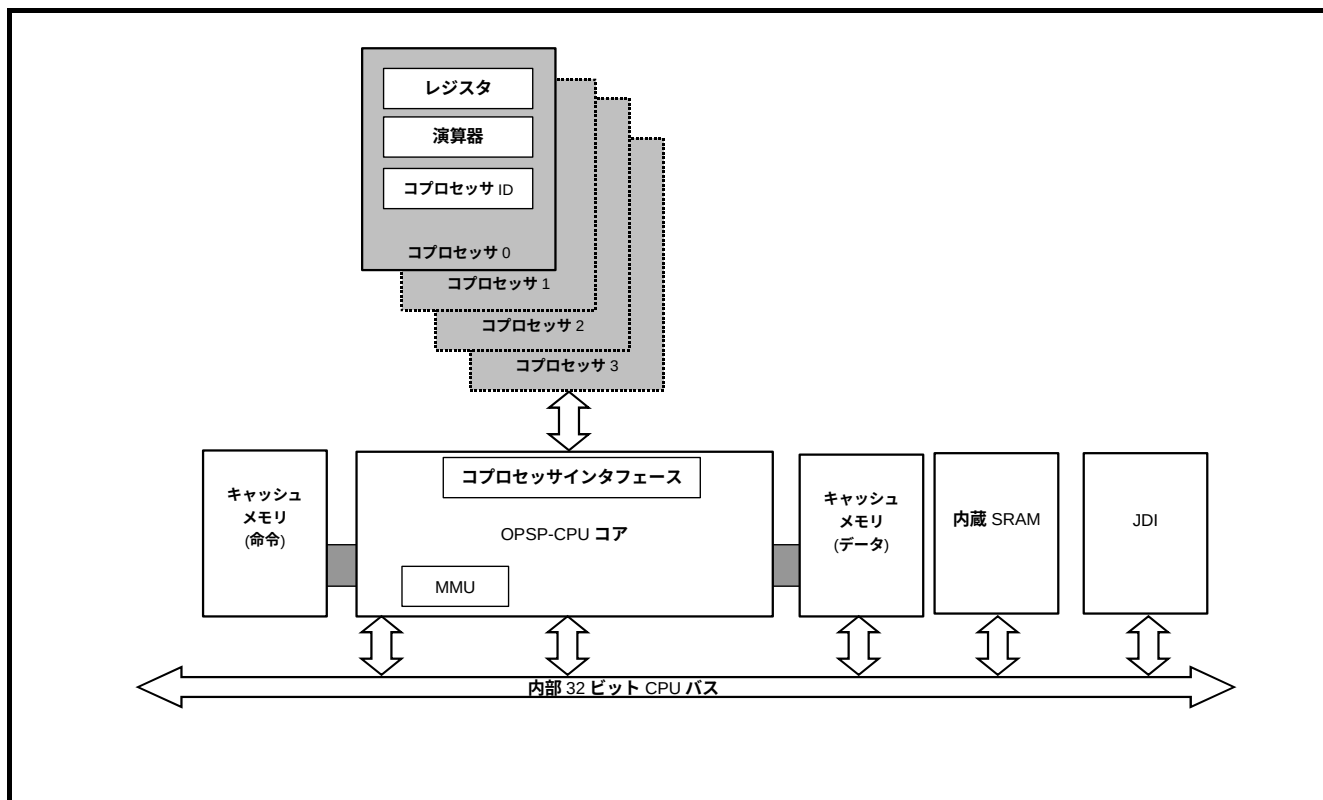


図16.1.1 OPSPコプロセッサインタフェース構成

16.2 コプロセッサインタフェース関連レジスタ

コプロセッサインタフェース関連のレジスタマッピングとレジスタについて以下に説明します。

コプロセッサインタフェース関連のレジスタマッピング

番地	b0	+0番地	b7	b8	+1番地	b15	b16	+2番地	b23	b24	+3番地	b31
H'FFFF FF00	コプロセッサイネーブルレジスタ (COEN)											
H'FFFF FF04	コプロセッサ演算例外ステータスレジスタ (COISTS)											
H'FFFF FF08	コプロセッサ割り込み要求レジスタ (COIRQ)											

16.2.1 コプロセッサイネーブルレジスタ

コプロセッサイネーブルレジスタ (COEN)

<アドレス: H'FFFF FF00>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
COEN0	COEN1	COEN2	COEN3	COEN4	COEN5	COEN6	COEN7	COEN8	COEN9	COEN10	COEN11	COEN12	COEN13	COEN14	COEN15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

※バイト (8ビット) /ハーフワード (16ビット) /ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0000> (注)

b	ビット名	機能	R	W
0~15	何も配置されていません。"0"に固定してください。		0	0
16	COEN0 コプロセッサ0イネーブルビット	0: コプロセッサ (ID="0") 禁止 1: コプロセッサ (ID="0") 許可	R	W
17	COEN1 コプロセッサ1イネーブルビット	0: コプロセッサ (ID="1") 禁止 1: コプロセッサ (ID="1") 許可	R	W
18	COEN2 コプロセッサ2イネーブルビット	0: コプロセッサ (ID="2") 禁止 1: コプロセッサ (ID="2") 許可	R	W
19	COEN3 コプロセッサ3イネーブルビット	0: コプロセッサ (ID="3") 禁止 1: コプロセッサ (ID="3") 許可	R	W
20	COEN4 コプロセッサ4イネーブルビット	0: コプロセッサ (ID="4") 禁止 1: コプロセッサ (ID="4") 許可	R	W
21	COEN5 コプロセッサ5イネーブルビット	0: コプロセッサ (ID="5") 禁止 1: コプロセッサ (ID="5") 許可	R	W
22	COEN6 コプロセッサ6イネーブルビット	0: コプロセッサ (ID="6") 禁止 1: コプロセッサ (ID="6") 許可	R	W
23	COEN7 コプロセッサ7イネーブルビット	0: コプロセッサ (ID="7") 禁止 1: コプロセッサ (ID="7") 許可	R	W
24	COEN8 コプロセッサ8イネーブルビット	0: コプロセッサ (ID="8") 禁止 1: コプロセッサ (ID="8") 許可	R	W
25	COEN9 コプロセッサ9イネーブルビット	0: コプロセッサ (ID="9") 禁止 1: コプロセッサ (ID="9") 許可	R	W
26	COEN10 コプロセッサ10イネーブルビット	0: コプロセッサ (ID="10") 禁止 1: コプロセッサ (ID="10") 許可	R	W
27	COEN11 コプロセッサ11イネーブルビット	0: コプロセッサ (ID="11") 禁止 1: コプロセッサ (ID="11") 許可	R	W
28	COEN12 コプロセッサ12イネーブルビット	0: コプロセッサ (ID="12") 禁止 1: コプロセッサ (ID="12") 許可	R	W
29	COEN13 コプロセッサ13イネーブルビット	0: コプロセッサ (ID="13") 禁止 1: コプロセッサ (ID="13") 許可	R	W
30	COEN14 コプロセッサ14イネーブルビット	0: コプロセッサ (ID="14") 禁止 1: コプロセッサ (ID="14") 許可	R	W
31	COEN15 コプロセッサ15イネーブルビット	0: コプロセッサ (ID="15") 禁止 1: コプロセッサ (ID="15") 許可	R	W

注. 各ビットの初期値は、インプリメンテーション依存となります。対応するIDのコプロセッサが接続されている場合、"1"がセットされます。対応するIDのコプロセッサが接続されていない場合、"0"にクリアされます。

(1) COEN0~COEN15 (コプロセッサ0~15イネーブル) ビット (b16~b31)

このビットにより、コプロセッサの禁止、許可を設定します。

このビットに"1"をセットした場合、対応するIDのコプロセッサは許可状態になります。ただし、存在しないコプロセッサIDに対してイネーブルビットに"1"をセットしても、"1"がセットされず指定したIDのコプロセッサは許可状態になりません。コプロセッサイネーブルレジスタへの書き込み後は、コプロセッサイネーブルレジスタの値が書き込んだ値に変化したことを確認してからコプロセッササポート命令を発行してください。

このビットを"0"にクリアした場合、対応するIDのコプロセッサは禁止状態になります。

コプロセッサを使用する場合は、リセット後、コプロセッサ割り込み禁止状態 (PSWレジスタCEビット="0") で以下の手順で設定を行ってください。

- ① COENレジスタの初期値で、ハード的に存在するコプロセッサを確認する。
- ② COENビットを"0"に設定し、全てのコプロセッサを禁止に設定する。
- ③ コプロセッサ使用時は、使用するIDのコプロセッサを許可に設定後、コプロセッサ割り込み許可 (PSWレジスタCEビット="1") に設定する。

16.2.2 コプロセッサ演算例外ステータスレジスタ

コプロセッサ演算例外ステータスレジスタ (COISTS)

<アドレス: H'FFFF FF04>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
0	0	0	0	0	0	0	0	0	0	CPI	CDE	COISN			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

※バイト (8ビット) / ハーフワード (16ビット) / ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~25	何も配置されていません。読み出し時"0"です。		0	N
26	CPI コプロセッサ割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	R	N
27	CDE コプロセッサディスエーブル例外要求ビット	0: 例外発生なし 1: 例外発生あり	R	N
28~31	COISN コプロセッサ割り込み要因番号ビット	0000: 要因番号0 (コプロセッサID="0") 0001: 要因番号1 (コプロセッサID="1") 0010: 要因番号2 (コプロセッサID="2") 0011: 要因番号3 (コプロセッサID="3") 0100: 要因番号4 (コプロセッサID="4") 0101: 要因番号5 (コプロセッサID="5") 0110: 要因番号6 (コプロセッサID="6") 0111: 要因番号7 (コプロセッサID="7") 1000: 要因番号8 (コプロセッサID="8") 1001: 要因番号9 (コプロセッサID="9") 1010: 要因番号10 (コプロセッサID="10") 1011: 要因番号11 (コプロセッサID="11") 1100: 要因番号12 (コプロセッサID="12") 1101: 要因番号13 (コプロセッサID="13") 1110: 要因番号14 (コプロセッサID="14") 1111: 要因番号15 (コプロセッサID="15")	R	N

注. このレジスタは読み出し専用です。

コプロセッサ演算例外レジスタは、コプロセッサ演算例外発生時の例外発生要因 (コプロセッサ割り込みまたは、コプロセッサディスエーブル例外) の判別とコプロセッサ演算例外を発生したコプロセッサIDを特定するためのレジスタです。

このレジスタの読み出しにより、CPI (コプロセッサ割り込み要求ビット)、CDE (コプロセッサディスエーブル例外ビット)、COISN (コプロセッサ割り込み要因番号ビット) は"0"にクリアされます。

(1) CPI (コプロセッサ割り込み要求) ビット (b26)

このビットは、コプロセッサ割り込み要求が発生すると"1"にセットされます。

また、このビットは、以下の条件でクリアされます。

- ・コプロセッサ演算例外ステータスレジスタ (COISTS) の読み出しにより、"0"にクリアされます。

(2) CDE (コプロセッサディスエーブル例外) ビット (b27)

このビットは、コプロセッサディスエーブル例外が発生すると"1"にセットされます。コプロセッサディスエーブル例外は、コプロセッサイネーブルレジスタ (COE) にて禁止に設定したコプロセッサIDに対し、コプロセッササポート命令を実行した場合に発生します。

また、このビットは、以下の条件でクリアされます。

- ・コプロセッサ演算例外ステータスレジスタ (COISTS) の読み出しにより、"0"にクリアされます。

(3) COISN (コプロセッサ割り込み要因番号) ビット (b28~b31)

このビットは、コプロセッサ割り込み要求または、コプロセッサディスエーブル例外が発生した要因番号 (コプロセッサID) を示します。

また、このビットは以下の条件でクリアされます。

- ・コプロセッサ演算例外ステータスレジスタ (COISTS) の読み出しにより、"0"にクリアされます。

16.2.3 コプロセッサ割り込み要求レジスタ:

コプロセッサ割り込み要求レジスタ (COIRQ)

<アドレス: H'FFFF FF08>

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	b15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b31
COIRQ0	COIRQ1	COIRQ2	COIRQ3	COIRQ4	COIRQ5	COIRQ6	COIRQ7	COIRQ8	COIRQ9	COIRQ10	COIRQ11	COIRQ12	COIRQ13	COIRQ14	COIRQ15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

※バイト (8ビット) /ハーフワード (16ビット) /ワード (32ビット) アクセス可能

<リセット解除時: H'0000 0000>

b	ビット名	機能	R	W
0~15	何も配置されていません。読み出し時"0"です。		0	N
16	COIRQ0 コプロセッサ0割り込み要求ビット	0: コプロセッサ (ID="0") 割り込み要求なし 1: コプロセッサ (ID="0") 割り込み要求あり	R	N
17	COIRQ1 コプロセッサ1割り込み要求ビット	0: コプロセッサ (ID="1") 割り込み要求なし 1: コプロセッサ (ID="1") 割り込み要求あり	R	N
18	COIRQ2 コプロセッサ2割り込み要求ビット	0: コプロセッサ (ID="2") 割り込み要求なし 1: コプロセッサ (ID="2") 割り込み要求あり	R	N
19	COIRQ3 コプロセッサ3割り込み要求ビット	0: コプロセッサ (ID="3") 割り込み要求なし 1: コプロセッサ (ID="3") 割り込み要求あり	R	N
20	COIRQ4 コプロセッサ4割り込み要求ビット	0: コプロセッサ (ID="4") 割り込み要求なし 1: コプロセッサ (ID="4") 割り込み要求あり	R	N
21	COIRQ5 コプロセッサ5割り込み要求ビット	0: コプロセッサ (ID="5") 割り込み要求なし 1: コプロセッサ (ID="5") 割り込み要求あり	R	N
22	COIRQ6 コプロセッサ6割り込み要求ビット	0: コプロセッサ (ID="6") 割り込み要求なし 1: コプロセッサ (ID="6") 割り込み要求あり	R	N
23	COIRQ7 コプロセッサ7割り込み要求ビット	0: コプロセッサ (ID="7") 割り込み要求なし 1: コプロセッサ (ID="7") 割り込み要求あり	R	N
24	COIRQ8 コプロセッサ8割り込み要求ビット	0: コプロセッサ (ID="8") 割り込み要求なし 1: コプロセッサ (ID="8") 割り込み要求あり	R	N
25	COIRQ9 コプロセッサ9割り込み要求ビット	0: コプロセッサ (ID="9") 割り込み要求なし 1: コプロセッサ (ID="9") 割り込み要求あり	R	N
26	COIRQ10 コプロセッサ10割り込み要求ビット	0: コプロセッサ (ID="10") 割り込み要求なし 1: コプロセッサ (ID="10") 割り込み要求あり	R	N
27	COIRQ11 コプロセッサ11割り込み要求ビット	0: コプロセッサ (ID="11") 割り込み要求なし 1: コプロセッサ (ID="11") 割り込み要求あり	R	N
28	COIRQ12 コプロセッサ12割り込み要求ビット	0: コプロセッサ (ID="12") 割り込み要求なし 1: コプロセッサ (ID="12") 割り込み要求あり	R	N
29	COIRQ13 コプロセッサ13割り込み要求ビット	0: コプロセッサ (ID="13") 割り込み要求なし 1: コプロセッサ (ID="13") 割り込み要求あり	R	N
30	COIRQ14 コプロセッサ14割り込み要求ビット	0: コプロセッサ (ID="14") 割り込み要求なし 1: コプロセッサ (ID="14") 割り込み要求あり	R	N
31	COIRQ15 コプロセッサ15割り込み要求ビット	0: コプロセッサ (ID="15") 割り込み要求なし 1: コプロセッサ (ID="15") 割り込み要求あり	R	N

注. このレジスタは読み出し専用です。

(1) COIRQ0～15（コプロセッサ0～15割り込み要求）ビット（b16～b31）

コプロセッサ割り込み要求が発生した場合、対応するIDのコプロセッサ割り込み要求ビットが"1"にセットされます。

また、このビットは以下の条件でクリアされます。

- ・割り込み要求元コプロセッサの割り込み要因をクリアすることにより、対応するIDのコプロセッサ割り込み要求ビットが"0"にクリアされます。コプロセッサ割り込み要因のクリア方法は、接続されているコプロセッサの仕様に依存します。

16.3 コプロセッサ使用時のパイプライン動作

16.3.1 パイプライン

コプロセッサ使用時のOPSP-CPUは次のようなパイプライン動作を行います。

表16.3.1 コプロセッサ使用時のパイプライン動作

命令	ステージ				
	1	2	3	4	5
コプロセッサ転送命令 (注1)	命令フェッチ1 (IF)	デコード (D)	コプロセッサ要求 (E1)	コプロセッサ転送 (E2 … En)	ライトバック (WB)
コプロセッサ実行命令 (注2)	命令フェッチ1 (IF)	デコード (D)	コプロセッサ要求 (E1)	コプロセッサ実行 (E2 … En)	ライトバック (WB)

注1. コプロセッサ転送命令 (MVFCP命令、MVTCP命令) 実行時

注2. コプロセッサ実行命令 (OPECP命令) 実行時

16.3.2 パイプラインストール

コプロセッサ処理（コプロセッサ転送、またはコプロセッサ実行ステージ）が1サイクルで終了しない場合でも、コプロセッサからのストール要求がない限り、後続の命令はストールせずに実行できます。

ただし、コプロセッサ転送命令と後続命令のオペランドが競合している場合、コプロセッサからのストール要求の有無に関わらず、後続の命令はストールします。

付録1 リトルエンディアンモード時の動作

OPSPは、リセット時にLEMOD端子の値をサンプリングし、"H"レベルであればリトルエンディアンモードで動作を開始します。

LEMOD端子の値は、動作中に変更しないでください。動作中に値を変更した場合の動作は保証されません。

付録1.1 外部端子

付表1.1にエンディアンモードにより機能が異なる外部端子を示します。

付表1.1 外部端子モード

端子名	ビッグエンディアン モード時の機能	リトルエンディアン モード時の機能	対応する データ端子名
WS0#	WS0#	LWS3#	D0-D7
WS1#	WS1#	LWS2#	D8-D15
WS2#	WS2#	LWS1#	D16-D23
WS3#	WS3#	LWS0#	D24-D31

16ビットバスモードのときは、エンディアンにかかわらずD16-D31をデータ端子として使用します。ライトストロープとして有効な端子はWS0#端子とWS1#端子です。WS2#端子からはA30を出力します。

付録1.2 メモリ上のアドレス割付

リトルエンディアンモード時のデータベースのアドレス割付を付図 1.1に示します。

■ データバス幅 32 ビットのときの物理アドレス（バイト位置）

アドレス	データベース			
	D0~D7	D8~D15	D16~D23	D24~D31
+0 番地	+3	+2	+1	+0
+4 番地	+7	+6	+5	+4
+8 番地	+B	+A	+9	+8
+C 番地	+F	+E	+D	+C

■ データバス幅 16 ビットのときの物理アドレス（バイト位置）

アドレス	データベース	
	D0~D7	D8~D15
+0 番地	+1	+0
+2 番地	+3	+2
+4 番地	+5	+4
+6 番地	+7	+6
+8 番地	+9	+8
+A 番地	+B	+A
+C 番地	+D	+C
+E 番地	+F	+E

付図 1.1 リトルエンディアンモード時のアドレス割付

付録1.3 SFRへのアクセス

SFR領域に接続されているデータベースは32ビットのため、リトルエンディアンモード時におけるSFR領域へのアクセスは、外部メモリ(32ビットバス)と同様にバイト位置が変化します。

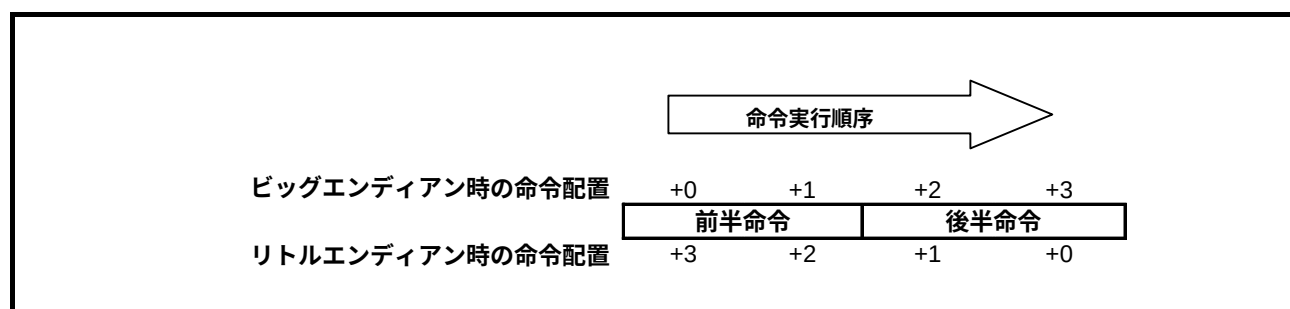
たとえば、ビッグエンディアンモードで+0番地をバイトでアクセスするバイト位置と、リトルエンディアンで+3番地をアクセスするバイト位置は同じになります。

付録1.4 命令コード

OPSP-CPUの命令コードは、32ビット単位で扱います。ワード内の命令実行順序は、ビッグエンディアン、リトルエンディアンに関わりなく、前半命令、後半命令の順に実行します。付表1.2に命令の配置を、付図1.2に命令実行順序を示します。

付表1.2 命令の配置

命令	メモリ上の配置
前半命令	ビッグエンディアン時に+0番地、+1番地に配置される16ビット命令
	リトルエンディアン時に+3番地、+2番地に配置される16ビット命令
後半命令	ビッグエンディアン時に+2番地、+3番地に配置される16ビット命令
	リトルエンディアン時に+1番地、+0番地に配置される16ビット命令



付図1.2 命令実行順序

**ルネサス 32 ビットオープンプラットフォームシンセサイザブルプロセッサ
ハードウェアマニュアル**
OPSP

発行年月日 2004 年 3 月 1 日 Rev.1.00

発行 株式会社ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町2-6-2

OPSP ハードウェアマニュアル



株式会社ルネサス テクノロジ
東京都千代田区大手町2-6-2 日本ビル 〒100-0004